

Μοντελοποίηση κυκλωμάτων CMOS και στοιχείων MOSFET για τεχνολογίες μήκους καναλιού μικρότερου των 50 nm



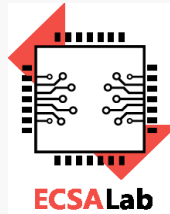
Λάμπρος Μπισδούνης
Καθηγητής



Εργαστήριο Ηλεκτρονικών Κυκλωμάτων, Συστημάτων & Εφαρμογών (ECSA)
Κατεύθυνση Ηλεκτρονικής, Υπολογιστών & Συστημάτων
Τμήμα Ηλεκτρολόγων Μηχανικών & Μηχανικών Υπολογιστών (ΗΜΜΥ)
Πανεπιστήμιο Πελοποννήσου



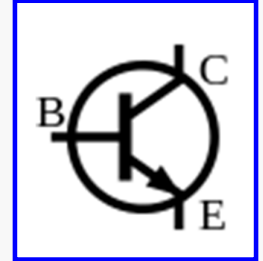
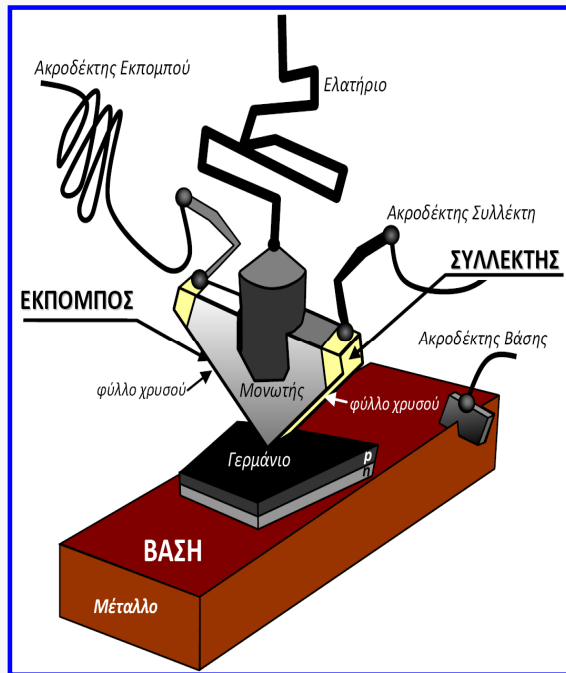
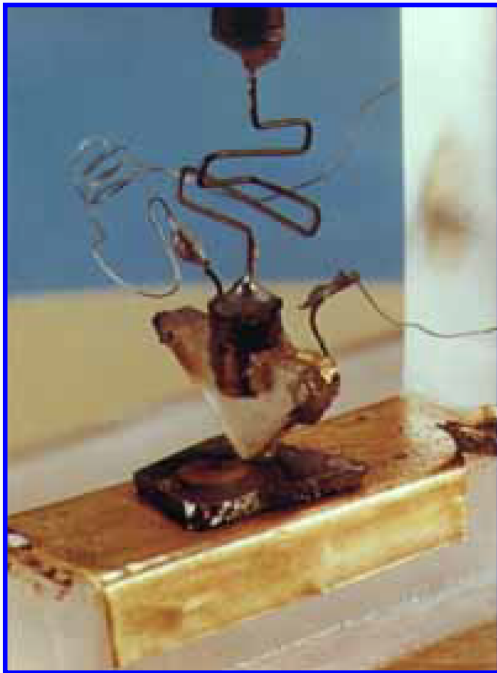
bisdounis@uop.gr



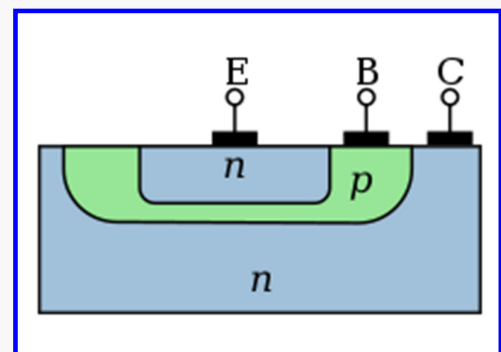
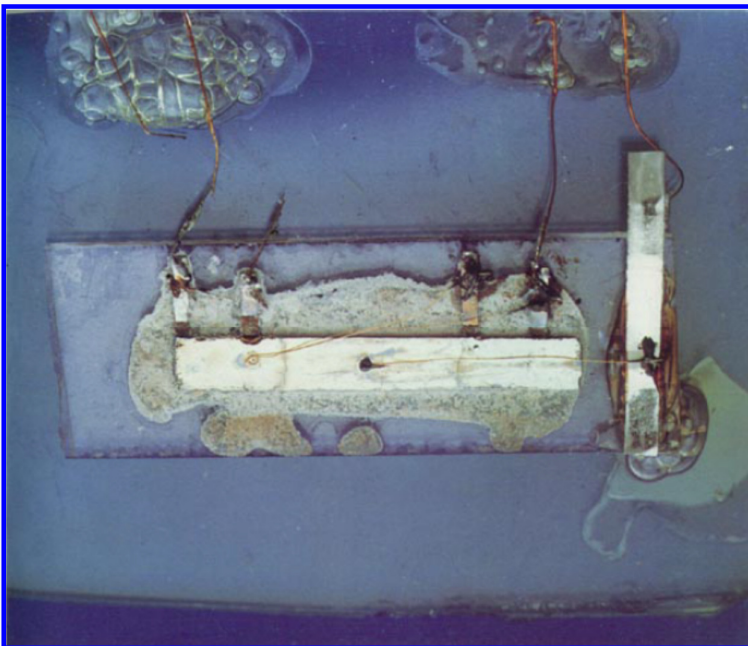
Ψηφιακά ολοκληρωμένα κυκλώματα

- Η εποχή του ψηφιακού ηλεκτρονικού υπολογισμού άρχισε με την εισαγωγή της **λυχνίας κενού**, αλλά γρήγορα έγινε σαφές ότι η τεχνολογία αυτή ήταν ασύμφορη (μεγάλο πλήθος λυχνιών και μεγάλη κατανάλωση ενέργειας) και δεν παρείχε αξιοπιστία.
- Όλα άλλαξαν στα μέσα του 20ου αιώνα με την ανακάλυψη του **τρανζίστορ διπολικής επαφής** και την σύλληψη της ιδέας του **ολοκληρωμένου κυκλώματος (ΟΚ)**, στο οποίο όλα τα στοιχεία ενσωματώνονται σε ένα υπόστρωμα ημιαγωγού.
- Τελικά, η διπολική ψηφιακή λογική έχασε τη μάχη για την ηγεμονία στον κόσμο του ψηφιακού σχεδιασμού με την εμφάνιση των **MOSFETs** τα οποία παρέχουν τη δυνατότητα ενσωμάτωσης περισσότερων στοιχείων σε ένα ολοκληρωμένο κύκλωμα και καταναλώνουν λιγότερη ενέργεια.
- Η δεύτερη εποχή της επανάστασης των ολοκληρωμένων κυκλωμάτων εγκαινιάστηκε με την εμφάνιση των πρώτων **μικροεπεξεργαστών** στις αρχές της δεκαετίας του 1970.

Το πρώτο τρανζίστορ (1947)



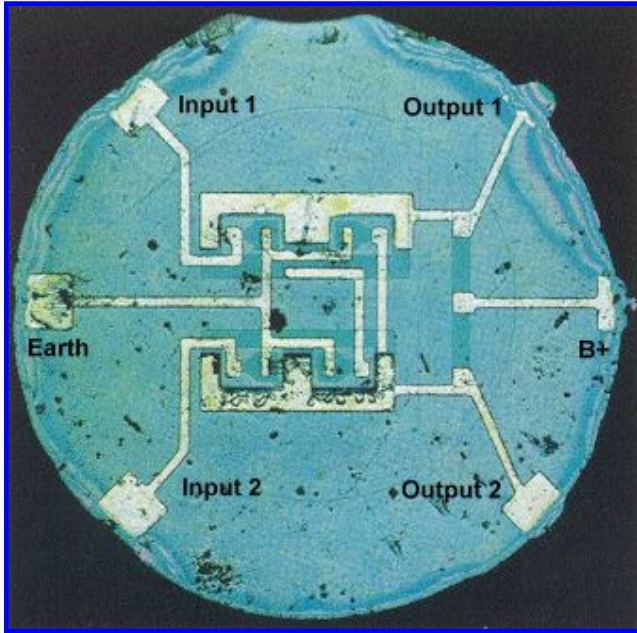
Το πρώτο επίπεδο (planar) τρανζίστορ (1958)



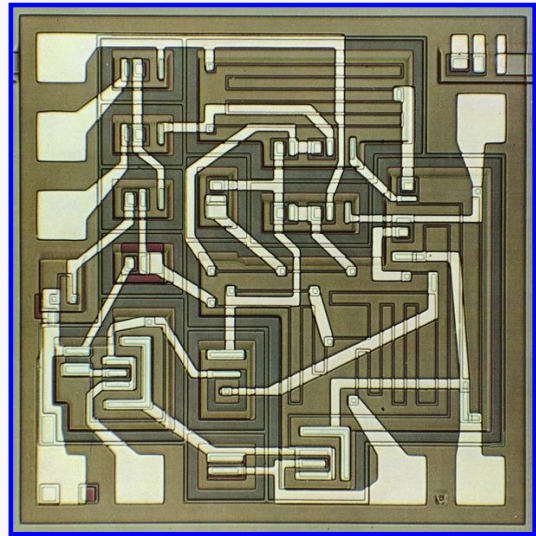
Το πρώτο τρανζίστορ (Texas Instruments) που βασιζόταν σε διάχυση του εκπομπού και της βάσης σε υπόστρωμα ημιαγωγού (γερμανίου) και αποτέλεσε βασικό βήμα για την κατασκευή μονολιθικών (ολοκληρωμένων) κυκλωμάτων (ΟΚ)

Τα πρώτα ΟΚ (1960-63)

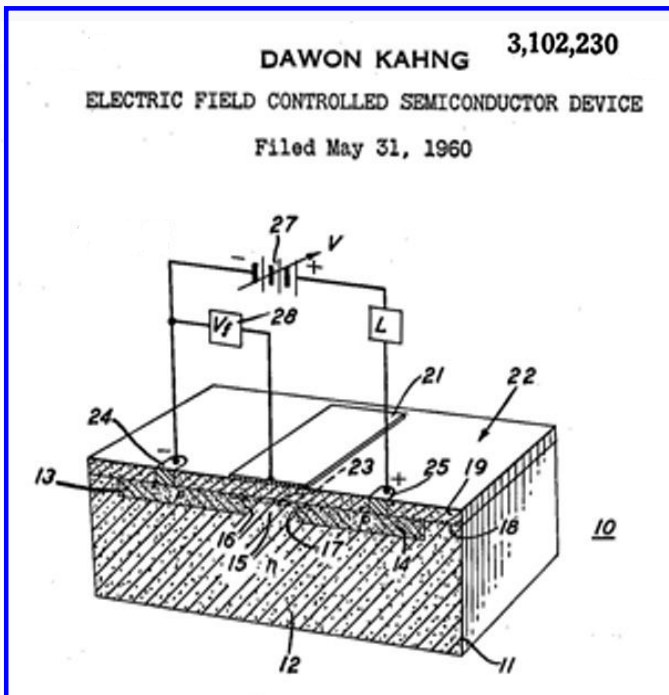
RS flip-flop (Fairchild) με 4 τρανζίστορ και 5 αντιστάσεις



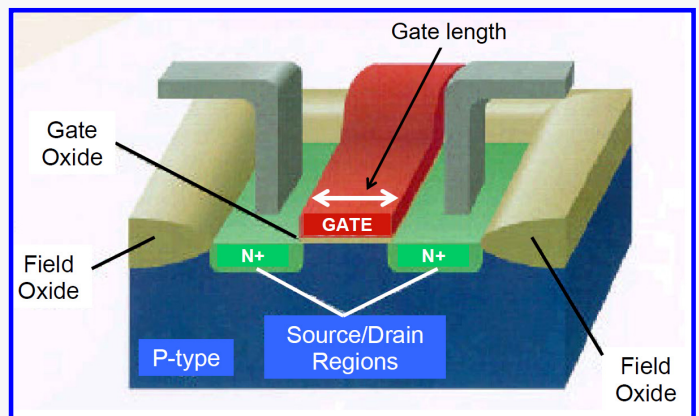
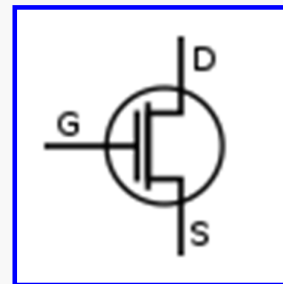
Μονολιθικός τελεστικός ενισχυτής (Fairchild)



Η εφεύρεση του MOSFET (1960)

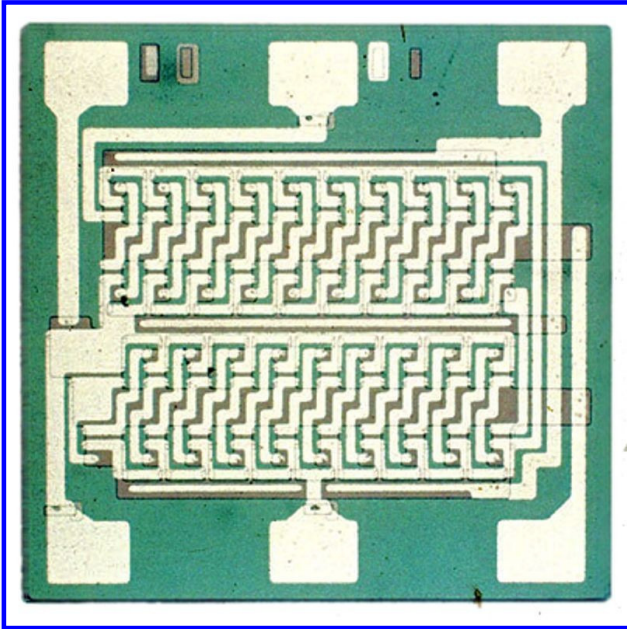


Bell Labs

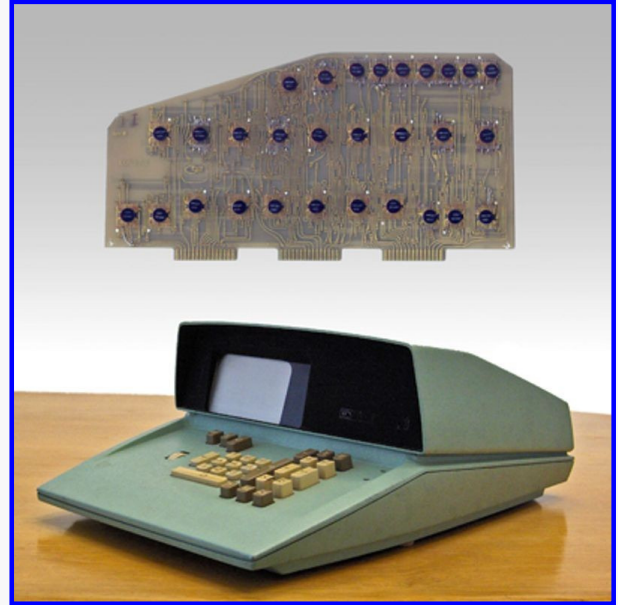


Τα πρώτα εμπορικά ΟΚ με MOSFETs (1965)

Το πρώτο εμπορικό ολοκληρωμένο κύκλωμα με MOSFETs: καταχωρητής ολίσθησης των 20-bit με 120 τρανζίστορ PMOS (General Microelectronics)

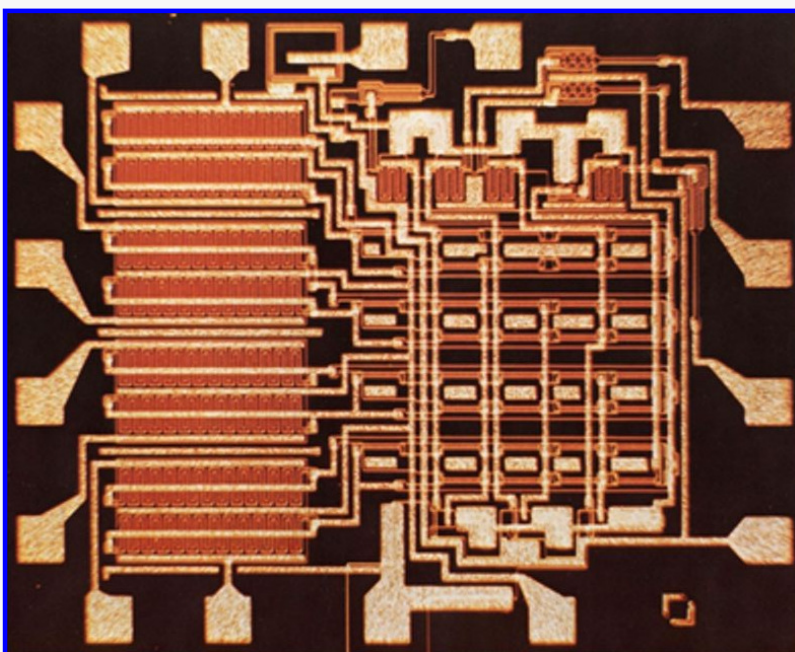


Η πρώτη ηλεκτρονική αριθμομηχανή με MOSFETs (Victor Comptometer) με 20 ολοκληρωμένα κυκλώματα και σειριακή μνήμη με 6 καταχωρητές ολίσθησης των 100-bit (General Microelectronics)



ΟΚ με MOSFETs πύλης πυριτίου (1968)

Ολοκληρωμένο κύκλωμα αναλογικού πολυπλέκτη 8 καναλιών με MOSFETs, με πύλη από πολυκρυσταλικό πυρίτιο (Fairchild). Στην τεχνολογία αυτή (silicon gate technology, SGT), βασίζονται οι σύγχρονες τεχνολογίες κατασκευής ολοκληρωμένων κυκλωμάτων.

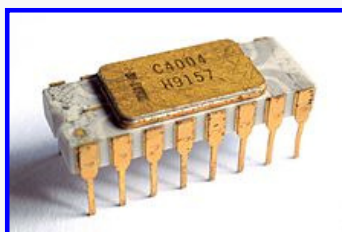
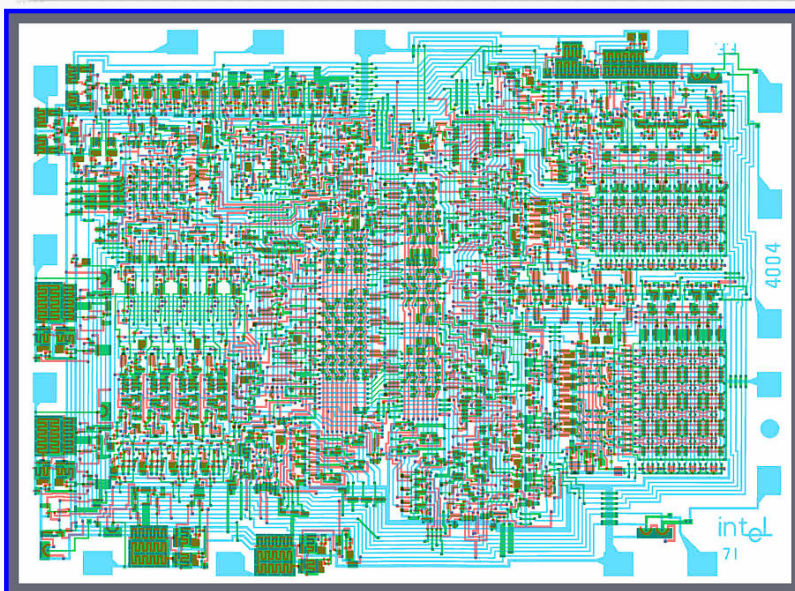


Τα πρώτα ολοκληρωμένα κυκλώματα με MOSFETs, υλοποιήθηκαν με PMOS, ενώ οι πρώτοι μικροεπεξεργαστές υλοποιήθηκαν μόνο με NMOS (υψηλότερη ταχύτητα). Προς το τέλος της δεκαετίας του 1970, η λογική NMOS εγκαταλείφθηκε κυρίως λόγω της υψηλής κατανάλωσης ενέργειας. Αυτό, σε συνδυασμό με την πρόοδο στην τεχνολογία κατασκευής, οδήγησε στη χρήση της τεχνολογίας CMOS (συμπληρωματική χρήση NMOS και PMOS).

Μικροεπεξεργαστές

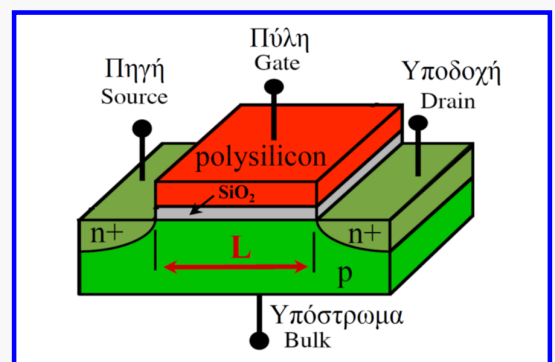
- Το αποτέλεσμα της εμφάνισης της τεχνολογίας ολοκληρωμένων κυκλωμάτων ήταν η **ενσωμάτωση σε ένα μόνο ολοκληρωμένο κύκλωμα** όλης της **κεντρικής μονάδας επεξεργασίας** ενός υπολογιστικού συστήματος, δηλαδή οι **μικροεπεξεργαστές**.
- Η ανάπτυξη της τεχνολογίας των ολοκληρωμένων κυκλωμάτων τις τελευταίες δεκαετίες έδωσε τη δυνατότητα ενσωμάτωσης σε ένα ολοκληρωμένο κύκλωμα όλο και πιο πολύπλοκων κυκλωμάτων.
- Ξεκινώντας από τους **μικροεπεξεργαστές** της δεκαετίας του **1970** που περιλάμβαναν **μερικές χιλιάδες τρανζίστορς** έχουμε φτάσει **σήμερα** σε **μικροεπεξεργαστές** που περιλαμβάνουν **αρκετά δισεκατομμύρια τρανζίστορς**.
- Η εξέλιξη αυτή οφείλεται στην αλματώδη **ανάπτυξη της τεχνολογίας των ημιαγωγών** (ολοένα και μικρότερο μέγεθος τρανζίστορ, νέες τεχνολογίες και αυτοματοποίηση διαδικασίας κατασκευής) και στη ραγδαία **εξέλιξη της τεχνολογίας σχεδιασμού** ολοκληρωμένων κυκλωμάτων.
- Οι σχεδιαστές χρησιμοποιούν όλο και περισσότερο εξειδικευμένες μεθοδολογίες και στρατηγικές σχεδιασμού που οδηγούν στην αυτοματοποίησή του με την ανάπτυξη **εργαλείων σχεδιασμού με υπολογιστή (computer-aided design)**.

Μικροεπεξεργαστής Intel 4004 (1971)

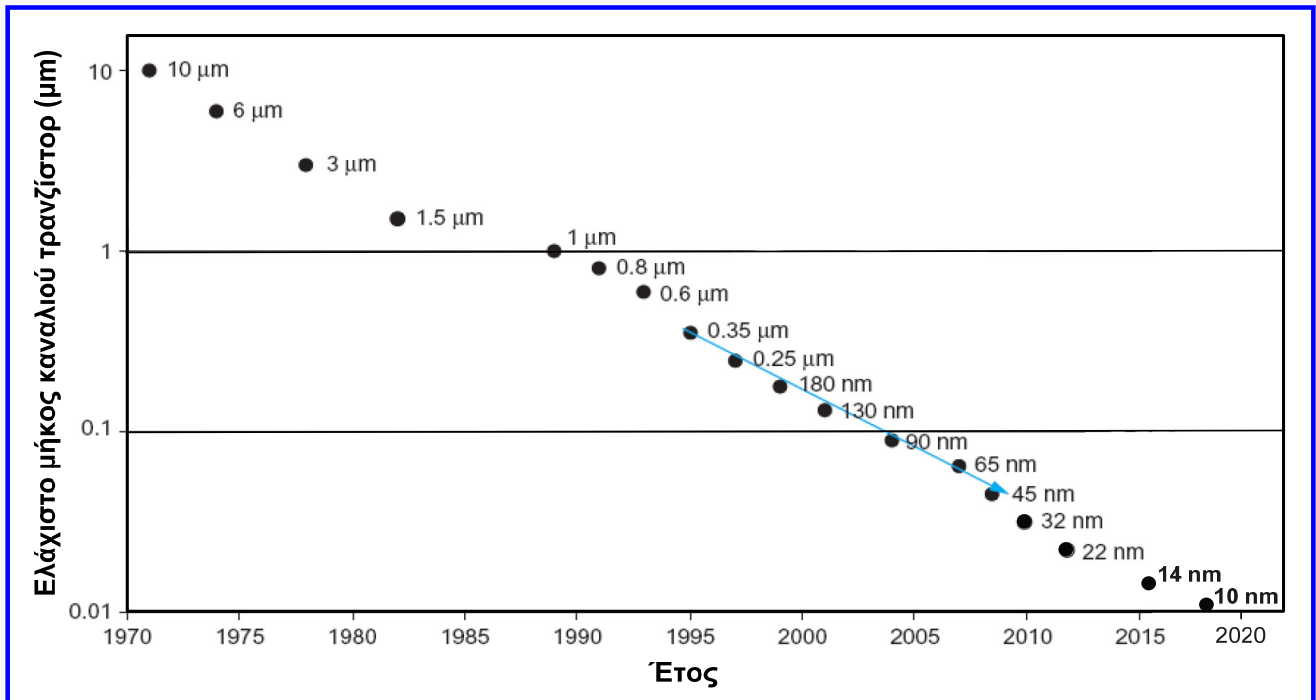


Τεχνολογία κατασκευής:
10 μm , NMOS
Επιφάνεια: 12 mm²
Πλήθος τρανζίστορς: **2300**
Συχνότητα λειτουργίας: **108 KHz**

Η **τεχνολογία κατασκευής** αναφέρεται στο ελάχιστο μήκος καναλιού (L) ενός τρανζίστορ



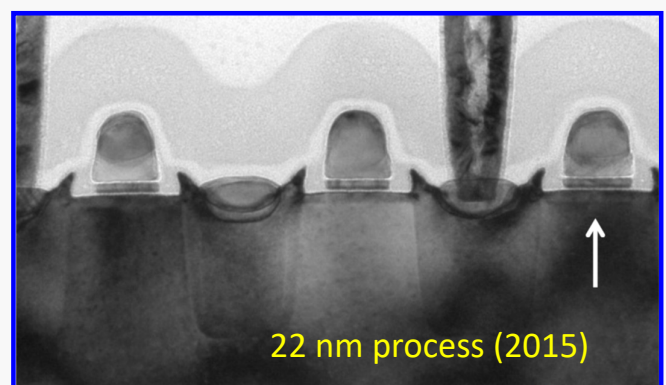
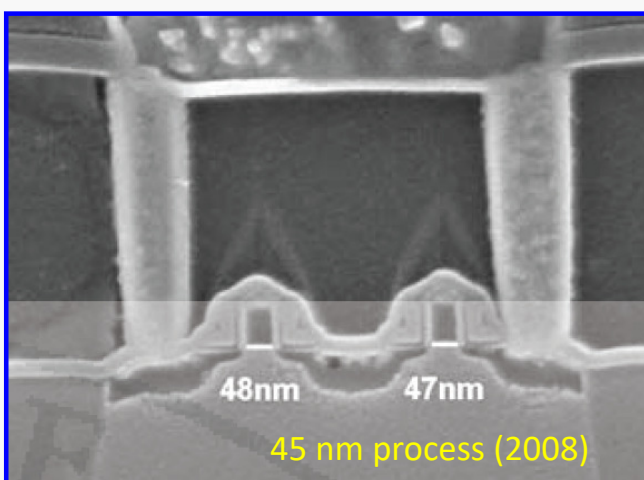
Εξέλιξη μήκους καναλιού των τρανζίστορ



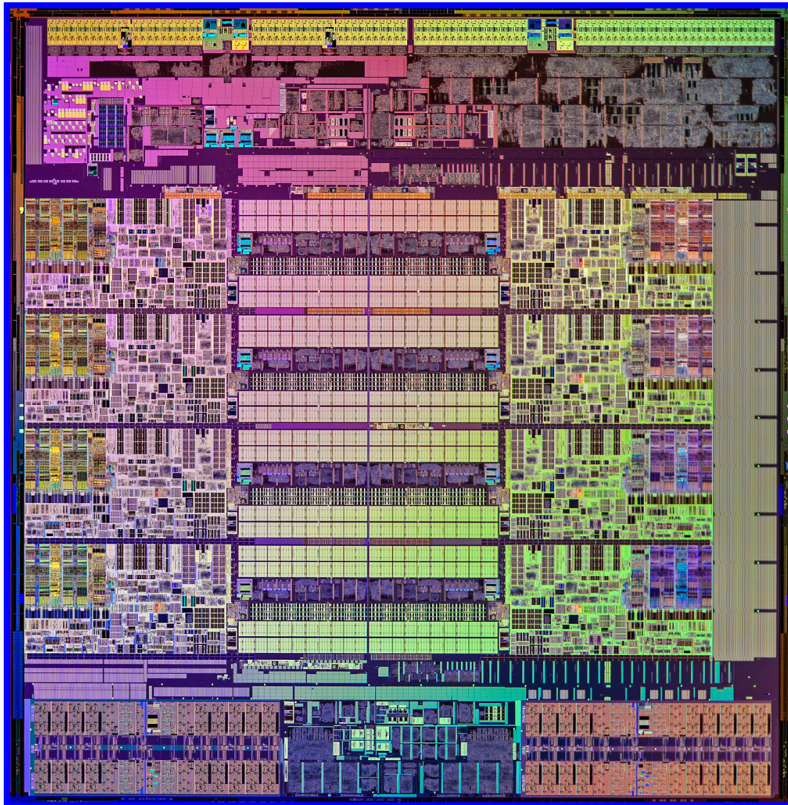
Με την εξέλιξη της τεχνολογίας κατασκευής ολοκληρωμένων κυκλωμάτων CMOS, το μήκος καναλιού των τρανζίστορ μειώνεται κατά 30% κάθε 2 έως 3 έτη

Τεχνολογία κατασκευής

Οι διαστάσεις των τρανζίστορ είναι πλέον αρκετά μικρότερες των 50 nm και τα κυκλώματα γίνονται πιο σύνθετα, στοιχεία που αποτελούν προκλήσεις για τους σχεδιαστές και τους κατασκευαστές κυκλωμάτων και συστημάτων VLSI



Οκταπύρηνος μP Intel Core i7 (2014)



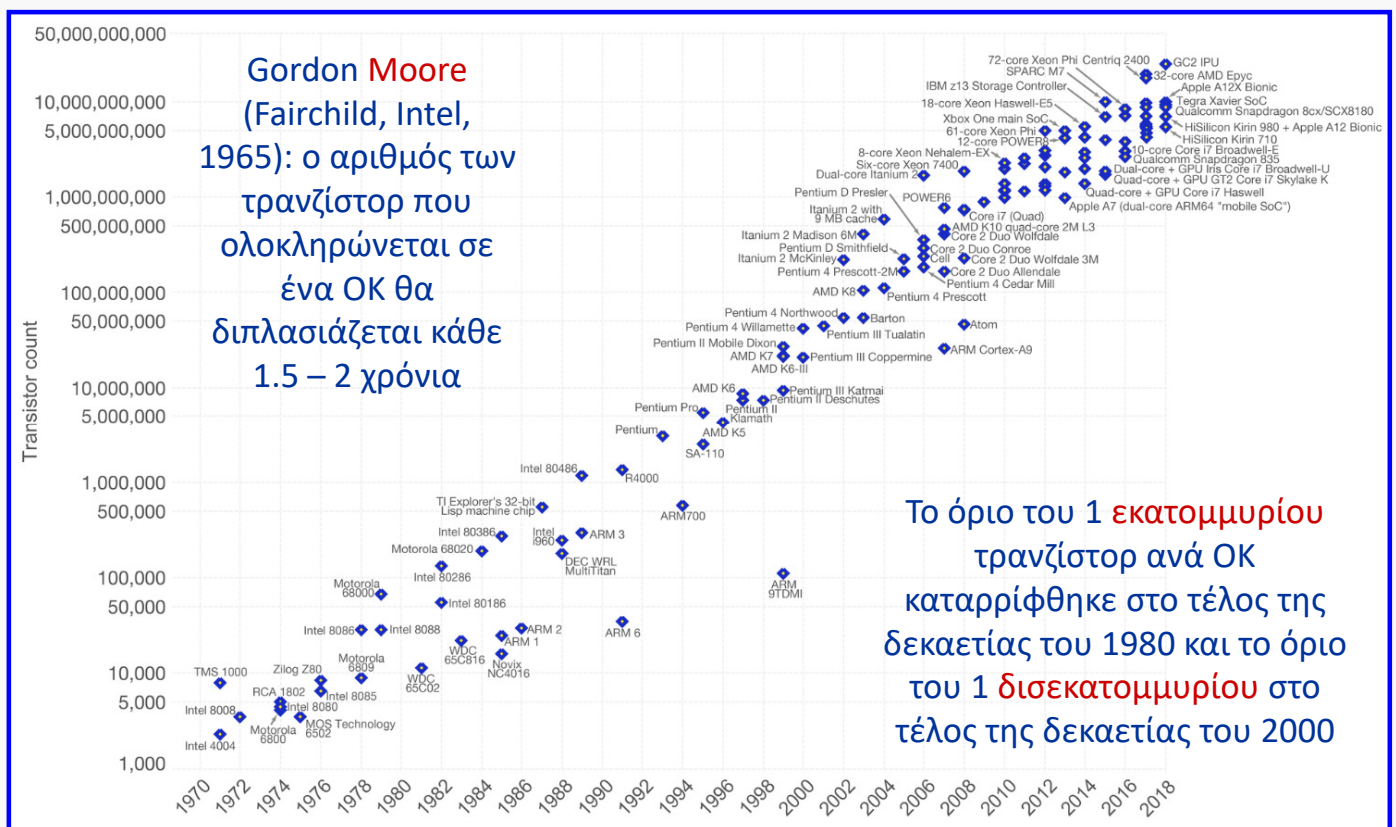
Τεχνολογία κατασκευής: **22 nm**

Επιφάνεια: **355 mm²**

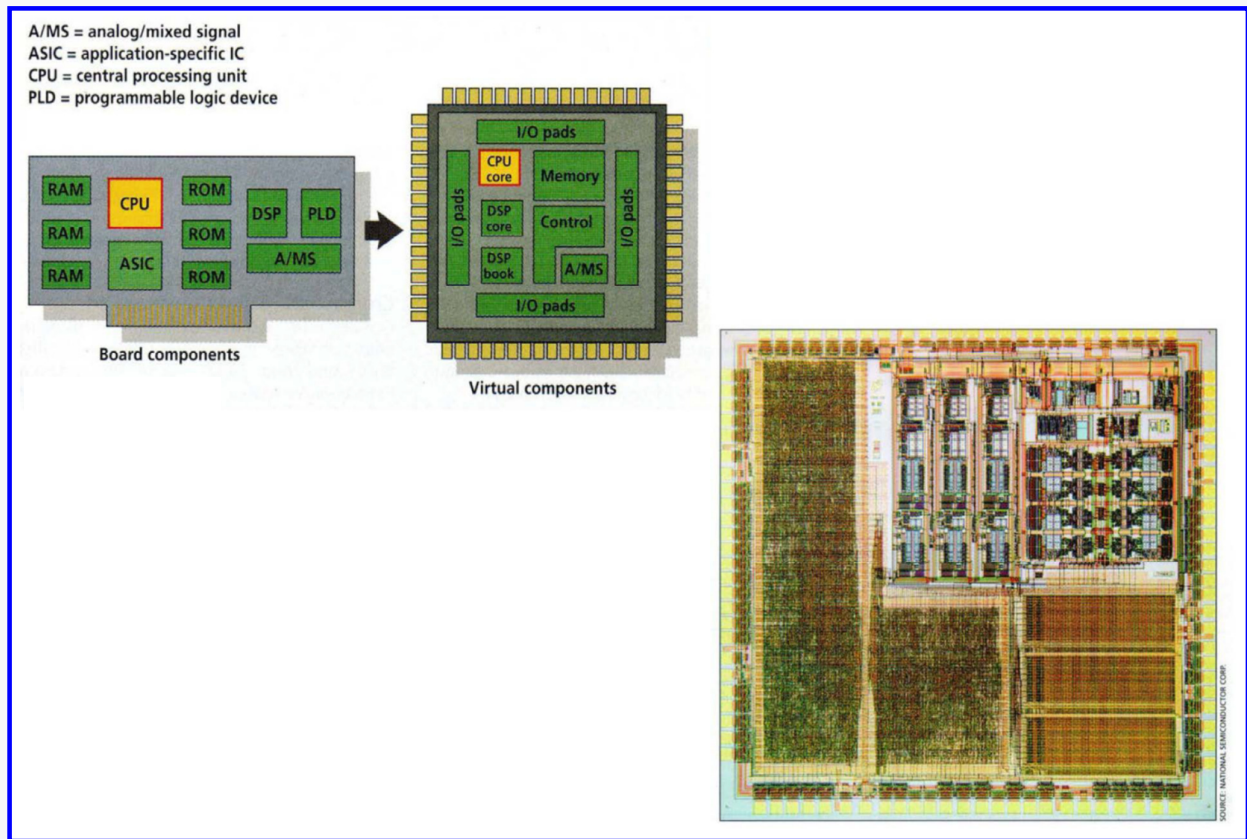
Πλήθος τρανζίστορες: **2.6 δισεκατομμύρια**

Συχνότητα λειτουργίας: **3.6 GHz**

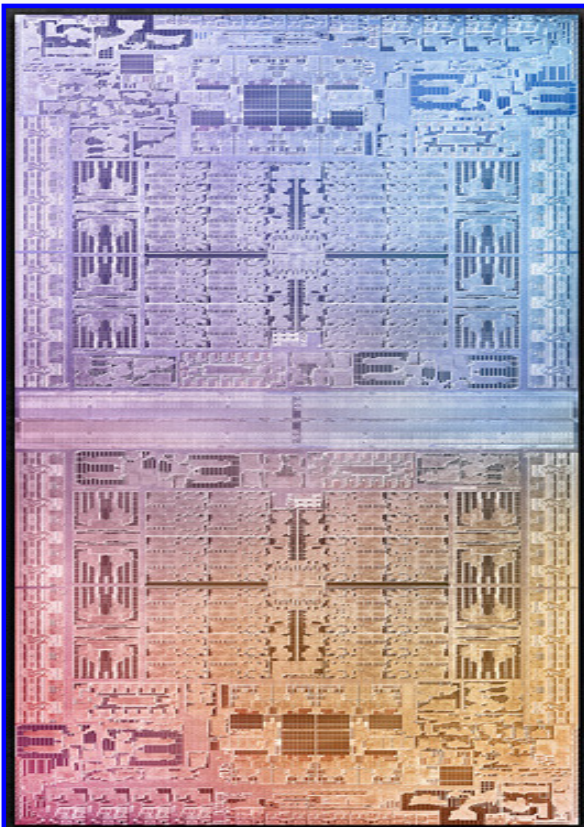
Πλήθος τρανζίστορ στους μικροεπεξεργαστές



Σύστημα σε ολοκληρωμένο κύκλωμα (SoC)



Apple M1 Ultra SoC (2022)



ARM processor-based system-on-chip

Τεχνολογία κατασκευής: 5 nm

Πλήθος τρανζίστορες:
114 δισεκατομμύρια

Δύο ψηφίδες (dies) συνδεδεμένες στην ίδια συσκευασία (package)

20 πυρήνες CPU

64 πυρήνες GPU (graphics processing unit για επιτάχυνση λειτουργιών γραφικών)

32 πυρήνες NPU (neural processing unit για επιτάχυνση λειτουργιών τεχνητής νοημοσύνης και μηχανικής μάθησης)

Συχνότητα λειτουργίας και κατανάλωση ενέργειας

- Τη δεκαετία του 1990 η **συχνότητα** των μικροεπεξεργαστών διπλασιαζόταν κάθε 2 χρόνια με το όριο των 100 MHz να καταρρίπτεται στα μέσα της δεκαετίας αυτής.
- Το όριο του 1 GHz ξεπεράστηκε στην αρχή της δεκαετίας του 2000, ενώ σήμερα αναπτύσσονται επεξεργαστές με συχνότητα λειτουργίας μεγαλύτερη από 4 GHz.
- Η συχνότητα στην οποία μπορεί να λειτουργήσει ένα ΟΚ, καθορίζεται από την **καθυστέρηση απόκρισης** των κυκλωμάτων του.
- Η **κατανάλωση ενέργειας** ενός ΟΚ ($P > 100 \text{ W}$ στους σύγχρονους επεξεργαστές) επηρεάζει κρίσιμες αποφάσεις σχεδιασμού (ικανότητα παροχής ισχύος, διάρκεια ζωής μπαταριών, μέγεθος γραμμών τροφοδοσίας, απαιτήσεις συσκευασίας και ψύξης) με αποτέλεσμα να επιδρά στον τρόπο υλοποίησης, το κόστος και την αξιοπιστία τους.
- Στα υπολογιστικά συστήματα υψηλής επίδοσης, τα όρια ισχύος που υπαγορεύονται από τη συσκευασία του ολοκληρωμένου κυκλώματος και το σύστημα απομάκρυνσης θερμότητας, καθορίζουν τον αριθμό των κυκλωμάτων που μπορούν να ολοκληρωθούν στο ίδιο ΟΚ και το πόσο γρήγορα επιτρέπεται να λειτουργούν.
- Με την αυξανόμενη δημοτικότητα των **φορητών συσκευών** που χρησιμοποιούν μπαταρίες, οι ενεργειακοί περιορισμοί αποτελούν καθοριστικό παράγοντα που θα πρέπει να λαμβάνεται υπόψη κατά το σχεδιασμό και την κατασκευή των ΟΚ.

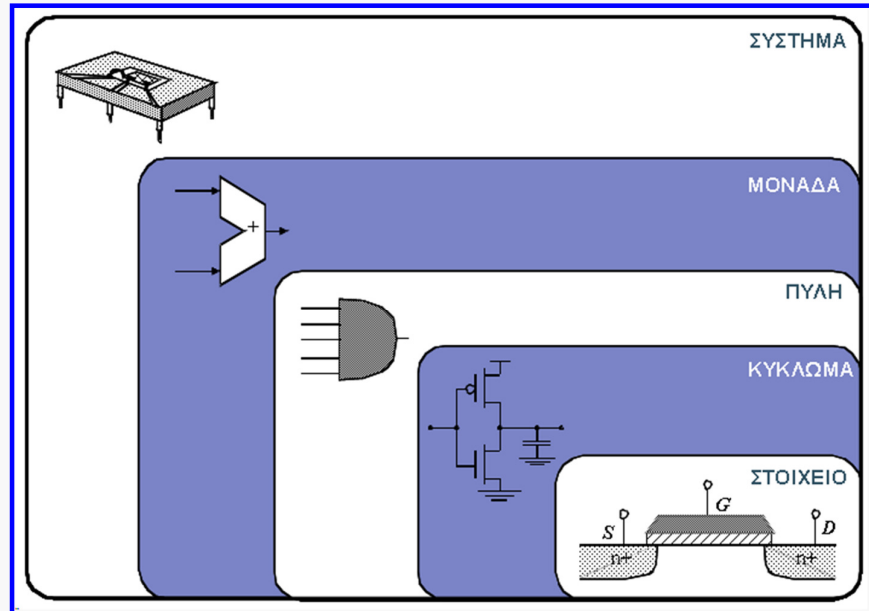
Ιεραρχικός σχεδιασμός ΟΚ

- Η αλματώδης εξέλιξη στην πυκνότητα ολοκλήρωσης και στις επιδόσεις των ΟΚ, έχει ασκήσει μεγάλη επίδραση στον τρόπο με τον οποίο σχεδιάζονται τα ψηφιακά κυκλώματα.
- Αρχικά η σχεδίαση γινόταν πλήρως με το χέρι, δηλαδή κάθε τρανζίστορ σχεδιαζόταν και βελτιστοποιούνταν χωριστά και κατόπιν τοποθετούνταν προσεκτικά στο κύκλωμα.
- Προφανώς, αυτή η προσέγγιση δεν είναι κατάλληλη όταν πρέπει να σχεδιαστούν και να συναρμολογηθούν εκατομμύρια ή δισεκατομμύρια στοιχεία.
- Κατά συνέπεια, απαιτούνται και έχουν αναπτυχθεί μεθοδολογίες και εργαλεία σχεδιασμού, έτσι ώστε να επιτευχθεί αυτοματοποίηση του σχεδιασμού των ΟΚ.
- Σε αντίθεση με την εξατομικευμένη προσέγγιση των αρχικών σχεδιασμών, τα κυκλώματα πλέον **σχεδιάζονται με ιεραρχικό τρόπο**, δηλαδή ένα σύστημα αποτελείται από μονάδες καθεμία από τις οποίες αποτελείται από έναν αριθμό κυττάρων.
- Τα κύτταρα **επαναχρησιμοποιούνται** έτσι ώστε για μειώνεται η προσπάθεια σχεδιασμού και να αυξάνεται η πιθανότητα της επιτυχούς υλοποίησης.

Ιεραρχικός σχεδιασμός ΟΚ

- Στον ιεραρχικό σχεδιασμό, σε κάθε επίπεδο σχεδιασμού οι εσωτερικές λεπτομέρειες μίας σύνθετης μονάδας μπορούν να αντικατασταθούν από ένα μοντέλο.
- Το μοντέλο περιέχει όλες τις πληροφορίες που απαιτούνται ώστε το μοντέλο αυτό να χρησιμοποιηθεί στο επόμενο επίπεδο ιεραρχίας.

Επίπεδα ιεραρχίας
σχεδιασμού
ψηφιακών
κυκλωμάτων



Μοντελοποίηση κυκλωμάτων CMOS και MOSFETs

- Οι επιδόσεις ενός ψηφιακού κυκλώματος επηρεάζονται άμεσα από την χρονική απόκριση και την κατανάλωση ενέργειας των βασικών κυκλωμάτων (λογικών πυλών) που απαρτίζουν το κύκλωμα.
- Η εκτίμηση της συμπεριφοράς των κυκλωμάτων τεχνολογίας CMOS, σε ότι αφορά την ανάλυση και τον υπολογισμό βασικών δυναμικών χαρακτηριστικών τους (όπως η **καθυστέρηση διάδοσης**, ο **χρόνος μετάβασης της τάσης εξόδου τους** και η **ενέργεια που καταναλώνουν**), αποτελεί σήμερα ένα τυπικό μέρος της σχεδίασης ολοκληρωμένων ψηφιακών κυκλωμάτων.
- Λόγω του ότι τα χαρακτηριστικά αυτά είναι **κρίσιμες σχεδιαστικές παράμετροι** των ψηφιακών κυκλωμάτων CMOS, είναι σημαντικό να αφιερώνεται αρκετή προσπάθεια για την **εξαγωγή αναλυτικών εκφράσεων για τον ακριβή υπολογισμό τους**, τουλάχιστον για **βασικά κυκλώματα** (primitive circuits).
- Η χρησιμοποίηση κυκλωματικών προσομοιωτών σε επίπεδο τρανζίστορ (transistor-level simulators with continuous-time modeling of the devices), όπως ο προσομοιωτής SPICE ή αντίστοιχοι προσομοιωτές, εισάγουν ιδιαίτερα υψηλό κόστος σε ότι αφορά την απαιτούμενη μνήμη και τον απαιτούμενο χρόνο υπολογισμού.

Μοντελοποίηση κυκλωμάτων CMOS και MOSFETs

- Συνεπώς, σημαντική ερευνητική προσπάθεια κατευθύνεται στην ανάπτυξη αναλυτικών μοντέλων υπολογισμού της **χρονικής απόκρισης** και της **κατανάλωσης ενέργειας** των κυκλωμάτων, στα οποία αποφεύγεται η χρήση χρονοβόρων επαναληπτικών αριθμητικών μεθόδων.
- Βασικό εργαλείο αποτελεί μια **μεθοδολογία εξαγωγής εκφράσεων κλειστού τύπου** για τον ακριβή υπολογισμό των προαναφερόμενων παραμέτρων.
- Με βάση τη μεθοδολογία αυτή, προσδιορίζονται οι συνθήκες λειτουργίας βασικών κυκλωματικών δομών CMOS και επιλύονται με αναλυτικό τρόπο οι **διαφορικές εξισώσεις που περιγράφουν τη λειτουργία** τους, αφού χρησιμοποιηθούν κατάλληλες προσεγγίσεις ώστε να απλοποιηθεί η μοντελοποίηση με τη μικρότερη δυνατή επίδραση στην ακρίβεια υπολογισμού.
- Ως μελέτη περίπτωσης χρησιμοποιούμε τον **αντιστροφέα CMOS** και ακολουθώντας μια λεπτομερή ανάλυση της λειτουργίας του, εξάγονται αναλυτικές εκφράσεις για τον υπολογισμό παραμέτρων χρονισμού και της κατανάλωσης ενέργειας του αντιστροφέα.

Μοντελοποίηση κυκλωμάτων CMOS και MOSFETs

- Τα μοντέλα που αναπτύσσονται, λαμβάνουν υπόψη:
 - ✓ το χρόνο μετάβασης της τάσης εισόδου του κυκλώματος,
 - ✓ την τάση τροφοδοσίας του,
 - ✓ τις διαστάσεις και άλλες βασικές παραμέτρους των τρανζίστορ (MOSFETs),
 - ✓ τις παρασιτικές χωρητικότητες και τον φόρτο (χωρητικότητα) εξόδου,
 - ✓ καθώς και φαινόμενα που επιδρούν σε τρανζίστορ με πολύ μικρό μήκος καναλιού (**small-geometry device effects**).
- Το μοντέλο του αντιστροφέα CMOS **επεκτείνεται** σε λογικές πύλες CMOS με πολλαπλές εισόδους, χρησιμοποιώντας τεχνικές αναγωγής σειριακά και παράλληλα συνδεδεμένων τρανζίστορ σε απλά τρανζίστορ.
- Η ακρίβεια του μοντέλου προσδιορισμού του ρεύματος των τρανζίστορ (**I-V MOSFET model**) που χρησιμοποιείται, καθορίζει σε μεγάλο βαθμό την ακρίβεια των μοντέλων χρονικής απόκρισης και κατανάλωσης ενέργειας.
- Ιδιαίτερη έμφαση δίνεται λοιπόν στην υιοθέτηση ή ανάπτυξη ενός **ακριβούς και συμπαγούς μοντέλου I-V**, που να λαμβάνει υπόψη σημαντικά φαινόμενα που επιδρούν στα σύγχρονα τρανζίστορ με μήκος καναλιού μικρότερου των 50 nm.

Μεθοδολογία μοντελοποίησης

- Κατανόηση της λειτουργίας του κυκλώματος.
- Δημιουργία ενός μοντέλου (διαγράμματος) του κυκλώματος, στο οποίο να περιλαμβάνονται τα στοιχεία (τρανζίστορ και παρασιτικά στοιχεία) που πρόκειται να ληφθούν υπόψη.
- Κατάστρωση της **διαφορικής εξίσωσης που περιγράφει τη λειτουργία του κυκλώματος**, δηλαδή εφαρμογή του κανόνα Kirchhoff των ρευμάτων στον κόμβο εξόδου του βασικού κυκλώματος.
- Καθορισμός των περιοχών λειτουργίας των MOSFET του κυκλώματος σε κάθε χρονικό διάστημα της απόκρισης του κυκλώματος.
- Υιοθέτηση κατάλληλου **μοντέλου προσδιορισμού του ρεύματος των MOSFET** για κάθε περιοχή λειτουργίας τους, όπως περιοχή αποκοπής, ωμική περιοχή, κορεσμός.
- Το μοντέλο αυτό θα πρέπει να αναπαράγει με **ακρίβεια** τις χαρακτηριστικές καμπύλες I-V των τρανζίστορ, λαμβάνοντας υπόψη σημαντικά φαινόμενα που επιδρούν στη λειτουργία τους, ανάλογα με την τεχνολογία κατασκευής τους (μήκος καναλιού).

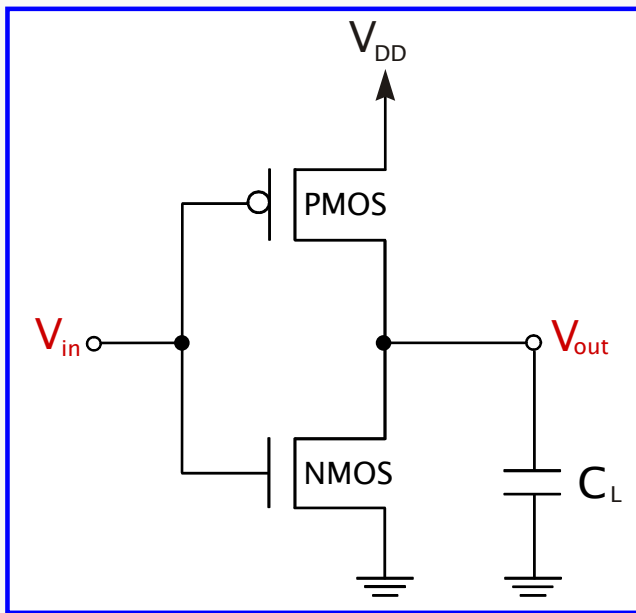
Μεθοδολογία μοντελοποίησης

- Η **ακρίβεια** του μοντέλου I-V πρέπει να συνδυάζεται με **απλότητα**, ώστε να παρέχεται η δυνατότητα εξαγωγής αναλυτικών εκφράσεων των παραμέτρων του κυκλώματος.
- Καθορισμός των **συνθηκών λειτουργίας** που προσδιορίζουν τα όρια των διαφορετικών περιοχών λειτουργίας του κυκλώματος.
- Επίλυση της διαφορικής εξίσωσης σε κάθε περιοχή λειτουργίας, ώστε να προσδιοριστεί η **έκφραση της κυματομορφής της τάσης εξόδου** του κυκλώματος.
- Έτσι, η τάση εξόδου προσδιορίζεται με βάση το ολοκλήρωμα των ρευμάτων των τρανζίστορ, σε αντίθεση με τη ανακριβή μεθοδολογία μέσω ρευμάτων.
- Διενέργεια **κατάλληλων προσεγγίσεων**, όταν δεν είναι δυνατή η αναλυτική επίλυση της διαφορικής εξίσωσης.
- Αποφυγή χρήσης **χρονοβόρων αριθμητικών μεθόδων**, υιοθετώντας τεχνικές όπως τα αναπτύγματα σειρών Taylor για τον προσδιορισμό των ορίων των περιοχών λειτουργίας (boundary equations).

$$f(x) \approx f(\alpha) + f'(\alpha) \cdot (x - \alpha) + \frac{f''(\alpha)}{2} \cdot (x - \alpha)^2 + \dots$$

Μελέτη περίπτωσης: αντιστροφέας CMOS

Κατανάλωση ενέργειας αντιστροφέα



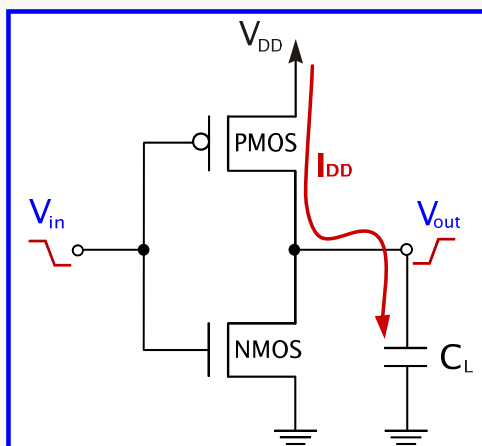
$$E = E_D + E_L + E_{SC}$$

- E_D : δυναμική κατανάλωση ενέργειας, λόγω της φόρτισης και της εκφόρτισης του φόρτου εξόδου, κατά τη διάρκεια μεταγωγής του κυκλώματος.
- E_L : στατική κατανάλωση ενέργειας (leakage).
- E_{SC} : κατανάλωση ενέργειας βραχυκυκλώματος, λόγω του ρεύματος από την τροφοδοσία στη γείωση, κατά τη διάρκεια μεταγωγής του κυκλώματος

Δυναμική κατανάλωση ενέργειας

- Παρεχόμενη ενέργεια από την τροφοδοσία, κατά την ανοδική μετάβαση ($0 \rightarrow V_{DD}$) της τάσης εξόδου:

$$E_D = V_{DD} \cdot \int_0^{t_{tr}} I_{DD} \cdot dt = V_{DD} \cdot \int_0^{t_{tr}} C_L \cdot \frac{dV_{out}}{dt} \cdot dt = V_{DD} \cdot \int_0^{V_{DD}} C_L \cdot dV_{out} = C_L \cdot V_{DD}^2$$



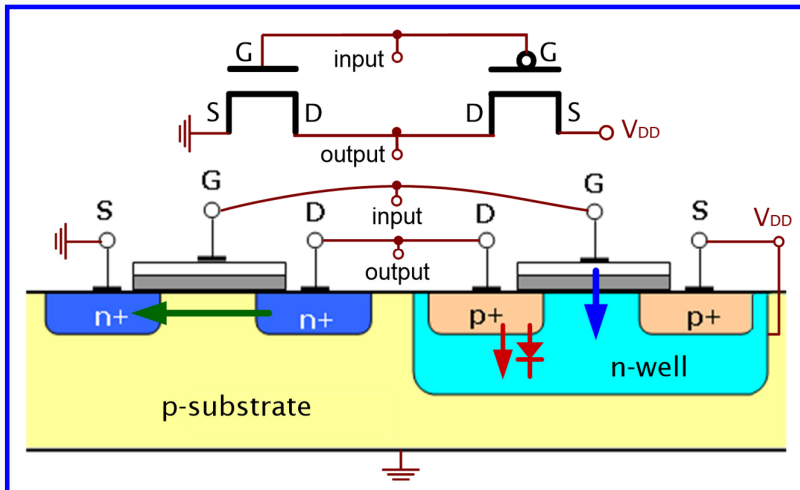
- Η παρεχόμενη ενέργεια είναι ανεξάρτητη από την κυματομορφή της τάσης εξόδου του αντιστροφέα.
- Ενέργεια που αποθηκεύεται στην χωρητικότητα εξόδου:

$$E_{C_L} = \frac{1}{2} \cdot C_L \cdot V_{DD}^2$$

- Η μισή παρεχόμενη ενέργεια αποθηκεύεται στη χωρητικότητα εξόδου και θα «χαθεί» στη γείωση κατά την καθοδική μετάβαση της τάσης εξόδου ($V_{DD} \rightarrow 0$) και η υπόλοιπη καταναλώνεται με τη μορφή θερμότητας στο τρανζίστορ PMOS.

Στατική κατανάλωση ενέργειας

- Η στατική κατανάλωση ενέργειας οφείλεται σε 3 τύπους ρευμάτων διαρροής:
 - ✓ το ρεύμα διαρροής των ανάστροφα πολωμένων επαφών των περιοχών διάχυσης με το υπόστρωμα,
 - ✓ το ρεύμα υποκατωφλίου, δηλαδή το ρεύμα πηγής-υποδοχής όταν η τάση πύλης-πηγής των τρανζίστορ είναι μικρότερη από την τάση κατωφλίου,
 - ✓ το ρεύμα διαρροής πύλης, λόγω του πολύ μικρού πάχους του οξειδίου της πύλης.

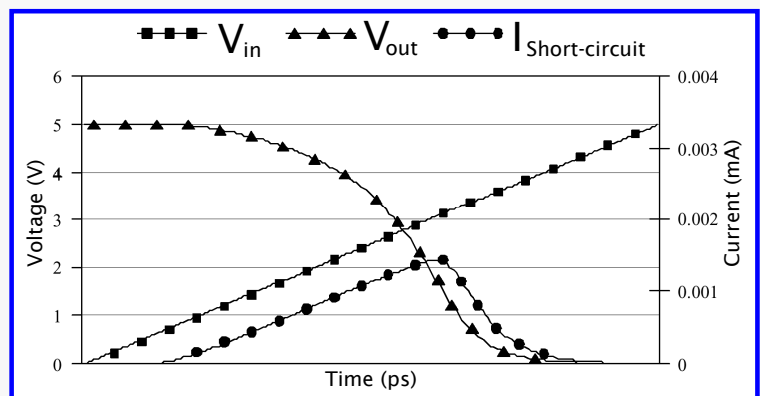
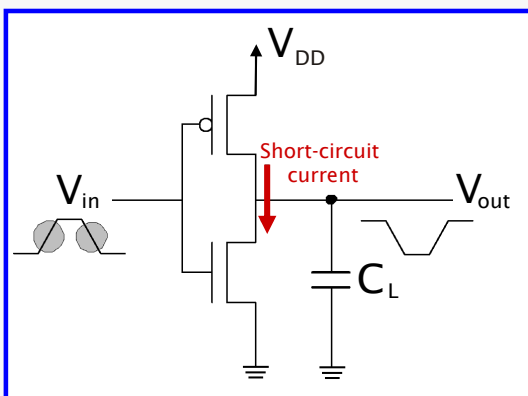


$$P_{\text{static}} \approx V_{\text{DD}} \cdot \sum I_{\text{leakage}}$$

Η στατική κατανάλωση ενέργειας αυξάνεται όσο μειώνεται το μήκος καναλιού των τρανζίστορ.

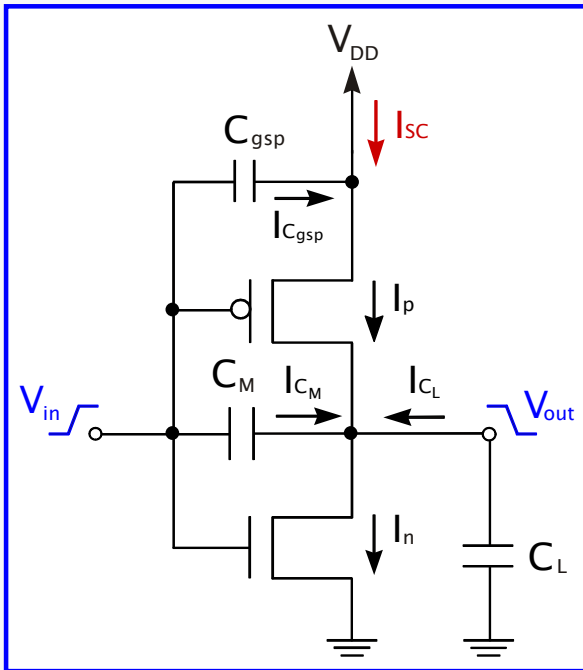
Κατανάλωση ενέργειας βραχυκυκλώματος

- Η κατανάλωση ενέργειας βραχυκυκλώματος οφείλεται στη διαδρομή ρεύματος που δημιουργείται μεταξύ της τροφοδοσίας και της γείωσης, κατά τη μεταγωγή του αντιστροφέα.
- Εξαρτάται από τον χρόνο μετάβασης της τάσης εισόδου, το φόρτο εξόδου, την τάση τροφοδοσίας και τα εσωτερικά σχεδιαστικά χαρακτηριστικά του αντιστροφέα.
- Οι εξαρτήσεις αυτές αυξάνουν την πολυπλοκότητα του υπολογισμού της.
- Απαιτείται ακριβής ανάλυση της κυματομορφής της τάσης εξόδου, με χρήση της προαναφερόμενης μεθοδολογίας.



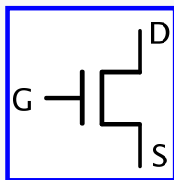
Κατανάλωση ενέργειας βραχυκυκλώματος

$$E_{SC} = V_{DD} \cdot \int I_{SC} dt$$



- Το μοντέλο υπολογισμού της βασίζεται σε αναλυτικές εκφράσεις (κλειστής μορφής) της κυματομορφής εξόδου του αντιστροφέα, στις οποίες λαμβάνονται υπόψη οι επιδράσεις των ρευμάτων των δύο τρανζίστορ και της χωρητικότητας (σύζευξης) μεταξύ των ακροδεκτών πύλης και υποδοχής των τρανζίστορ (C_M).
- Για τα ρεύματα υποδοχής των τρανζίστορ χρησιμοποιείται μια εκδοχή του μοντέλου δύναμης του α (alpha-power law MOSFET model).
- Το μοντέλο υπολογισμού της ενέργειας βραχυκυκλώματος που προκύπτει, λαμβάνει υπόψη τις επιδράσεις του χρόνου μετάβασης της τάσης εισόδου, τα μεγέθη των τρανζίστορ, το φαινόμενο κορεσμού της ταχύτητας των φορέων των τρανζίστορ πολύ μικρού μήκους καναλιού, καθώς και τις επιδράσεις χωρητικότητων του κυκλώματος (C_M, C_{gsp}, C_L).

Μοντέλο για το ρεύμα των τρανζίστορ



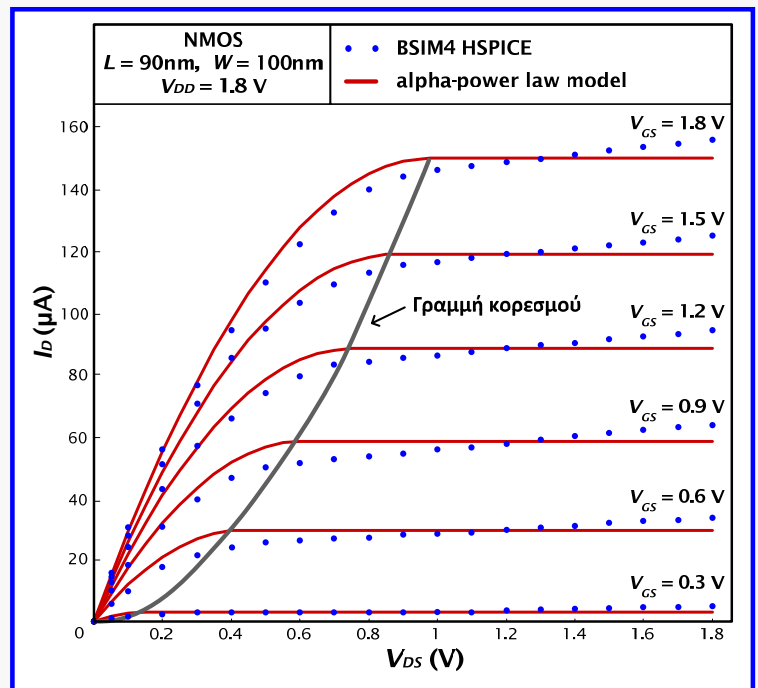
$$I_D = B \cdot (V_{GS} - V_{TH})^\alpha$$

$V_{DS} > V_{DSAT}$ Περιοχή κορεσμού

$$I_D = B \cdot (V_{GS} - V_{TH})^\alpha \cdot \left(2 - \frac{V_{DS}}{V_{DSAT}}\right) \cdot \frac{V_{DS}}{V_{DSAT}}$$

$V_{DS} \leq V_{DSAT}$ Γραμμική περιοχή

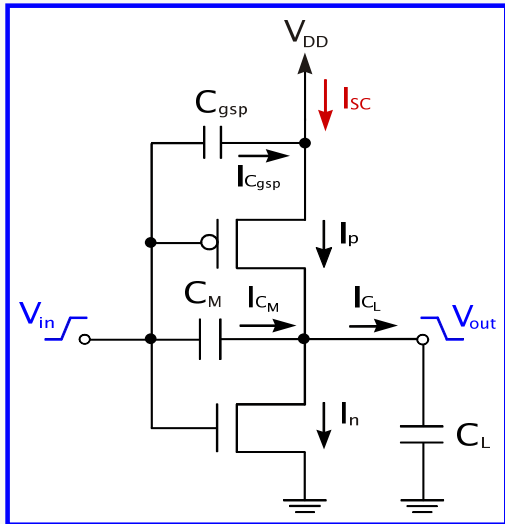
$$V_{DSAT} = K \cdot (V_{GS} - V_{TH})^{\alpha/2} \quad \text{Τάση κορεσμού}$$



Οι παράμετροι του μοντέλου καθορίζονται από την χρησιμοποιούμενη τεχνολογία κατασκευής (technology process) ή προσδιορίζονται από τις χαρακτηριστικές καμπύλες εξόδου των τρανζίστορ.

Ανάλυση κυματομορφής τάσης εξόδου

- Στόχος είναι ο προσδιορισμός της κυματομορφής της τάσης εξόδου για μια γραμμική μορφή της τάσης εισόδου: $V_{in} = V_{DD} \cdot (t/\tau)$ για $0 \leq t \leq \tau$ και $V_{in} = V_{DD}$ για $t \geq \tau$, όπου τ είναι **χρόνος μετάβασης της τάσης εισόδου**. Η ανάλυση για κατερχόμενη τάση εισόδου είναι συμμετρική.
- Καταstrώνουμε τη διαφορική εξίσωση που περιγράφει την εκφόρτιση του φόρτου εξόδου (C_L) και λαμβάνει υπόψη την **χωρητικότητα σύζευξης πύλης-υποδοχής**:



$$I_p - I_n + I_{C_M} - I_{C_L} = 0 \Rightarrow$$

$$I_p - I_n + C_M \cdot \frac{d(V_{in} - V_{out})}{dt} - C_L \cdot \frac{dV_{out}}{dt} = 0 \Rightarrow$$

$$C_L \cdot \frac{dV_{out}}{dt} = C_M \cdot \left(\frac{dV_{in}}{dt} - \frac{dV_{out}}{dt} \right) + I_p - I_n$$

Ανάλυση κυματομορφής τάσης εξόδου

Μετά από κανονικοποίηση των τάσεων του κυκλώματος ως προς την τάση τροφοδοσίας (V_{DD}) και χρήση της μεταβλητής $x = t / \tau$, τα ρεύματα των τρανζίστορ είναι:

$$I_p = \begin{cases} k_{lp1} \cdot (1-x-p)^{\alpha_p/2} \cdot (1-u_{out}) - k_{lp2} \cdot (1-u_{out})^2, & 1-u_{out} < u_{dsatp} \\ k_{sp} \cdot (1-x-p)^{\alpha_p}, & 1-u_{out} \geq u_{dsatp} \end{cases}$$

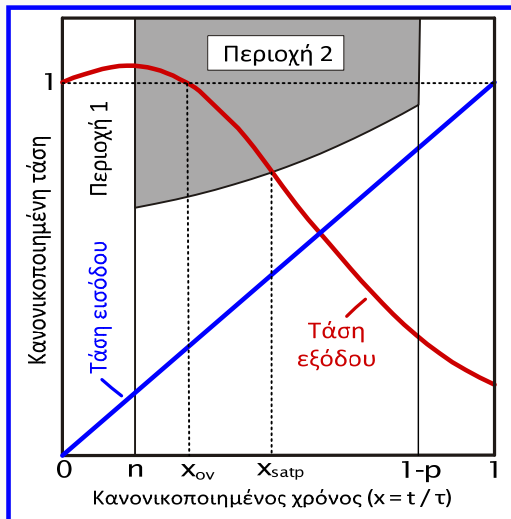
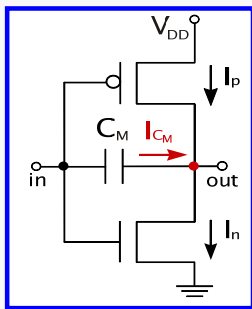
$$p = \frac{|V_{THP}|}{V_{DD}} \quad u_{dsatp} = k_{vp} \cdot (1-x-p)^{\alpha_p/2}$$

$$I_n = \begin{cases} k_{ln1} (x-n)^{\alpha_n/2} \cdot u_{out} - k_{ln2} \cdot u_{out}^2, & u_{out} < u_{dsatn} \\ k_{sn} \cdot (x-n)^{\alpha_n}, & u_{out} \geq u_{dsatn} \end{cases}$$

$$n = \frac{V_{THN}}{V_{DD}} \quad u_{dsatn} = k_{vn} \cdot (x-n)^{\alpha_n/2}$$

όπου k_{l1} , k_{l2} , k_s και k_v είναι σταθερές που εξαρτώνται από τις παραμέτρους K , B , V_{DD} και α του μοντέλου ρεύματος υποδοχής των τρανζίστορ.

Ανάλυση κυματομορφής τάσης εξόδου



- Στην **περιοχή λειτουργίας 1** ($0 \leq x \leq n$) το NMOS είναι σε αποκοπή και το PMOS λειτουργεί στην γραμμική περιοχή.
- Στην **περιοχή λειτουργίας 2** ($n \leq x \leq x_{\text{satp}}$) το NMOS λειτουργεί στην περιοχή κορεσμού και το PMOS παραμένει στη γραμμική περιοχή του.
- x_{satp} είναι ο κανονικοποιημένος χρόνος κατά τον οποίο το PMOS εισέρχεται στην περιοχή κορεσμού.
- Μέρος του φορτίου εισόδου που εγχέεται μέσω της C_M , δημιουργεί **υπέρβαση (overshoot)** κατά την έναρξη της μεταβολής της τάσης εξόδου ($0 \leq x \leq x_{0v}$).
- Κατά την υπέρβαση, δεν υφίσταται ροή ρεύματος από την τροφοδοσία στη γείωση αφού $V_{\text{out}} > V_{\text{DD}}$.

Ανάλυση κυματομορφής τάσης εξόδου

$$C_L \cdot \frac{dV_{\text{out}}}{dt} = C_M \cdot \left(\frac{dV_{\text{in}}}{dt} - \frac{dV_{\text{out}}}{dt} \right) + I_p - I_n \Rightarrow \frac{du_{\text{out}}}{dx} = c_m + \frac{(I_p - I_n) \cdot \tau}{(C_L + C_M) \cdot V_{\text{DD}}}$$

$$I_p = k_{lp1} (1-x-p)^{\alpha_p/2} \cdot (1-u_{\text{out}}) - k_{lp2} \cdot (1-u_{\text{out}})^2 \quad c_m = \frac{C_M}{C_L + C_M}$$

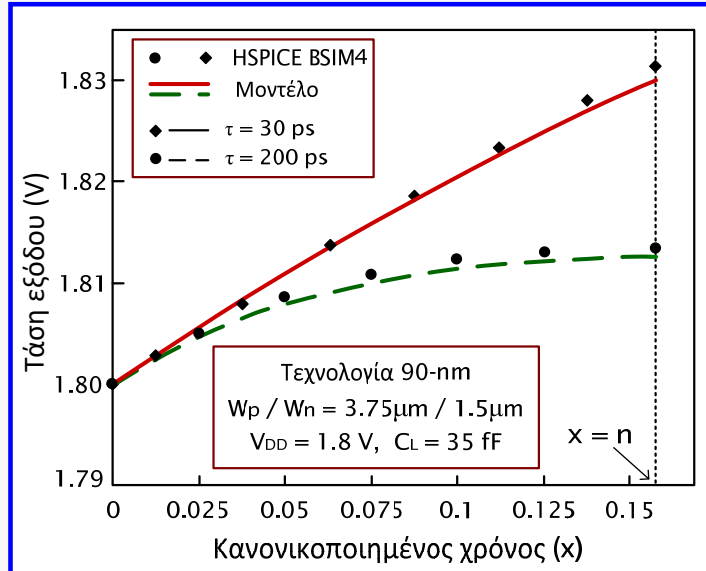
- Στην περιοχή 1 ($0 \leq x \leq n$), η διαφορική εξίσωση δεν έχει αναλυτική λύση.
- Η σημαντικότερη επίδραση στην τάση εξόδου στην περιοχή αυτή, προέρχεται από το φορτίο που εγχέεται μέσω της χωρητικότητας C_M .
- Προσεγγίσεις:
 - ✓ Χρήση μέσης τιμής του $x = n / 2$ στον πρώτο όρο του ρεύματος του PMOS.
 - ✓ Χρήση της $u_{\text{out}} = 1 + c_m \cdot x$ (που είναι η τάση εξόδου εάν ληφθεί υπόψη μόνο η επίδραση του φορτίου διαμέσου της C_M) στον τετραγωνικό όρο του ρεύματος του PMOS. Το φορτίο που αντιστοιχεί στον όρο αυτό είναι πολύ μικρό, λόγω των μικρών τιμών της $u_{\text{dsp}} = 1 - u_{\text{out}}$ στην περιοχή αυτή.

Ανάλυση κυματομορφής τάσης εξόδου

$$u_{out} = 1 + \frac{C_m}{C^3 \cdot A_{lp1}^3} \cdot \left[2 \cdot A_{lp2} \cdot c_m \cdot (e^{-x \cdot C \cdot A_{lp1}} - 1) + 2 \cdot C \cdot A_{lp1} \cdot A_{lp2} \cdot c_m \cdot x + C^2 \cdot A_{lp1}^2 \cdot (1 - e^{-x \cdot C \cdot A_{lp1}} - A_{lp2} \cdot c_m \cdot x^2) \right]$$

$$A_{lp1} = \frac{\tau \cdot k_{lp1}}{V_{DD} \cdot (C_L + C_M)} \quad C = \left(1 - p - \frac{n}{2} \right)^{\frac{\alpha_p}{2}} \quad c_m = \frac{C_M}{C_L + C_M}$$

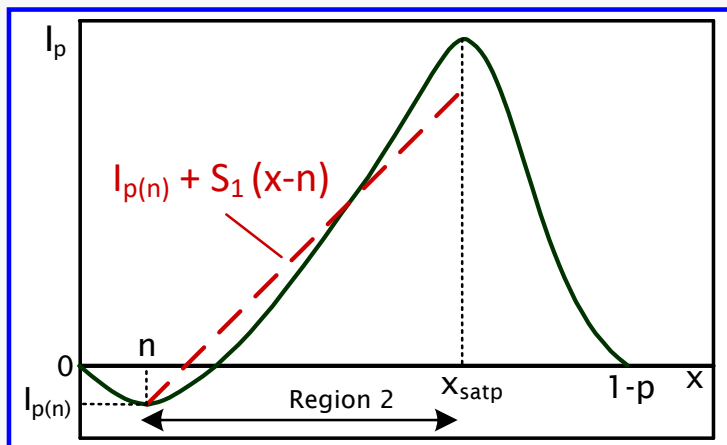
Αναλυτική έκφραση της τάσης εξόδου του αντιστροφέα στην περιοχή 1



Ανάλυση κυματομορφής τάσης εξόδου

- Στην περιοχή 2, το τρανζίστορ NMOS βρίσκεται στην περιοχή κορεσμού και το τρανζίστορ PMOS παραμένει στη γραμμική περιοχή.
- Η διαφορική εξίσωση δεν έχει αναλυτική λύση και γι' αυτό προσεγγίζουμε το ρεύμα του τρανζίστορ PMOS με μια γραμμική συνάρτηση του x:

$$I_p = I_{p(n)} + S_1 \cdot (x - n) \quad I_{p(n)} = k_{lp1} \cdot (1 - n - p)^{\alpha_p / 2} \cdot (1 - u_n)$$



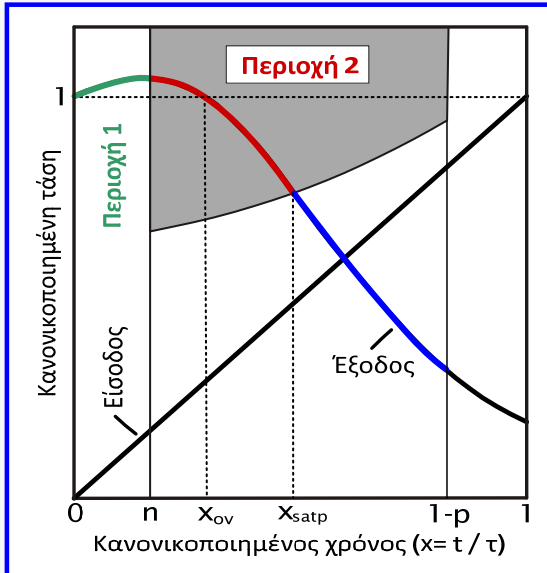
Η κλίση S_1 υπολογίζεται με εξίσωση του ρεύματος του τρανζίστορ PMOS στη γραμμική περιοχή με το προσεγγιστικό ρεύμα για $x = (1 - p) / 2$

Ανάλυση κυματομορφής τάσης εξόδου

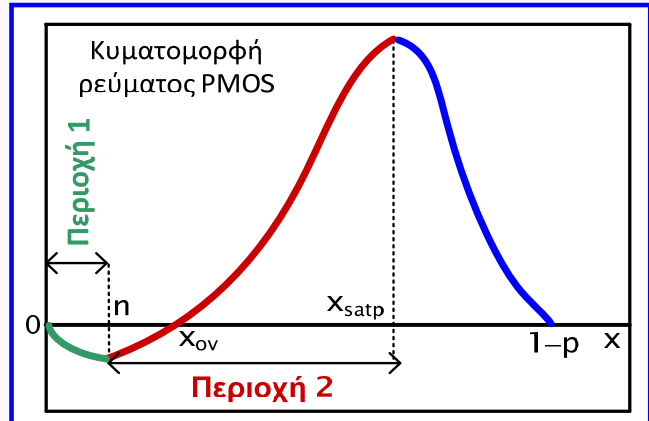
Αναλυτική έκφραση της τάσης εξόδου του κυκλώματος στην περιοχή 2

$$u_{out} = u_n + c_m \cdot (x - n) + I_{p(n)} \cdot d \cdot (x - n) + \frac{S_1 \cdot d \cdot (x - n)^2}{2} - \frac{A_{sn} \cdot (x - n)^{\alpha_n + 1}}{\alpha_n + 1}$$

$$A_{sn} = \frac{k_{sn} \cdot \tau}{V_{DD} \cdot (C_L + C_M)} \quad d = \frac{\tau}{V_{DD} \cdot (C_L + C_M)}$$



$$I_p = \begin{cases} k_{ip1} (1-x-p)^{\alpha_p/2} \cdot (1-u_{out}) - k_{ip2} \cdot (1-u_{out})^2 \\ k_{sp} \cdot (1-x-p)^{\alpha_p} \end{cases}$$



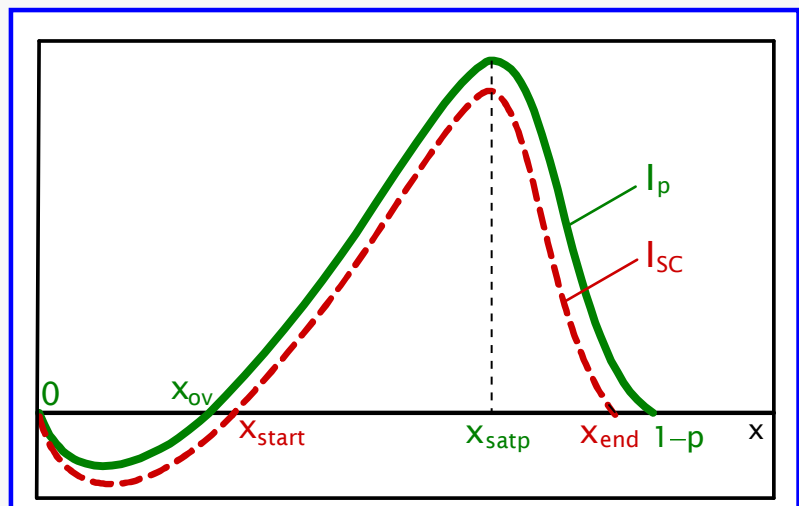
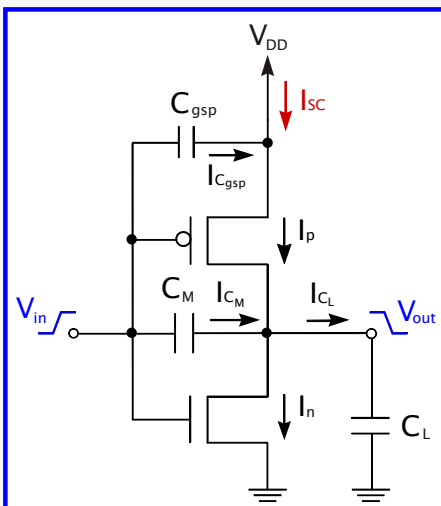
Υπολογισμός ενέργειας βραχυκυκλώματος

Το ρεύμα του τρανζίστορ PMOS περιλαμβάνει δύο συνιστώσες που δεν αποτελούν ρεύμα βραχυκυκλώματος: το ρεύμα μέσω της χωρητικότητας C_{gsp} και το ρεύμα από τον κόμβο εξόδου προς την τροφοδοσία κατά τη διάρκεια της υπέρβασης της τάσης εξόδου.

$$I_{SC} = I_p - I_{C_{gsp}}$$

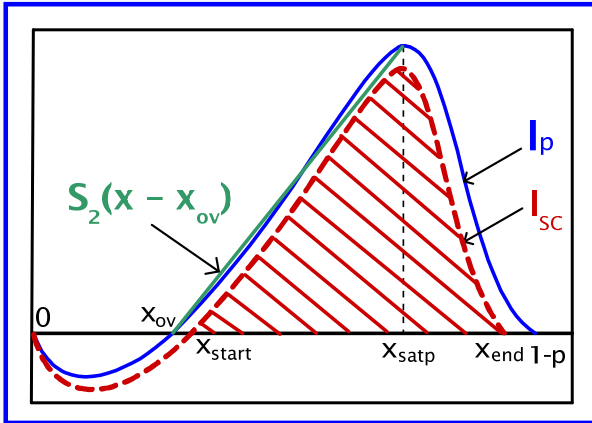
$$I_{C_{gsp}} = C_{gsp} \cdot (V_{DD} / \tau)$$

$$E_{SC} = V_{DD} \cdot \int_{x_{start}}^{x_{end}} I_{SC} \cdot \tau \cdot dx = V_{DD} \cdot \left(\int_{x_{start}}^{x_{satp}} I_{SC} \cdot \tau \cdot dx + \int_{x_{satp}}^{x_{end}} I_{SC} \cdot \tau \cdot dx \right)$$



Υπολογισμός ενέργειας βραχυκυκλώματος

- Στο πρώτο ολοκλήρωμα χρησιμοποιείται μια γραμμική προσέγγιση του ρεύματος του τρανζίστορ PMOS.
- Η κλίση S_2 υπολογίζεται με εξίσωση του ρεύματος του τρανζίστορ PMOS στη γραμμική περιοχή με το προσεγγιστικό ρεύμα στο μέσο του διαστήματος $[x_{ov}, x_{satp}]$.
- Τα σημεία x_{ov} , x_{satp} υπολογίζονται χρησιμοποιώντας αναπτύγματα Taylor δευτέρου βαθμού των u_{out} και u_{dsatp} .



$$E_{SC} = V_{DD} \cdot \int_{x_{start}}^{x_{satp}} (I_p - I_{C_{gsp}}) \cdot \tau \cdot dx + V_{DD} \cdot \int_{x_{satp}}^{x_{end}} (I_p - I_{C_{gsp}}) \cdot \tau \cdot dx$$

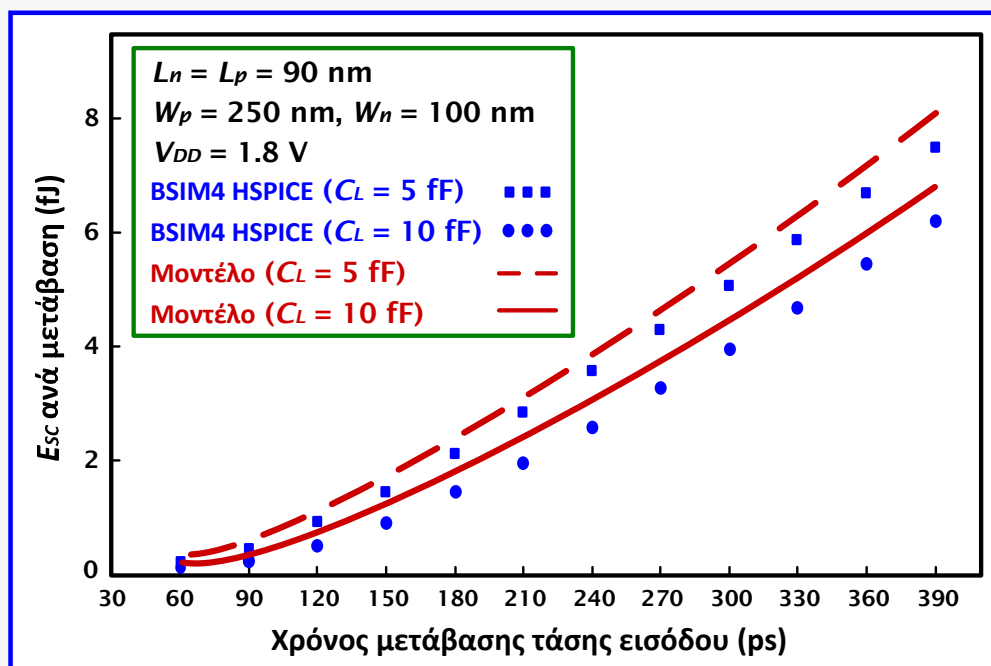
$$E_{SC} = \frac{V_{DD}}{2} \cdot (x_{satp} - x_{start}) \cdot [(x_{satp} + x_{start} - 2x_{ov}) \cdot S_2 - \frac{2C_{gsp} \cdot V_{DD}}{\tau}] + \frac{V_{DD} \cdot k_{sp} \cdot \tau}{\alpha_p + 1} \cdot [(1 - p - x_{satp})^{\alpha_p + 1} - (1 - p - x_{end})^{\alpha_p + 1}] - C_{gsp} \cdot V_{DD}^2 \cdot (x_{end} - x_{satp})$$

$$S_2 \cdot (x_{start} - x_{ov}) - C_{gsp} \cdot (V_{DD} / \tau) = 0 \Rightarrow x_{start}$$

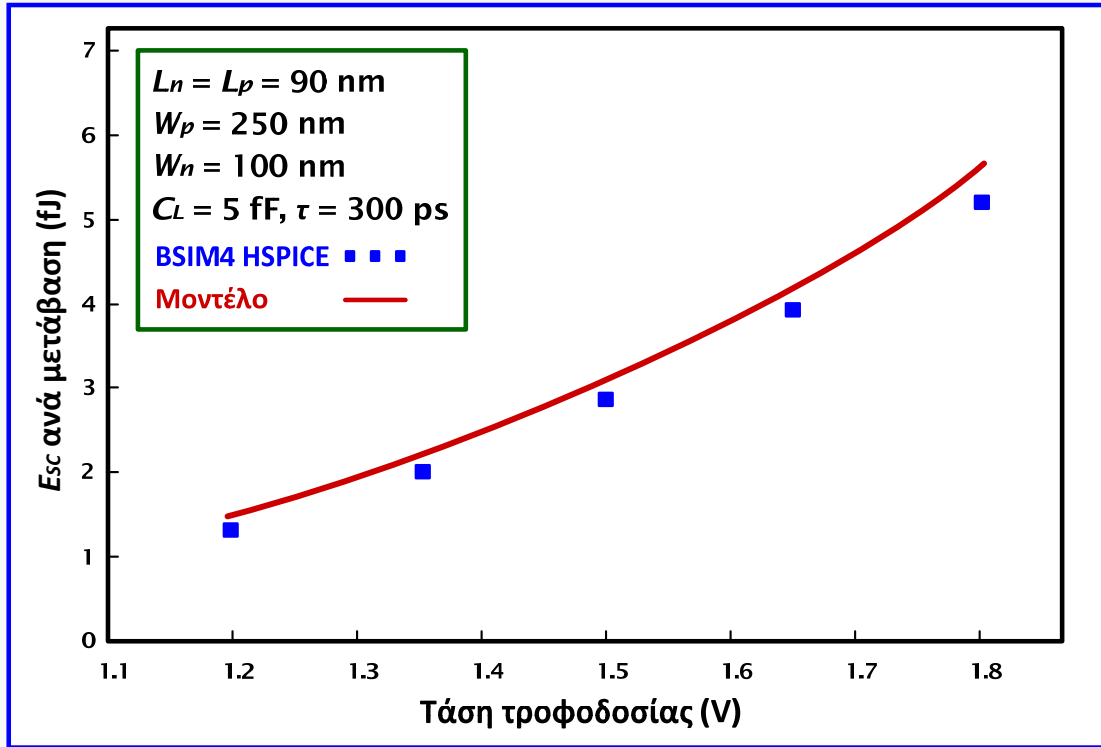
$$k_{sp} \cdot (1 - x_{end} - p)^{\alpha_p} - C_{gsp} \cdot (V_{DD} / \tau) = 0 \Rightarrow x_{end}$$

Υπολογισμός ενέργειας βραχυκυκλώματος

Η ακρίβεια του μοντέλου της κατανάλωσης ενέργειας βραχυκυκλώματος επαληθεύεται με σύγκριση των αποτελεσμάτων του με προσομοιώσεις BSIM4 HSPICE για διάφορες τιμές του χρόνου μετάβασης της τάσης εισόδου, του φόρτου εξόδου και της τάσης τροφοδοσίας

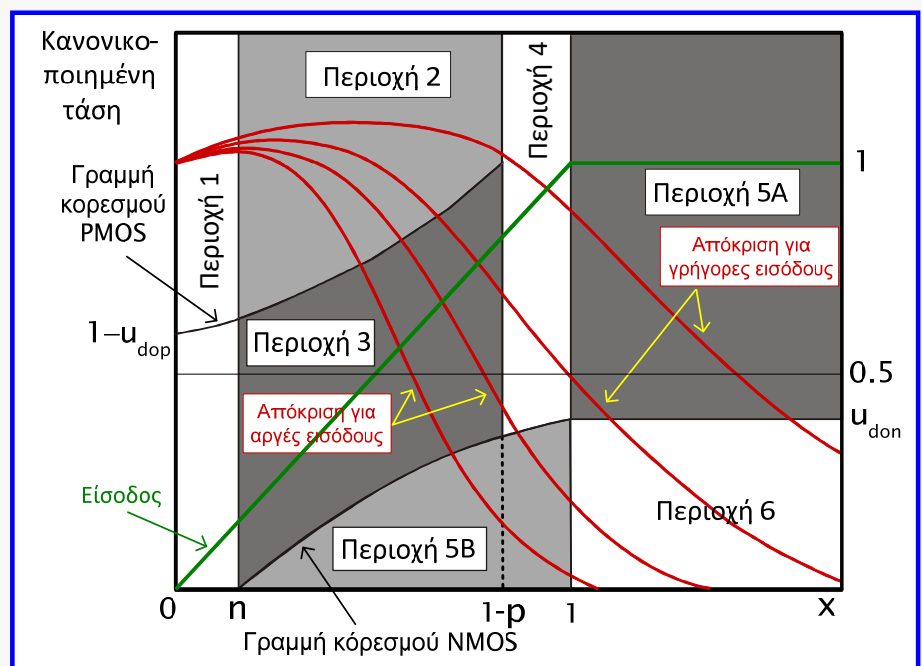


Υπολογισμός ενέργειας βραχυκυκλώματος



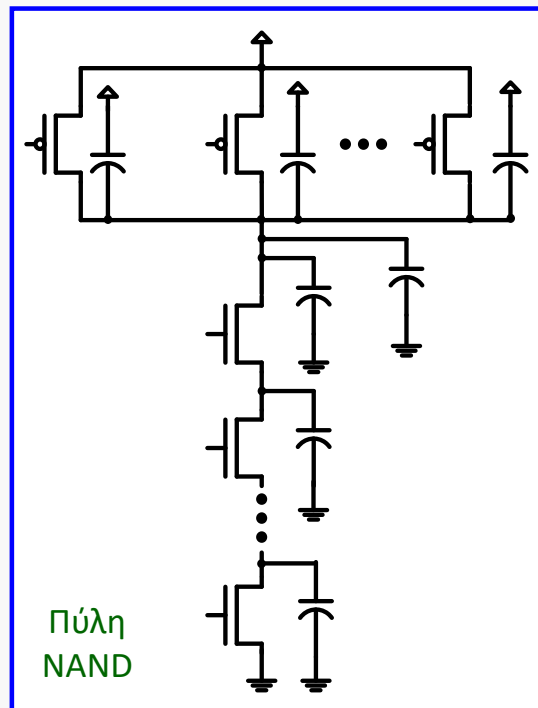
Πλήρης ανάλυση απόκρισης αντιστροφεία

- Οι συνδυασμοί των 3 περιοχών λειτουργίας των τρανζίστορ καθορίζουν τις διαφορετικές περιοχές λειτουργίας του κυκλώματος.
- Για τον καθορισμό των περιοχών λειτουργίας λαμβάνεται υπόψη και η κλίση της τάσης εισόδου.
- Λύνουμε τη διαφορική εξίσωση στον κόμβο εξόδου για όλες τις περιοχές λειτουργίας, ακολουθώντας κατάλληλες προσεγγίσεις, όπου απαιτείται.



Επέκταση σε πύλες πολλαπλών εισόδων

- Η επέκταση του μοντέλου του αντιστροφέα σε πύλες CMOS με πολλαπλές εισόδους, διενεργείται με αναγωγή κάθε πύλης σε έναν **ισοδύναμο αντιστροφέα**.
- Η διαδικασία αυτή απαιτεί:
 - ✓ την αναγωγή **σειριακά και παράλληλα** συνδεδεμένων τρανζίστορ σε ένα **ισοδύναμο τρανζίστορ**,
 - ✓ την αναγωγή των **κυματομορφών των τάσεων εισόδου** σε μια **ισοδύναμη κυματομορφή**.
- Κατά την αναγωγή λαμβάνονται υπόψη:
 - ✓ οι **χρόνοι μετάβασης των τάσεων εισόδου**,
 - ✓ το **πλήθος των υπό μετάβαση εισόδων**,
 - ✓ η **θέση των υπό μετάβαση εισόδων**,
 - ✓ το **φαινόμενο σώματος (body effect)**,
 - ✓ ο **φόρτος της πύλης και**
 - ✓ οι **χωρητικότητες των εσωτερικών κόμβων**.



Μοντελοποίηση MOSFET για κυκλωματική ανάλυση

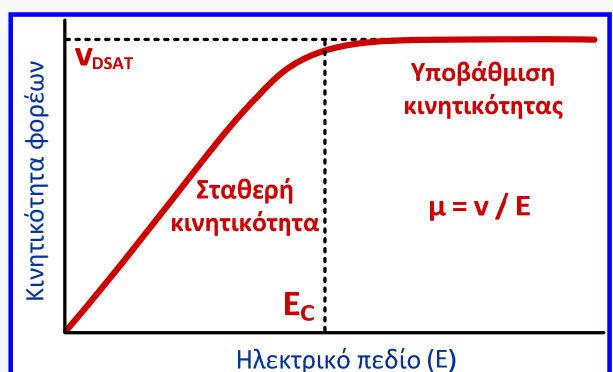
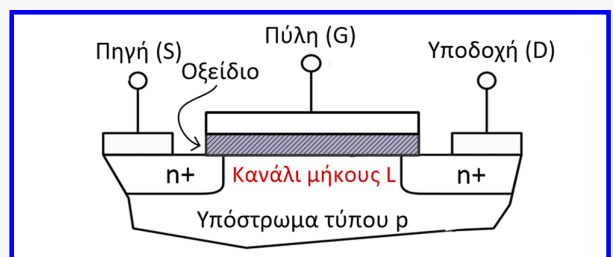
- Η ακρίβεια και η υπολογιστική αποδοτικότητα των μοντέλων ανάλυσης κυκλωμάτων επηρεάζεται από την ακρίβεια και την πολυπλοκότητα των μοντέλων MOSFET.
- Ένα μοντέλο MOSFET πρέπει να ικανοποιεί δύο απαιτήσεις:
 - ✓ υψηλή ακρίβεια υπολογισμού του ρεύματος υποδοχής των τρανζίστορ και
 - ✓ χαμηλή πολυπλοκότητα, έτσι ώστε να είναι δυνατή η εξαγωγή αναλυτικών εκφράσεων των παραμέτρων των κυκλωμάτων, όπως η χρονική απόκριση.
- Στα περισσότερα μοντέλα I-V των MOSFET, τα φαινόμενα που καθορίζουν τη συμπεριφορά των στοιχείων, μοντελοποιούνται μέσω φυσικών ή εμπειρικών παραμέτρων.
- Η αυξανόμενη πολυπλοκότητα των φυσικών μηχανισμών που επιδρούν στα στοιχεία με πολύ μικρό μήκος καναλιού (**deep-submicrometer, nanometer devices**), οδηγεί σε πολύπλοκα μοντέλα που χρησιμοποιούν μεγάλο πλήθος παραμέτρων για να προσδώσουν τη μέγιστη δυνατή ακρίβεια.
- Αν και τα πολύπλοκα, αλλά ακριβή αυτά μοντέλα είναι διαχειρίσιμα από κυκλωματικούς προσομοιωτές, δεν παρέχουν υπολογιστική αποδοτικότητα.

Μοντελοποίηση MOSFET για κυκλωματική ανάλυση

- Αυτό οδηγεί στην ανάγκη υιοθέτησης απλών και συμπαγών μοντέλων MOSFET.
- Τα μοντέλα αυτά πρέπει να λαμβάνουν υπόψη τις επιδράσεις σημαντικών φυσικών μηχανισμών που υφίστανται στα στοιχεία πολύ μικρού μήκους καναλιού, μέσω μικρού πλήθους παραμέτρων που προσδιορίζονται από μετρήσεις ή προσομοιώσεις.
- Σημαντικά φαινόμενα που επιδρούν στη λειτουργία στοιχείων με πολύ μικρό μήκος καναλιού και θα πρέπει να λαμβάνονται υπόψη, είναι:
 - ✓ υποβάθμιση κινητικότητας (**mobility degradation**) και κορεσμός ταχύτητας (**velocity saturation**) των φορέων,
 - ✓ μείωση τάσης κατωφλίου, λόγω μικρού μήκους καναλιού (**short-channel effect**) και φαινομένου DIBL (**drain-induced barrier lowering**, μείωση φράγματος επαγόμενης υποδοχής),
 - ✓ διαμόρφωση μήκους καναλιού (**channel-length modulation**),
 - ✓ φαινόμενο σώματος (**body effect**),
 - ✓ φαινόμενο στενού πλάτους καναλιού (**narrow channel width effect**),
 - ✓ παρασιτική αντίσταση πηγής-υποδοχής (**source-drain parasitic resistance**).

Υποβάθμιση κινητικότητας / κορεσμός ταχύτητας

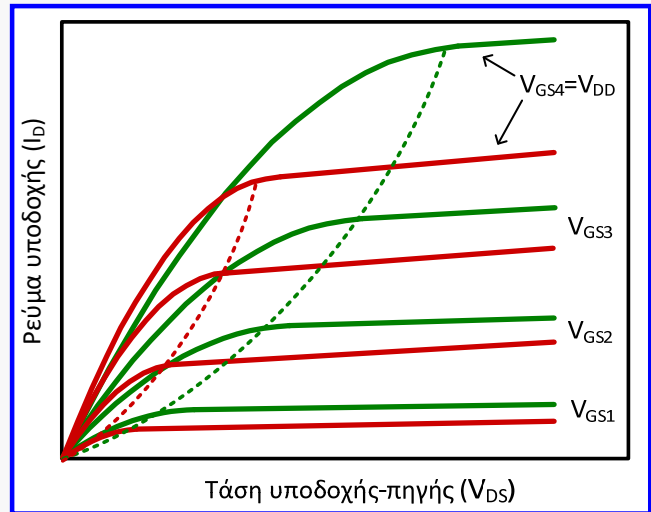
- Για χαμηλό εφαρμοζόμενο οριζόντιο ηλεκτρικό πεδίο (E) στο κανάλι του MOSFET (μεταξύ πηγής και υποδοχής), η **κινητικότητα (μ) των φορέων** είναι σταθερή και ανεξάρτητη από το πεδίο (**ταχύτητα φορέων: $U = \mu \cdot E$**).
- Με αύξηση του πεδίου, επέρχεται **κορεσμός της ταχύτητας των φορέων** (λόγω των συγκρούσεων τους με τα άτομα πυριτίου) που οδηγεί σε **υποβάθμιση της κινητικότητάς τους**.
- Το φαινόμενο είναι πιο έντονο σε MOSFET με πολύ μικρό μήκος καναλιού ($E = V_{DS} / L$).
- Το κάθετο ηλεκτρικό πεδίο που οφείλεται στην τάση πύλης, σπρώχνει τους φορείς προς το οξειδίο πύλης.
- Η κινητικότητα των φορέων υποβαθμίζεται περαιτέρω, λόγω των συγκρούσεων των φορέων στην διεπαφή οξειδίου-καναλιού.



Υποβάθμιση κινητικότητας / κορεσμός ταχύτητας

- Επίδραση στις χαρακτηριστικές εξόδου του MOSFET:

- ✓ εισαγωγή στην περιοχή κορεσμού σε μικρότερες τιμές της V_{DS} ,
- ✓ στην περιοχή κορεσμού η σχέση ρεύματος υποδοχής και τάσης πύλης-πηγής δεν είναι τετραγωνική (όπως στα MOSFET μεγάλου μήκους καναλιού), αλλά σχεδόν γραμμική.



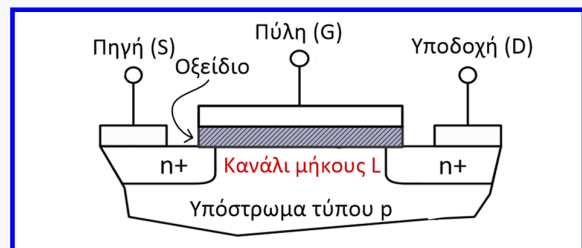
- Η μοντελοποίηση του φαινομένου επιτυγχάνεται με την υιοθέτηση του δείκτη κορεσμού της ταχύτητας των φορών (**velocity saturation index, α**) στην έκφραση του I_D **κορεσμού** και αντίστοιχου δείκτη ($m \approx \alpha/2$) στην έκφραση της V_{DS} **κορεσμού** (V_{DSAT}).

$$I_D = B \cdot (V_{GS} - V_{TH})^2 \Rightarrow I_D = B \cdot (V_{GS} - V_{TH})^\alpha$$

$$V_{DSAT} = V_{GS} - V_{TH} \Rightarrow V_{DSAT} = K \cdot (V_{GS} - V_{TH})^m$$

Μείωση τάσης κατωφλίου

- Όταν εφαρμόζεται μικρή τάση στην πύλη, δημιουργείται κατακόρυφο ηλεκτρικό πεδίο με κατεύθυνση προς το υπόστρωμα που απωθεί τις σπές (φορείς πλειονότητας) από την περιοχή κάτω από το οξειδίο πύλης, οι οποίες αφήνουν πίσω τους αρνητικά ιόντα.



- Έτσι, σχηματίζεται μία **περιοχή αραίωσης (depletion region)** κάτω από την πύλη, η οποία είναι σχεδόν απαλλαγμένη από κινούμενους φορείς.
- Όσο η τάση πύλης αυξάνεται, η πυκνότητα των ηλεκτρονίων στην περιοχή κάτω από το οξειδίο αυξάνεται, αφού η θετική πόλωση της πύλης προσελκύει ηλεκτρόνια από το υπόστρωμα.
- Έτσι, όταν το δυναμικό στην επιφάνεια του πυριτίου φθάνει σε μία κρίσιμη τιμή, η λεπτή περιοχή κάτω από το οξειδίο πύλης, αντιστρέφεται και γίνεται τύπου n (**αγώγιμο κανάλι**).
- Η τιμή της τάση V_{GS} που απαιτείται ώστε η συγκέντρωση ηλεκτρονίων να ξεπεράσει τοπικά (κάτω από το οξειδίο πύλης) αυτήν των σπών, για να δημιουργηθεί κανάλι αγωγής, αναφέρεται ως **τάση κατωφλίου** (V_{TH}).

Μείωση τάσης κατωφλίου

- Σε **MOSFET με πολύ μικρό μήκος καναλιού**, το φορτίο των περιοχών πηγής και υποδοχής συμμετέχει σε σημαντικό βαθμό στη δημιουργία της περιοχής αραίωσης κατω από την πύλη, με αποτέλεσμα η προαναφερόμενη αντιστροφή να επιτυγχάνεται για μικρότερη τάση πύλης, γεγονός που αντιστοιχεί σε μείωση της V_{TH} , λόγω του πολύ μικρού μήκους καναλιού (**short-channel effect**).
- Όταν αυξάνεται η τάση υποδοχής, η περιοχή αραίωσης της υποδοχής αυξάνεται και επεκτείνεται κάτω από την πύλη, με αποτέλεσμα η αντιστροφή να επιτυγχάνεται για ακόμη μικρότερη τάση πηγής, γεγονός που αντιστοιχεί σε περαιτέρω μείωση της V_{TH} .
- Το φαινόμενο αυτό αναφέρεται ως μείωση φράγματος επαγόμενης υποδοχής (**drain-induced barrier lowering, DIBL**).

$$V_{TH} = V_{TH0} - \Delta V_{TH-SCE} - \Delta V_{TH-DIBL}$$

$$\Delta V_{TH-SCE} = \frac{V_b - \phi_s}{\cosh\left(\frac{L}{2 \cdot \lambda}\right)}$$

$$\Delta V_{TH-DIBL} = \sigma \cdot V_{DS} = \frac{0.5}{\cosh\left(\frac{L}{2 \cdot \lambda}\right) - 1} \cdot V_{DS}$$

V_{TH0} : τάση κατωφλίου μεγάλου μήκους καναλιού για $V_{SB} = 0$

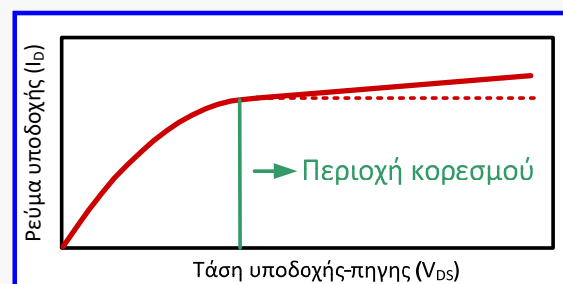
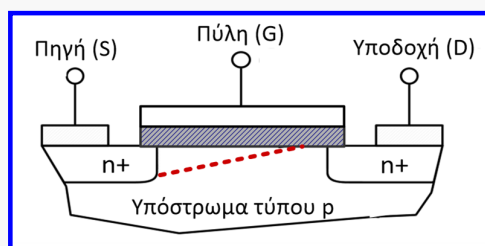
V_b : ενσωματωμένο δυναμικό μεταξύ των περιοχών πηγής και υποδοχής

ϕ_s : δυναμικό επιφάνειας πυριτίου (ανεστραμμένη περιοχή)

λ : χαρακτηριστικό μήκος καναλιού

Διαμόρφωση μήκους καναλιού

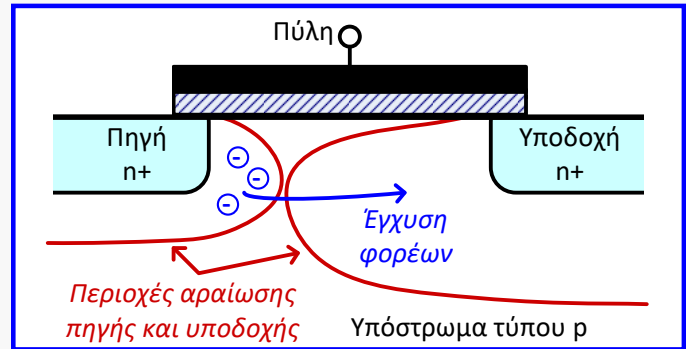
- Το φαινόμενο (**channel length modulation, CLM**) αφορά την μείωση του μήκους του καναλιού, όταν αυξάνεται η τάση υποδοχής-πηγής.



- Όταν η τάση υποδοχής αυξηθεί πάνω από μια ορισμένη τιμή (τάση κορεσμού) το κανάλι δεν υπόκειται πια σε αντιστροφή κοντά στην υποδοχή και εξαντλείται.
- Όσο αυξάνεται η τάση υποδοχής, η μη ανεστραμμένη περιοχή επεκτείνεται προς την πλευρά της πηγής, μειώνοντας έτσι το εύρος της περιοχής καναλιού.
- Επειδή η αντίσταση του καναλιού είναι ανάλογη με το μήκος του, η αύξηση της τάσης υποδοχής-πηγής οδηγεί σε αύξηση του ρεύματος υποδοχής, όταν το MOSFET λειτουργεί στην **περιοχή κορεσμού**.
- Το φαινόμενο είναι πιο έντονο, όταν η απόσταση πηγής-υποδοχής είναι μικρή (**deep-submicrometer and nanometer MOSFETs**).

Διαμόρφωση μήκους καναλιού και DIBL

- Όπως προαναφέρθηκε, στα MOSFET πολύ μικρού μήκους καναλιού, όταν η τάση υποδοχής είναι αυξημένη (περιοχή κορεσμού), η περιοχή αραίωσης της υποδοχής επεκτείνεται προς την περιοχή αραίωσης της πηγής (φαινόμενο DIBL).
- Αυτό έχει ως αποτέλεσμα μια αύξηση του ρεύματος υποδοχής, λόγω των φορέων (ηλεκτρονίων) που εγχέονται από την περιοχή αραίωσης της πηγής.
- Λόγω του ότι η αύξηση αυτή του ρεύματος ουσιαστικά προστίθεται σε εκείνη που οφείλεται στο φαινόμενο CLM, τα δύο φαινόμενα μπορούν να μοντελοποιηθούν στην περιοχή κορεσμού με κοινό τρόπο.



$$I_D = B \cdot (V_{GS} - V_{TH})^\alpha$$



$$I_D = B \cdot (V_{GS} - V_{TH})^\alpha \cdot \left[1 + \frac{d}{V_{GS} - V_{TH}} \cdot (V_{DS} - V_{DSAT}) \right]$$

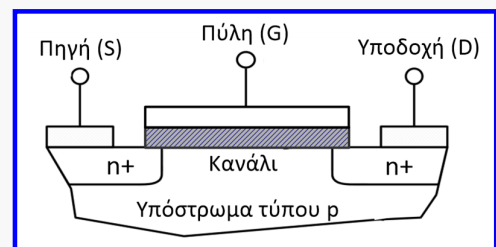
d: εμπειρική παράμετρος για την κλίση των χαρακτηριστικών εξόδου του MOSFET στην περιοχή κορεσμού

Φαινόμενο σώματος

- Όταν $V_{SB} > 0$, το δυναμικό του υποστρώματος είναι μικρότερο από εκείνο της πηγής.
- Έτσι, η περιοχή αραίωσης μεταξύ πηγής και υποστρώματος διευρύνεται.
- Τα ηλεκτρόνια που έλκονται από το υπόστρωμα προς την περιοχή κάτω από το οξειδίο, θα πρέπει να ξεπεράσουν τη διευρυμένη περιοχή αραίωσης, συνεπώς απαιτείται μεγαλύτερη τάση πύλης ώστε να δημιουργηθεί αγώγιμο κανάλι.
- Αποτέλεσμα λοιπόν είναι η αύξηση της V_{TH} :

$$V_{TH} = V_{TH0} + \gamma \cdot (\sqrt{\phi_s + V_{SB}} - \sqrt{\phi_s})$$

γ : παράγοντας φαινομένου σώματος.



- Για την απλούστερη μοντελοποίηση του φαινομένου σώματος σε σειριακά συνδεδεμένα MOSFET, χρησιμοποιούμε μια γραμμική προσέγγιση της παραπάνω σχέσης:

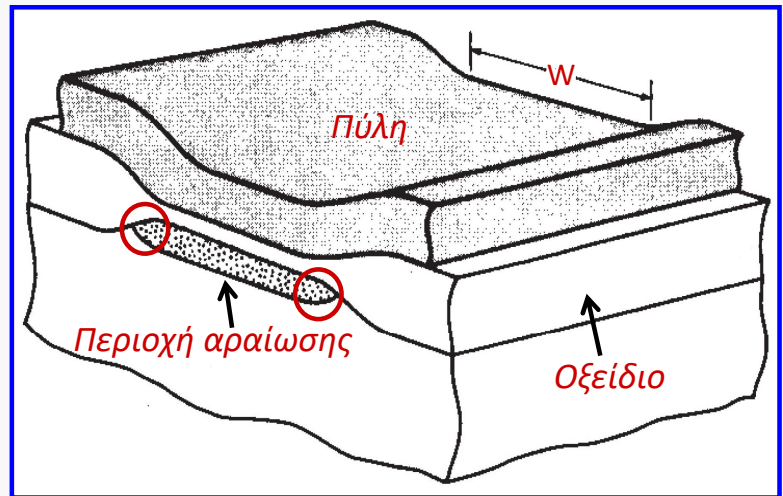
$$V_{TH} = V_{TO} + \gamma' \cdot V_{SB}$$

$$\gamma' = \frac{V_{THf} - V_{TH0}}{V_{SBf}}, \quad V_{SBf} = V_{DD} / 3$$

$$V_{THf} = V_{TH0} + \gamma \cdot (\sqrt{\phi_s + V_{SBf}} - \sqrt{\phi_s})$$

Φαινόμενο στενού πλάτους καναλιού

- Στα MOSFET, η περιοχή αραίωσης δεν περιορίζεται στην περιοχή κάτω από το οξειδίο, αφού η πύλη (πολυκρυσταλλικό πυρίτιο) επικαλύπτει το οξειδίο (μονωτικό) και στις δύο πλευρές της περιοχής του καναλιού (στην κατεύθυνση του πλάτους καναλιού).
- Σε MOSFET μεγάλου πλάτους, η περιοχή αραίωσης στα επικαλυπτόμενα άκρα αποτελεί μικρό μέρος της συνολικής περιοχής αραίωσης.
- Όσο το κανάλι γίνεται στενότερο, η περιοχή αραίωσης στα επικαλυπτόμενα άκρα (που παραμένει σχεδόν αμετάβλητη), γίνεται σημαντικό μέρος της συνολικής περιοχής αραίωσης.
- Έτσι, απαιτείται υψηλότερη τάση πύλης για τη δημιουργία αγωγίμου καναλιού, με αποτέλεσμα την αύξηση της τάσης κατωφλίου.



Φαινόμενο στενού πλάτους καναλιού

- Αφού η αύξηση της τάσης κατωφλίου οδηγεί σε μείωση του ρεύματος υποδοχής [$I_{DS} \sim (V_{GS} - V_{TH})^\alpha$], το ουσιαστικό αποτέλεσμα του φαινομένου στενού πλάτους καναλιού είναι η μειωμένη ικανότητα αγωγής ρεύματος ανά μονάδα πλάτους καναλιού στα MOSFET στενού πλάτους καναλιού.
- Η μοντελοποίηση του ρεύματος υποδοχής του MOSFET για διάφορα πλάτη καναλιού (η συμπερίληψη δηλαδή στο μοντέλο I-V του MOSFET του φαινομένου στενού πλάτους καναλιού), επιτυγχάνεται μέσω του υπολογισμού του **παράγοντα κέρδους ή αγωγιμότητας B (transconductance parameter)** του MOSFET ως μια **γραμμική συνάρτηση του πλάτους καναλιού W**:

$$B = \beta_1 + \beta_2 \cdot W$$

- Οι συντελεστές β_1 και β_2 προσδιορίζονται με προσαρμογή της γραμμικής συνάρτησης στην καμπύλη $B = f(W)$, μια φορά για κάθε τεχνολογία MOSFET.

Παρασιτική αντίσταση πηγής-υποδοχής

- Στα MOSFET μεγάλου μήκους καναλιού, η παρασιτική αντίσταση πηγής-υποδοχής είναι αμελητέα σε σχέση με την αντίσταση του καναλιού.
- Ωστόσο, στα MOSFET πολύ μικρού μήκους καναλιού, η αντίσταση πηγής-υποδοχής, είναι σημαντική και προκαλεί μείωση του ρεύματος υποδοχής.

$$I_D = \frac{V_{DS}}{R_{ch} + R_{sd}} \quad R_{ch} = \frac{V_{DS}}{I_{D-\chi\omega\rho\iota\varsigma R_{sd}}} \quad I_D = \frac{I_{D-\chi\omega\rho\iota\varsigma R_{sd}}}{1 + (R_{sd} \cdot I_{D-\chi\omega\rho\iota\varsigma R_{sd}}) / V_{DS}}$$

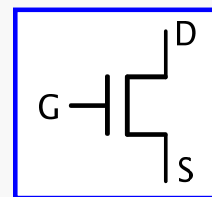
- Το φαινόμενο είναι πιο έντονο για μικρές τιμές της τάσης υποδοχής-πηγής, δηλαδή στη γραμμική περιοχή λειτουργίας του MOSFET.
- Αυτό συμβαίνει διότι η αντίσταση του καναλιού στην περιοχή αυτή είναι μικρή (η κλίση της καμπύλης $I_D - V_{DS}$ είναι μεγάλη).
- Λόγω του ότι στην περιοχή κορεσμού, η εξάρτηση του ρεύματος υποδοχής από την τάση υποδοχής-πηγής είναι μικρή, το ρεύμα υποδοχής στην περιοχή αυτή δεν επηρεάζεται σημαντικά από την παρασιτική αντίσταση πηγής-υποδοχής.

Πλήρες μοντέλο I-V MOSFET

- **Γραμμική περιοχή:**

$$I_D = B \cdot (V_{GS} - V_{TH} + \sigma \cdot V_{DS})^\alpha \cdot \frac{V_{DS}}{V_{DSAT}}$$

$$V_{DS} \leq V_{DSAT}$$



- **Περιοχή κορεσμού:**

$$I_D = B \cdot (V_{GS} - V_{TH})^\alpha \cdot \left[1 + \frac{d}{V_{GS} - V_{TH}} \cdot (V_{DS} - V_{DSAT}) \right]$$

$$V_{DS} > V_{DSAT}$$

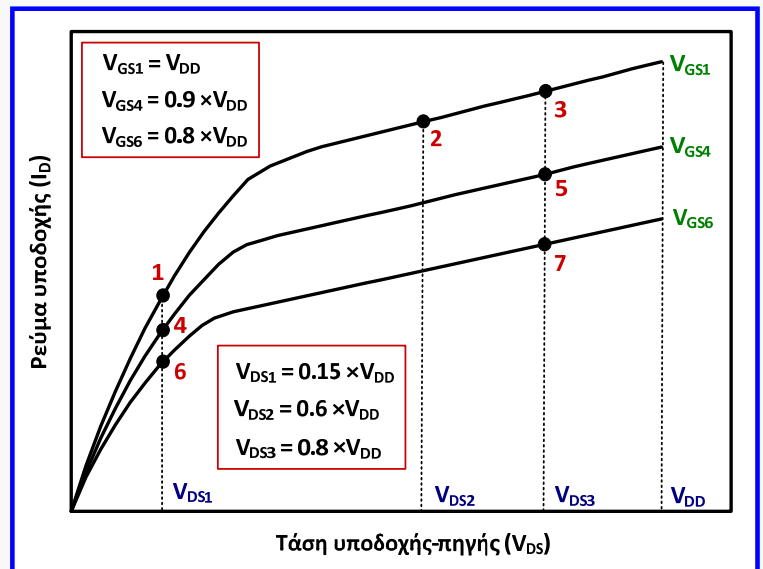
$$V_{TH} = V_{TH0} - \Delta V_{TH-SCE}$$

$$V_{DSAT} = K \cdot (V_{GS} - V_{TH})^m$$

$$B = \beta_1 + \beta_2 \cdot W$$

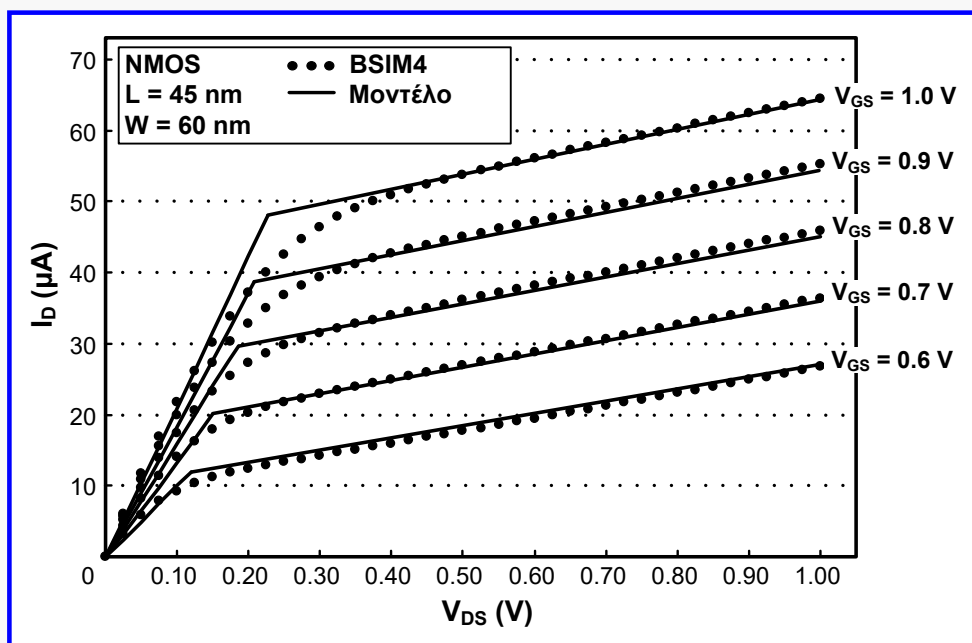
Προσδιορισμός παραμέτρων μοντέλου

- Οι **παραμέτροι** του μοντέλου **B**, **d**, **K**, **α** και **m** προσδιορίζονται συνδυάζοντας τις δύο σχέσεις του I_D , τη σχέση της V_{DSAT} και τα δεδομένα επτά (7) σημείων (fitting points) των χαρακτηριστικών εξόδου του MOSFET που προέρχονται από προσομοίωση.
- Ο προσδιορισμός δεν απαιτεί χρήση χρονοβόρων αριθμητικών μεθόδων και βασίζεται στην επίλυση μερικών εξισώσεων α' και β' βαθμού.
- Για τον προσδιορισμό των β_1 και β_2 , προσδιορίζουμε την παράμετρο B για το ελάχιστο και μέγιστο χρησιμοποιούμενο πλάτος καναλιού και οι 2 συντελεστές προκύπτουν από τη λύση του αντίστοιχου συστήματος εξισώσεων α' βαθμού.
- Ο προσδιορισμός των παραμέτρων του μοντέλου διενεργείται **μία φορά για κάθε τεχνολογία MOSFET**.

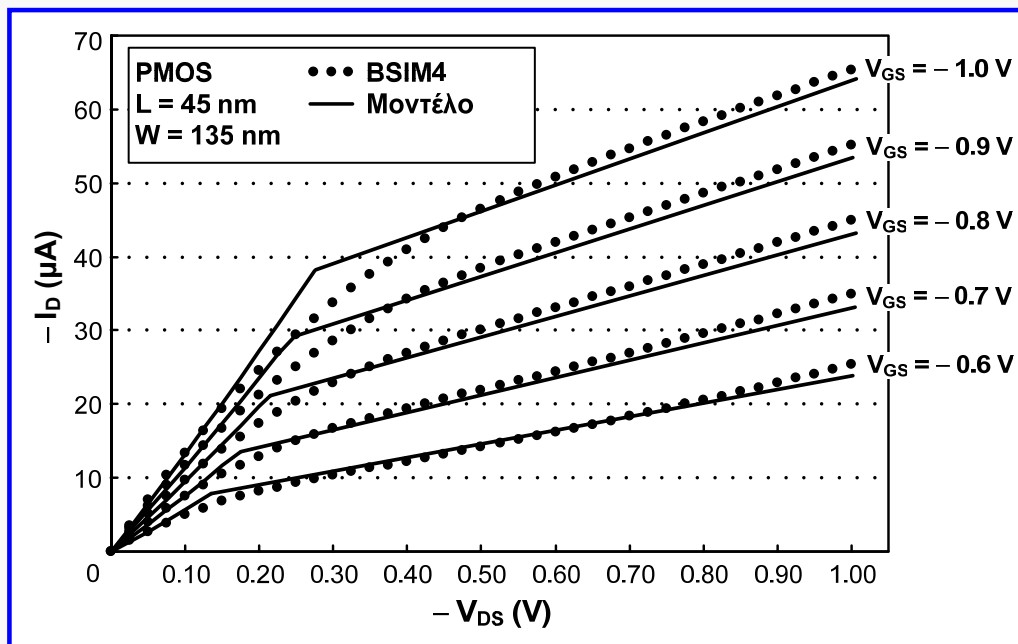


Αποτελέσματα – NMOS 45nm

Οι χαρακτηριστικές εξόδου που προκύπτουν από το μοντέλο (συνεχείς καμπύλες) είναι σύμφωνα σε ικανοποιητικό βαθμό με εκείνες που παράγονται από προσομοιώσεις BSIM4 HSPICE (τελείες)



Αποτελέσματα – PMOS 45nm



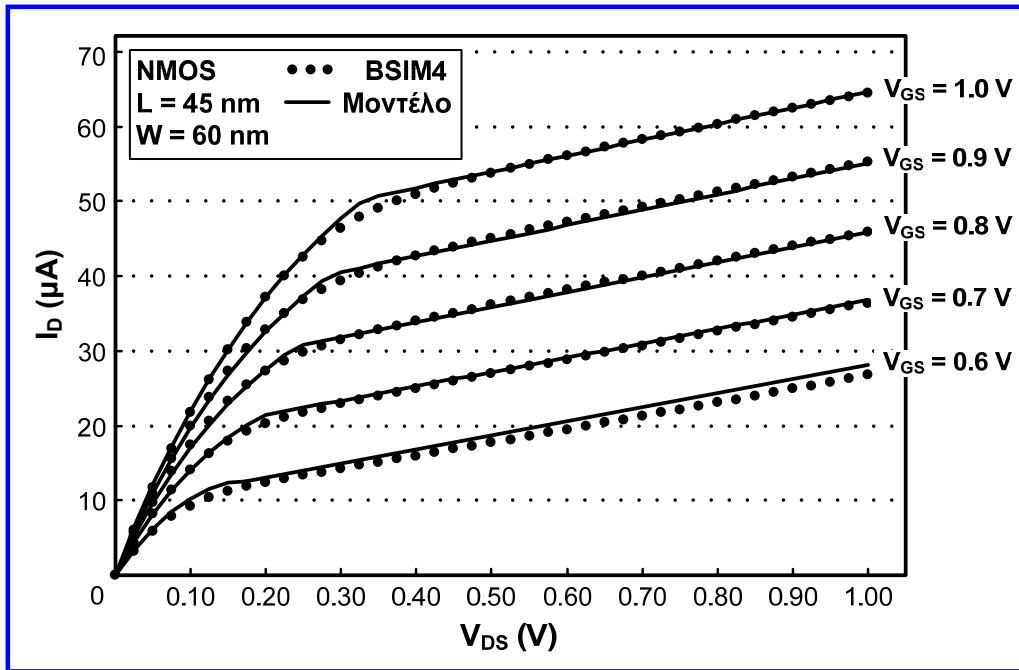
Βελτίωση του μοντέλου I-V MOSFET

- Μέσο σφάλμα του προαναφερόμενου μοντέλου: 3.5% – 5.5%.
- Ανακρίβειες παρουσιάζονται κυρίως στην περιοχή μετάβασης μεταξύ της γραμμικής περιοχής και της περιοχής κορεσμού.
- Βελτιώνοντας την έκφραση του ρεύματος υποδοχής στην γραμμική περιοχή, επιτυγχάνουμε μεγαλύτερη ακρίβεια (μέσο σφάλμα: 1.5% – 3%).
- Βελτιωμένη έκφραση ρεύματος υποδοχής στη γραμμική περιοχή:

$$I_D = B \cdot (V_{GS} - V_{TH})^\alpha \cdot \left(2 - \sqrt{\frac{V_{DS}}{V_{DSAT}}} \right) \cdot \frac{V_{DS}}{V_{DSAT}} \quad V_{DS} \leq V_{DSAT}$$

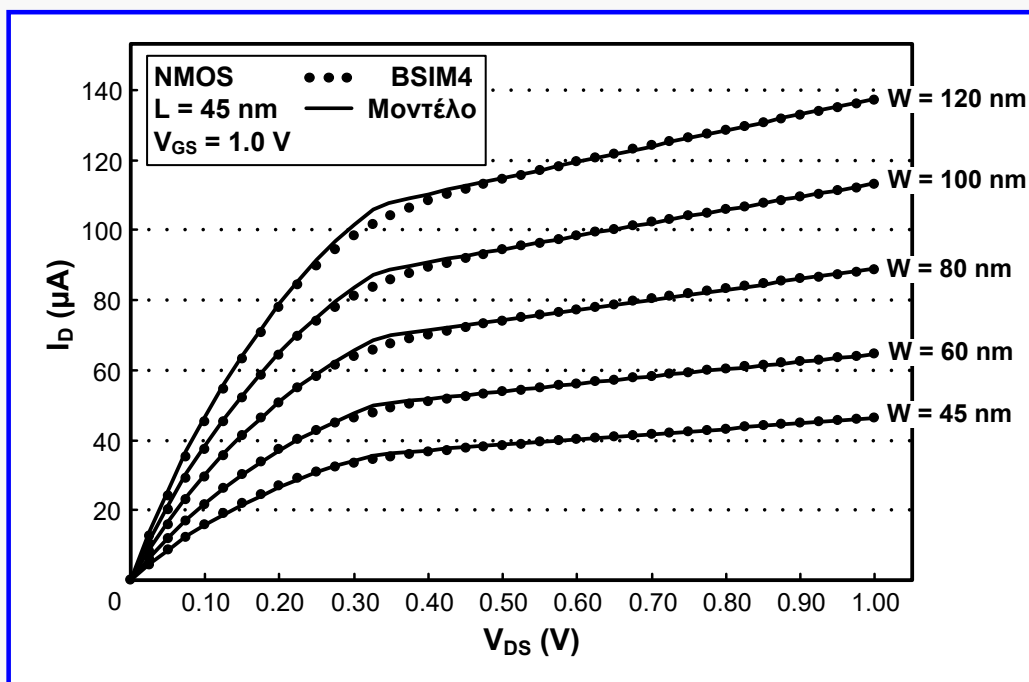
- Ωστόσο, η πολυπλοκότητα της βελτιωμένης σχέσης είναι αυξημένη.
- Επιπροσθέτως, ο προσδιορισμός των παραμέτρων του μοντέλου προϋποθέτει την επίλυση και τριτοβάθμιων εξισώσεων.

Αποτελέσματα – NMOS 45nm

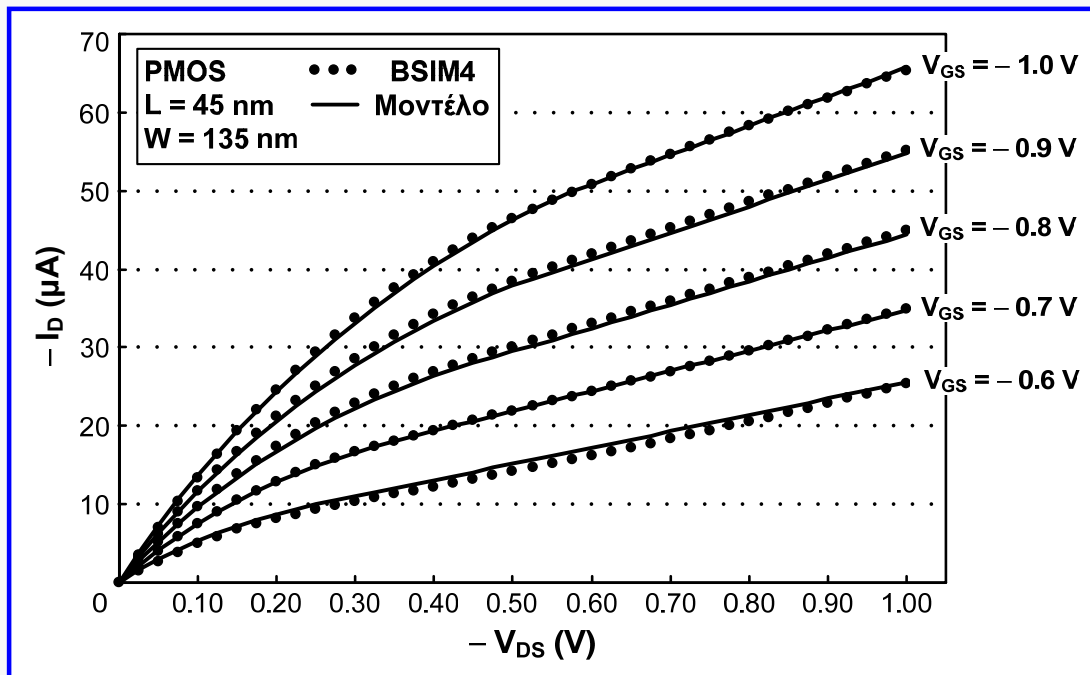


Αποτελέσματα – NMOS 45nm

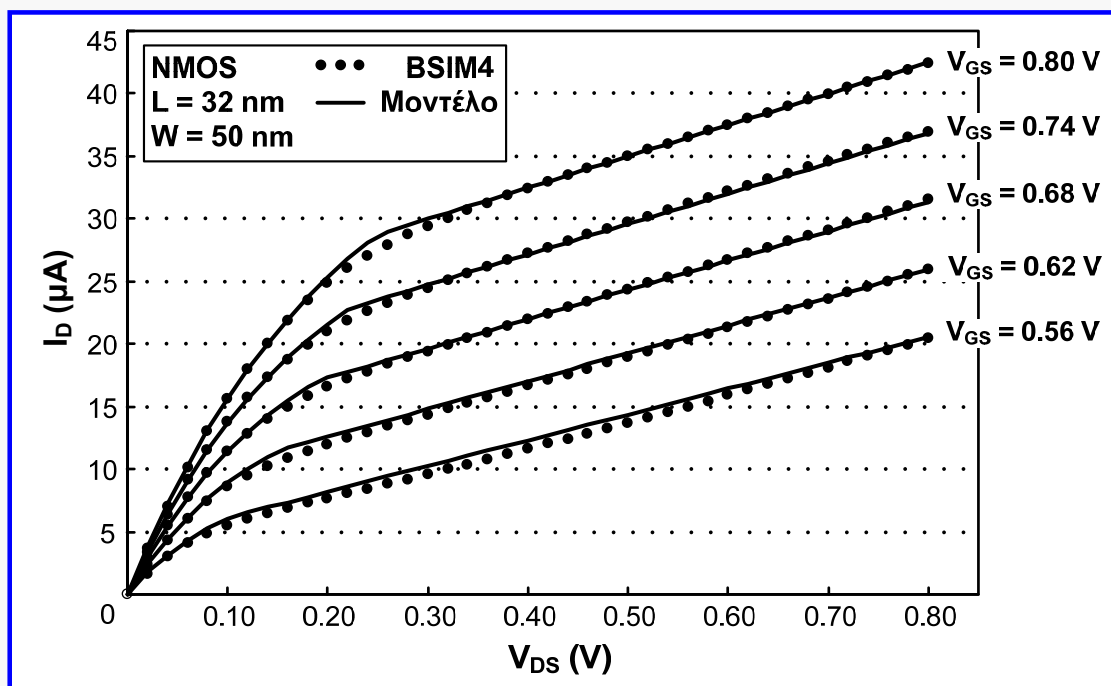
Το μοντέλο είναι ακριβές για διάφορες τιμές του πλάτους καναλιού (W).



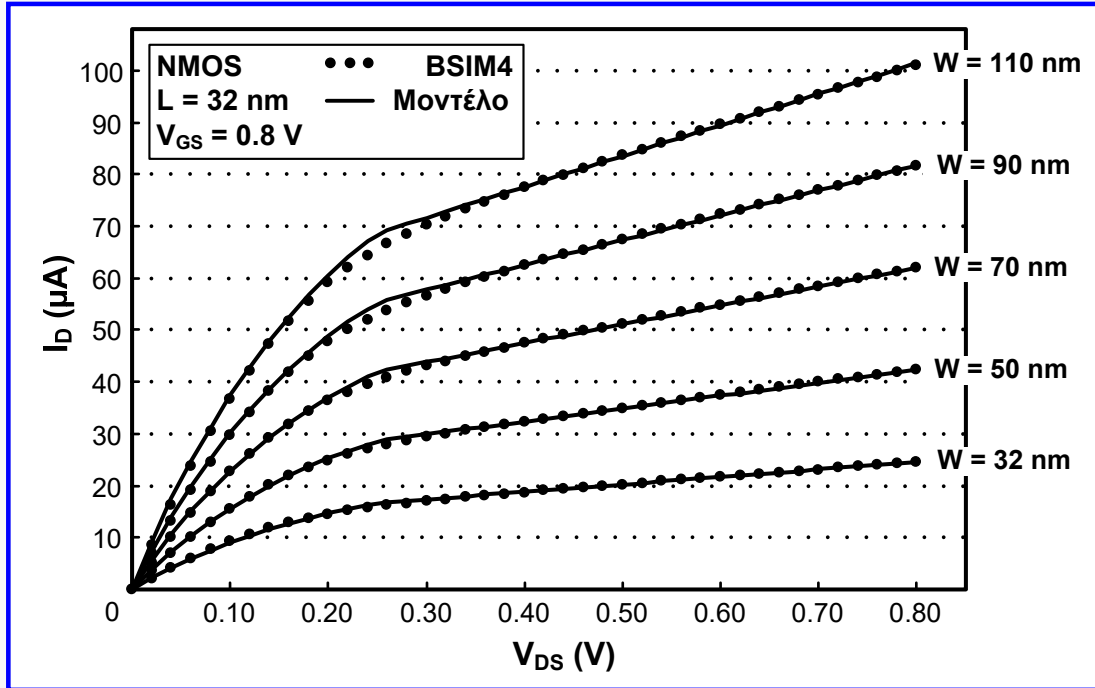
Αποτελέσματα – PMOS 45nm



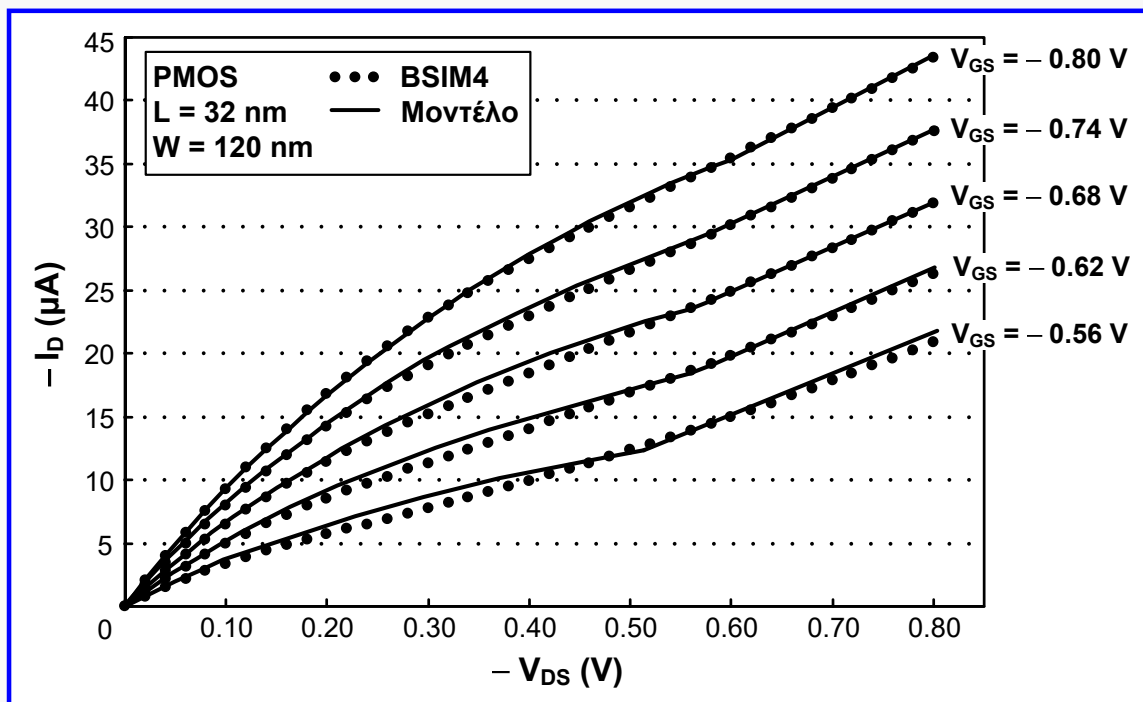
Αποτελέσματα – NMOS 32nm



Αποτελέσματα – NMOS 32nm

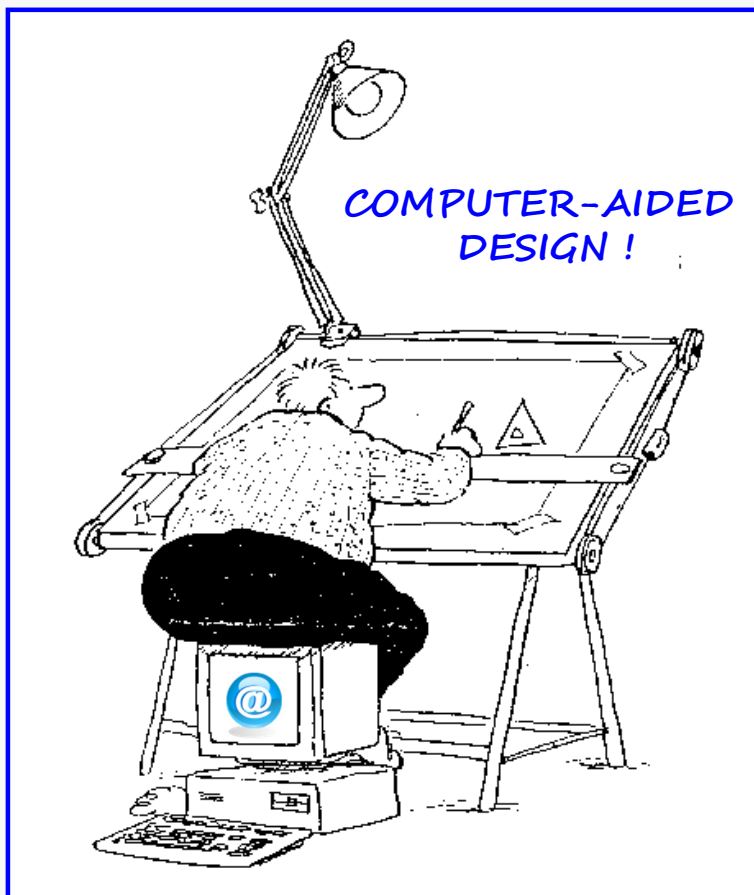


Αποτελέσματα – PMOS 32nm



Συμπεράσματα

- Η μοντελοποίηση της συμπεριφοράς βασικών κυκλωμάτων CMOS, όσον αφορά την ανάλυση και τον υπολογισμό της χρονικής τους απόκρισης και της ενέργειας που καταναλώνουν, προϋποθέτει:
 - ✓ βαθιά κατανόηση των λειτουργικών χαρακτηριστικών του κυκλώματος και των στοιχείων που το απαρτίζουν,
 - ✓ διερεύνηση για την επιλογή της προσέγγισης που θα ακολουθηθεί για τη μοντελοποίηση των στοιχείων και του κυκλώματος,
 - ✓ αποδοτικές και εύλογες θεωρήσεις και προσεγγίσεις.
 - ✓ επαρκή γνώση των μαθηματικών που απαιτούνται,
 - ✓ αποδοτική χρήση εργαλείων λογισμικού (π.χ. προσομοιωτές όπως το HSPICE και εργαλεία όπως το Mathematica).
 - ✓ διαρκής εξισορρόπηση μεταξύ της ακρίβειας και της υπολογιστικής πολυπλοκότητας.
- Ο αντικειμενικός στόχος της προσπάθειας μοντελοποίησης στοιχείων και κυκλωμάτων είναι προφανώς η συμβολή στη δημιουργία αποδοτικών εργαλείων CAD (**computer-aided design tools**).



Ευχαριστώ για
την προβοχή σας !

