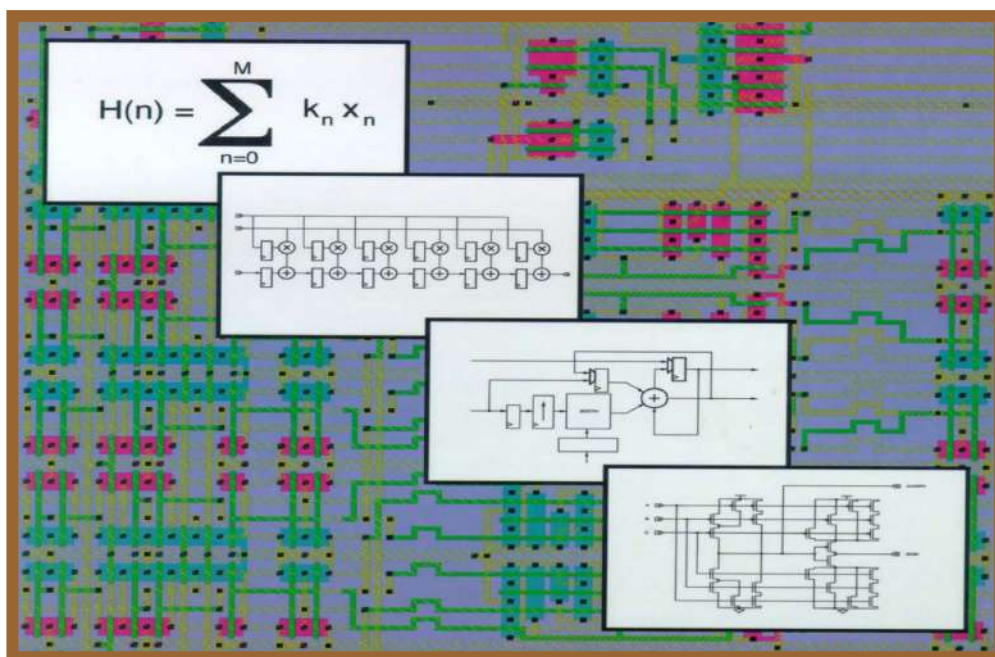


ΣΥΣΤΗΜΑΤΑ ΠΟΛΥ ΜΕΓΑΛΗΣ ΚΛΙΜΑΚΑΣ ΟΛΟΚΛΗΡΩΣΗΣ (VLSI)

– ΣΗΜΕΙΩΣΕΙΣ ΔΙΔΑΣΚΑΛΙΑΣ –



Λάμπρος Μπισδούνης
Καθηγητής

Πάτρα 2022



ΠΑΝΕΠΙΣΤΗΜΙΟ ΠΕΛΟΠΟΝΝΗΣΟΥ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ
ΚΑΙ ΜΗΧΑΝΙΚΩΝ ΥΠΟΛΟΓΙΣΤΩΝ

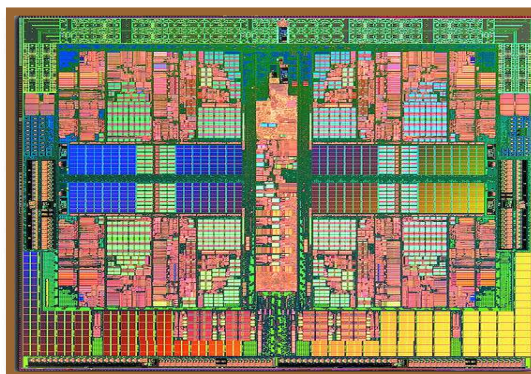
Στόχοι του μαθήματος

- Η τεχνολογία κατασκευής και σχεδιασμού ολοκληρωμένων κυκλωμάτων παρουσιάζει αλματώδη ρυθμό εξέλιξης.
- Οι διαστάσεις των στοιχείων είναι πλέον μικρότερες των 50nm και τα κυκλώματα γίνονται πιο σύνθετα, γεγονότα που αποτελούν προκλήσεις για τους κατασκευαστές και τους σχεδιαστές κυκλωμάτων και συστημάτων VLSI.
- Το μάθημα επικεντρώνεται στην τεχνολογία CMOS (complementary metal-oxide-silicon) και περιλαμβάνει απαραίτητες γνώσεις για το σχεδιασμό, την κατασκευή και τη λειτουργία στοιχείων και κυκλωμάτων που βασίζονται στην τεχνολογία αυτή.
- Βασικοί **στόχοι του μαθήματος** είναι η εισαγωγή στα κυκλώματα και συστήματα VLSI, η περιγραφή και κατανόηση των διαδικασιών κατασκευής ολοκληρωμένων κυκλωμάτων, η κατανόηση της λειτουργίας των βασικών στοιχείων που απαρτίζουν τα ψηφιακά ολοκληρωμένα κυκλώματα, καθώς και των παραμέτρων που επηρεάζουν την επίδοσή τους, η εξοικείωση με τη σχεδίαση λογικών πυλών και σύνθετων ψηφιακών κυκλωμάτων (συνδυαστικών και ακολουθιακών) και η κατανόηση των μεθοδολογιών σχεδιασμού και υλοποίησης των ψηφιακών ολοκληρωμένων κυκλωμάτων και συστημάτων.

Ενότητες του μαθήματος

Οι ενότητες που θα μελετηθούν στα πλαίσια του μαθήματος είναι οι ακόλουθες:

1. Εισαγωγή στα κυκλώματα και συστήματα VLSI
2. Διεργασία κατασκευής ολοκληρωμένων κυκλωμάτων
3. Τρανζίστορ MOSFET
4. Αντιστροφέας CMOS και διασυνδέσεις κυκλωμάτων CMOS
5. Συνδυαστικά κυκλώματα CMOS
6. Ακολουθιακά κυκλώματα CMOS
7. Μεθοδολογίες σχεδιασμού και υλοποίησης ψηφιακών ολοκληρωμένων κυκλωμάτων



1^η ενότητα: ΕΙΣΑΓΩΓΗ ΣΤΑ ΚΥΚΛΩΜΑΤΑ & ΣΥΣΤΗΜΑΤΑ VLSI



Περιεχόμενα 1^{ης} ενότητας

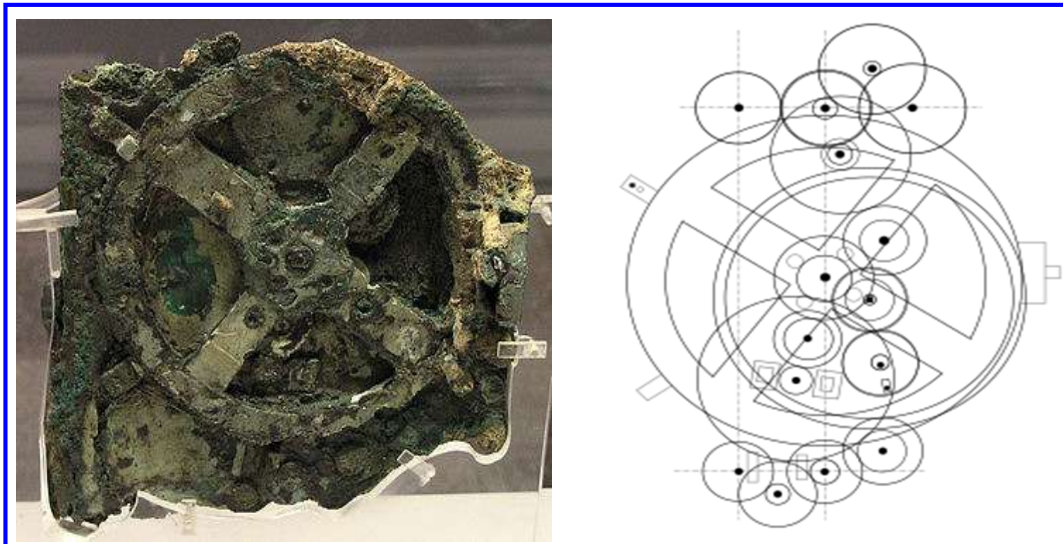
- Ιστορική αναδρομή
- Ολοκληρωμένα κυκλώματα (Ο.Κ.) και μικροεπεξεργαστές
- Νόμος Moore, εξέλιξη πολυπλοκότητας, συχνότητας, κατανάλωσης ενέργειας των Ο.Κ.
- Ιεραρχικός σχεδιασμός Ο.Κ.
- Πλεονεκτήματα και μειονεκτήματα των Ο.Κ.
- Μέτρα ποιότητας ψηφιακών κυκλωμάτων
- Κόστος και απόδοση (yield) κατασκευής Ο.Κ.
- Λειτουργικότητα και στιβαρότητα (ψηφιακή λογική, χαρακτηριστική μεταφοράς, περιθώρια θορύβου, αναγεννητική ιδιότητα, φόρτος εισόδου και εξόδου)
- Συχνότητα λειτουργίας και καθυστέρηση διάδοσης
- Ισχύς και κατανάλωση ενέργειας
- Γινόμενο ενέργειας – καθυστέρησης διάδοσης

Ιστορική αναδρομή

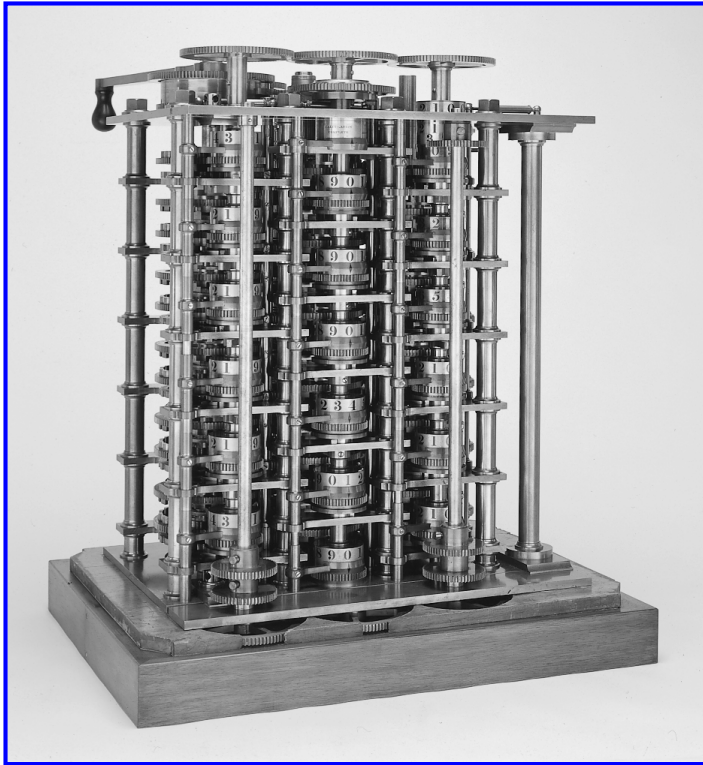
- Η βασική ιδέα της υλοποίησης των υπολογιστικών μηχανών αναπτύχθηκε στις αρχές του 19ου αιώνα και αρχικά ο σχεδιασμός και η κατασκευή τους βασίστηκαν σε μηχανικά μέρη.
- Ωστόσο, η ηλεκτρική λύση αποδείχθηκε οικονομικά πιο αποδοτική.
- Τα αρχικά ηλεκτρονικά υπολογιστικά συστήματα βασίζονταν στους μαγνητικά ελεγχόμενους διακόπτες (**ρελέ**) και χρησιμοποιήθηκαν κυρίως στην υλοποίηση πολύ απλών κυκλωμάτων.
- Η εποχή του ψηφιακού ηλεκτρονικού υπολογισμού άρχισε με την εισαγωγή της **λυχνίας κενού**, αλλά γρήγορα έγινε σαφές ότι η τεχνολογία αυτή ήταν ασύμφορη (μεγάλο πλήθος λυχνιών και μεγάλη κατανάλωση ενέργειας) και δεν παρείχε αξιοπιστία.
- Όλα άλλαξαν στα μέσα του 20ου αιώνα με την ανακάλυψη του **τρανζίστορ διπολικής επαφής** και την σύλληψη της ιδέας του ολοκληρωμένου κυκλώματος, στο οποίο όλα τα στοιχεία ενσωματώνονται σε ένα υπόστρωμα ημιαγωγού.
- Τελικά, η διπολική ψηφιακή λογική έχασε τη μάχη για την ηγεμονία στον κόσμο του ψηφιακού σχεδιασμού με την εμφάνιση των **MOSFETs** τα οποία παρέχουν τη δυνατότητα ενσωμάτωσης περισσότερων στοιχείων σε ένα ολοκληρωμένο κύκλωμα και καταναλώνουν λιγότερη ενέργεια.
- Η δεύτερη εποχή της επανάστασης των **ολοκληρωμένων κυκλωμάτων** εγκαινιάστηκε με την εμφάνιση των πρώτων **μικροεπεξεργαστών** στις αρχές της δεκαετίας του 1970.

Μηχανισμός αντικυθήρων

- Μηχανικός υπολογιστής για αστρονομικές παρατηρήσεις που παρουσιάζει ομοιότητες με ωρολογιακό μηχανισμό και έδινε (κατά την επικρατέστερη σύγχρονη άποψη), τη θέση του ήλιου και της σελήνης καθώς και τις φάσεις της.
- Χρονολογείται μεταξύ του 150 και 100 π.Χ. και ανακαλύφθηκε σε ναυάγιο το 1900.

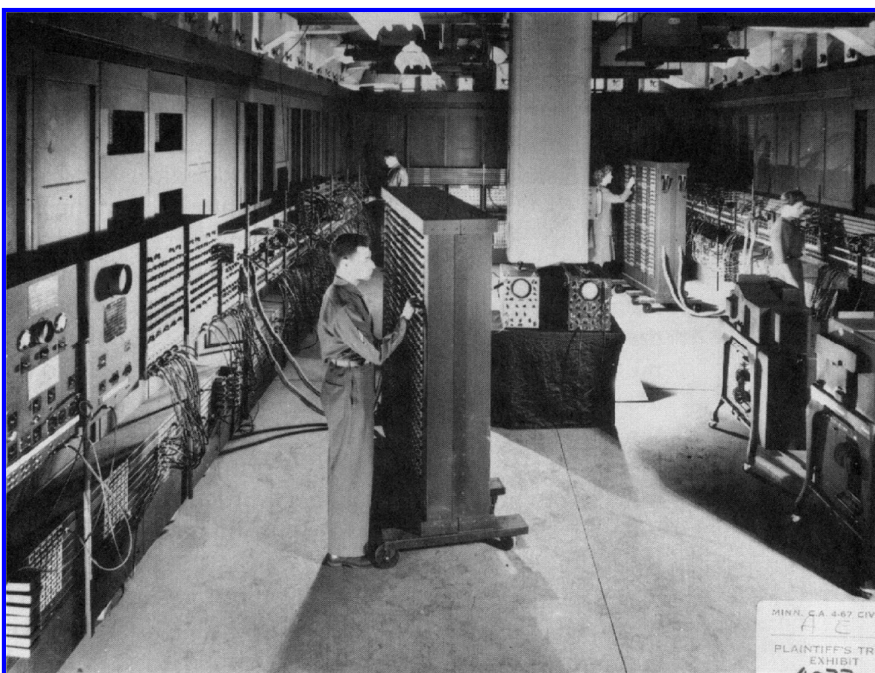


Ο πρώτος υπολογιστής (1834)



- Διαφορική μηχανή του Babbage
- 25000 μηχανικά μέρη
- Κόστος 17500 £
- Χρησιμοποιούσε το δεκαδικό σύστημα αρίθμησης και όχι το δυαδικό που χρησιμοποιείται στη σύγχρονη ηλεκτρονική.
- Γενικής χρήσης υπολογιστική μηχανή για την εκτέλεση των 4 βασικών πράξεων σε δύο κύκλους (επεξεργασία, αποθήκευση).

Ο πρώτος ηλεκτρονικός υπολογιστής (1946)



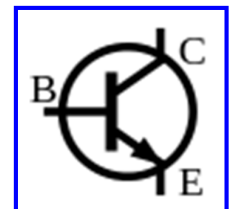
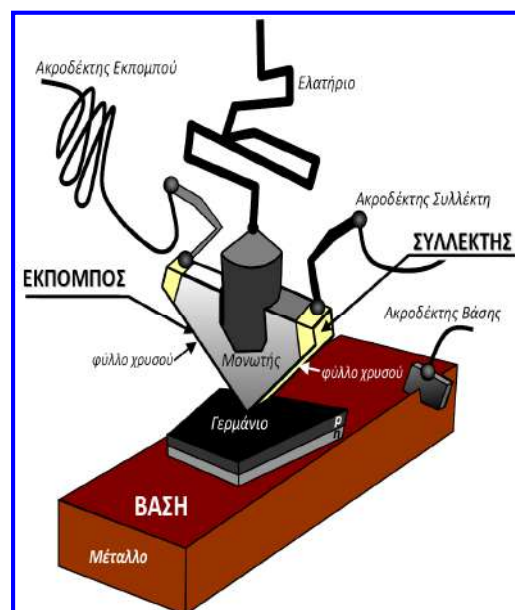
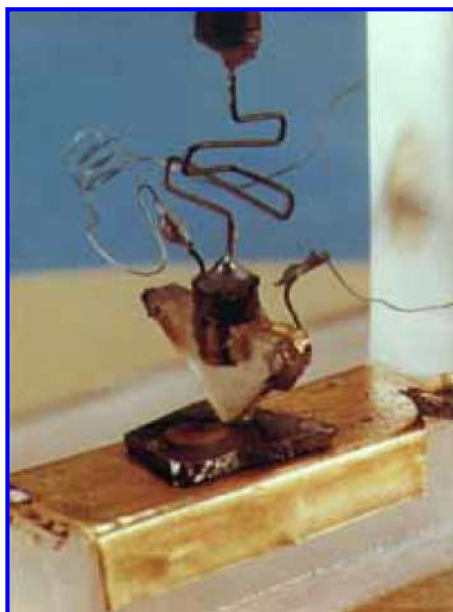
- ENIAC (Electronic Numerical Integrator And Computer)
- 20000 λυχνίες
- 7200 κρυσταλοδιόδους
- 1500 διακόπτες
- 70000 αντιστάσεις
- 10000 πυκνωτές
- 200 KW
- 167 m²
- Χρησιμοποιήθηκε για τη σχεδίαση της ατομικής βόμβας....

Ο πρώτος εμπορικός ηλεκτρονικός υπολογιστής (1951)

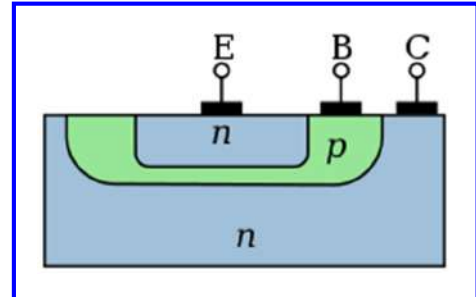
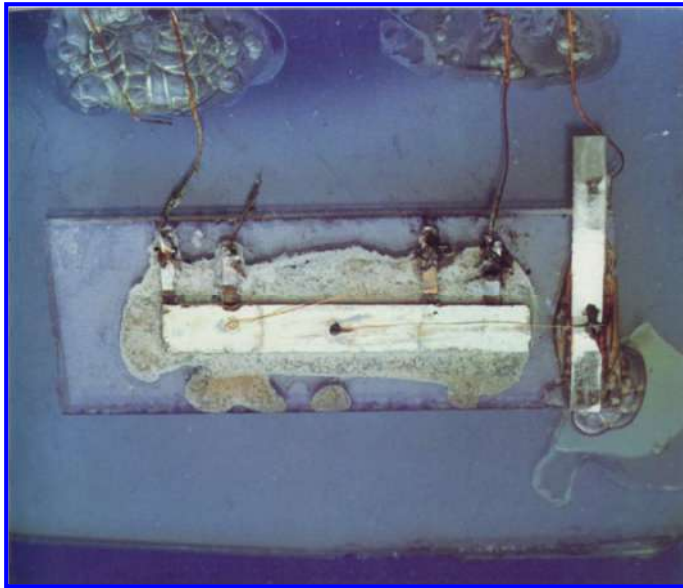


- UNIVAC I (UNIversal Automatic Computer I)
- Ο πρώτος εμπορικός υπολογιστής γενικού σκοπού.
- Υλοποιήθηκαν 48 τέτοια συστήματα με κόστος 1 εκατ. \$ το καθένα.
- Χρησιμοποιήθηκε για την πρόβλεψη του αποτελέσματος των Αμερικανικών εκλογών του 1952.

Το πρώτο τρανζίστορ (1947)



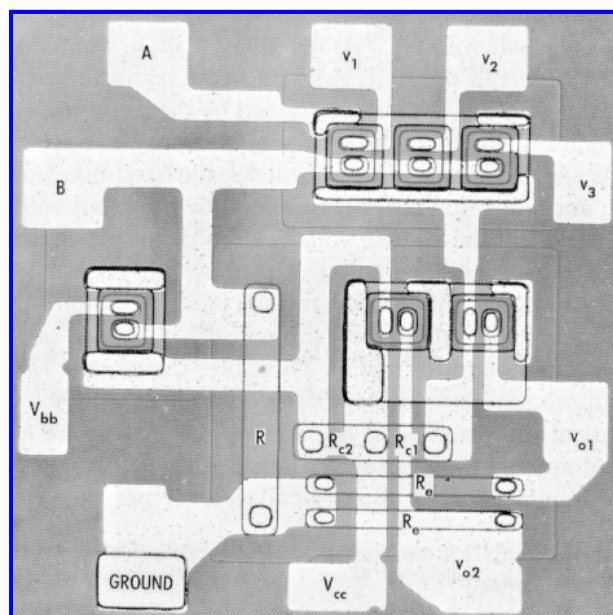
Το πρώτο επίπεδο (planar) τρανζίστορ (1958)



Το πρώτο τρανζίστορ (Texas Instruments) που βασιζόταν σε διάχυση του εκπομπού και της βάσης σε υπόστρωμα ημιαγωγού (γερμανίου) και αποτέλεσε βασικό βήμα για την κατασκευή μονολοθικών (ολοκληρωμένων) κυκλωμάτων

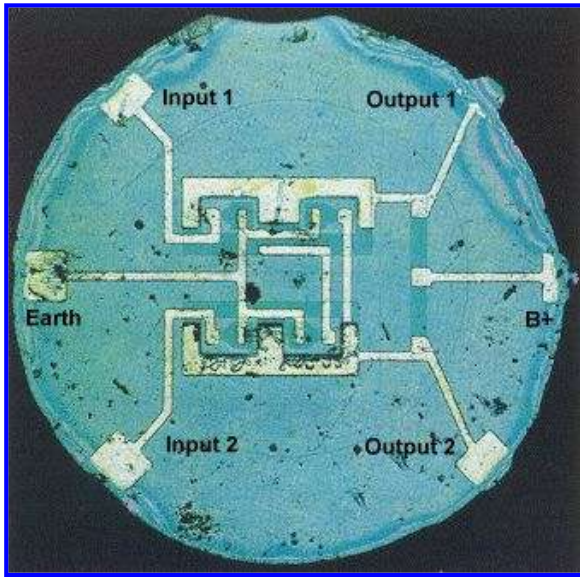
Τα πρώτα ολοκληρωμένα κυκλώματα (1960)

Πύλη διπολικής λογικής με τρεις εισόδους (Motorola)

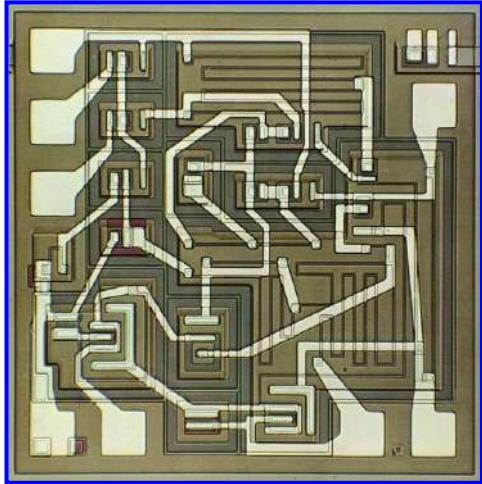


Τα πρώτα ολοκληρωμένα κυκλώματα (1961, 1963)

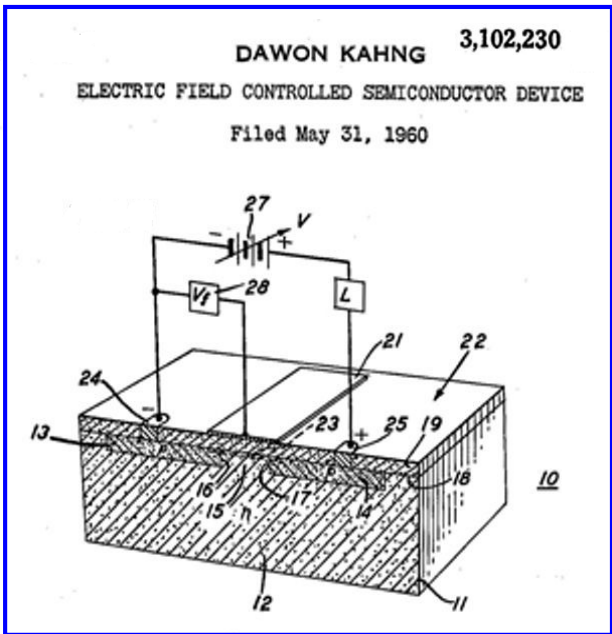
RS flip-flop (Fairchild) με 4 τρανζίστορ και 5 αντιστάσεις



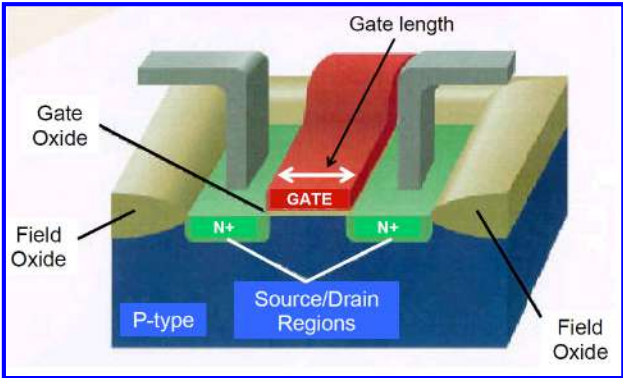
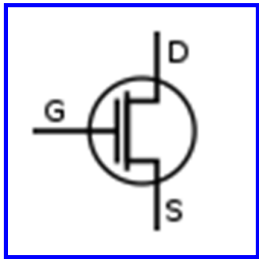
Ο πρώτος μονολιθικός τελεστικός ενισχυτής (Fairchild)



Η εφεύρεση της κατασκευής του MOSFET (1960)

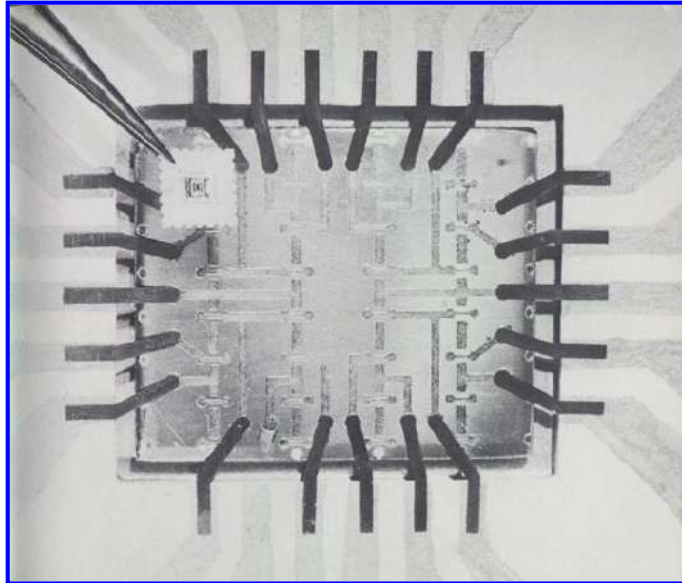


Bell Labs



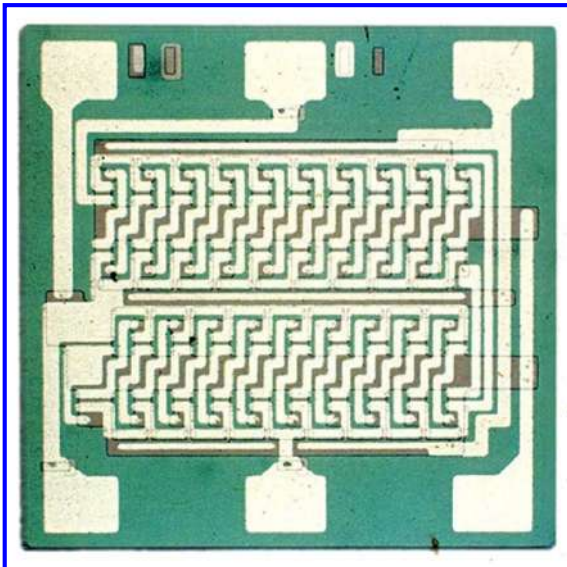
Το πρώτο ολοκληρωμένο κύκλωμα με MOSFETs (1962)

Πειραματικό κύκλωμα με 16 MOSFETs (RCA)

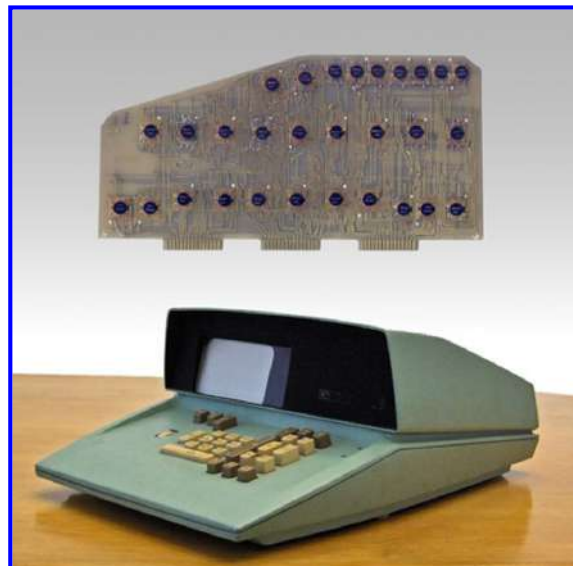


Τα πρώτα εμπορικά Ο.Κ. με MOSFETs (1964, 1965)

Το πρώτο εμπορικό ολοκληρωμένο κύκλωμα με MOSFETs: καταχωρητής ολίσθησης των 20-bit με 120 τρανζίστορ PMOS (General Microelectronics)

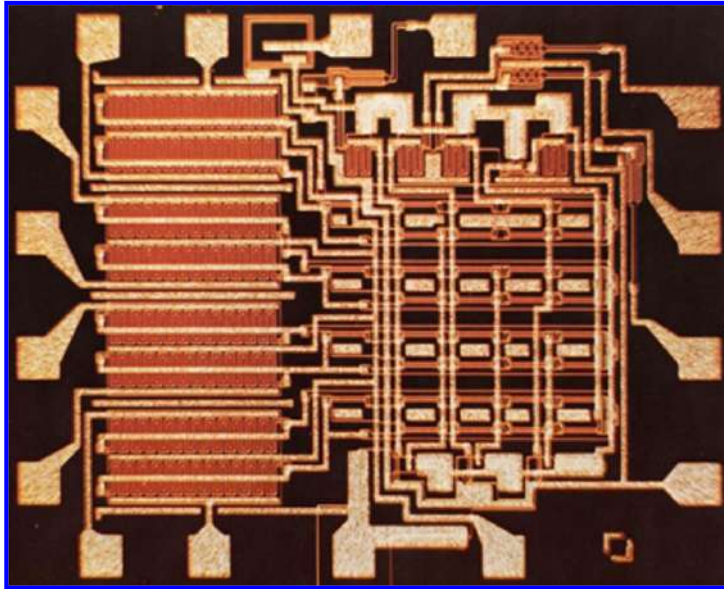


Η πρώτη ηλεκτρονική αριθμομηχανή με MOSFETs (Victor Comptometer) με 20 ολοκληρωμένα κυκλώματα και σειριακή μνήμη με 6 καταχωρητές ολίσθησης των 100-bit (General Microelectronics)



Το 1ο εμπορικό Ο.Κ. με MOSFETs πύλης πυριτίου (1968)

Ολοκληρωμένο κύκλωμα αναλογικού πολυπλέκτη 8 καναλιών με MOSFETs, με πύλη από πολυκρυσταλικό πυρίτιο (Fairchild). Στην τεχνολογία αυτή (silicon gate technology, SGT), βασίζονται οι σύγχρονες τεχνολογίες κατασκευής ολοκληρωμένων κυκλωμάτων.



Τα πρώτα ολοκληρωμένα κυκλώματα που βασίζονταν σε MOSFETs, υλοποιήθηκαν με τρανζίστορ PMOS, ενώ οι πρώτοι μικροεπεξεργαστές υλοποιήθηκαν μόνο με NMOS (υψηλότερη ταχύτητα). Προς το τέλος της δεκαετίας του 1970, η λογική NMOS εγκαταλείφθηκε κυρίως λόγω της υψηλής κατανάλωσης ενέργειας. Αυτό σε συνδυασμό με την πρόοδο στην τεχνολογία κατασκευής, οδήγησε στη χρήση της **τεχνολογίας CMOS** (συμπληρωματική χρήση NMOS και PMOS), η οποία παραμένει μέχρι σήμερα

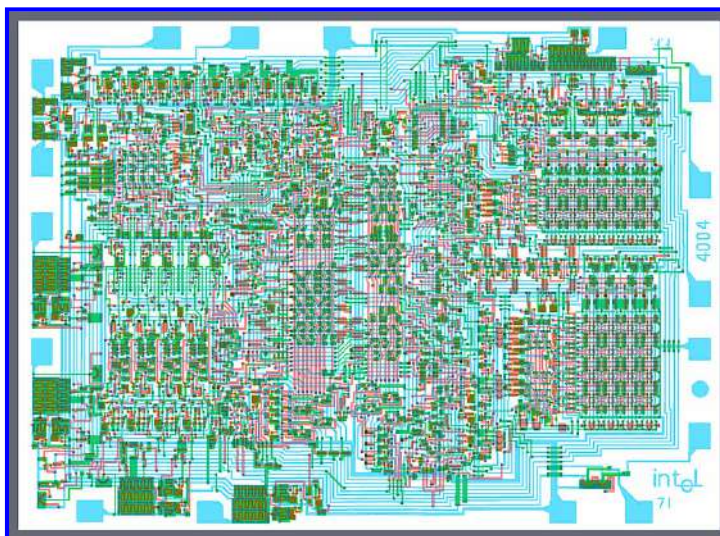
Κατηγορίες ολοκληρωμένων κυκλωμάτων

- Τα ολοκληρωμένα κυκλώματα διακρίνονται σε κατηγορίες, ανάλογα με το πλήθος των τρανζίστορς που περιλαμβάνουν:
 - ✓ κυκλώματα **μικρής κλίμακας ολοκλήρωσης (small scale integration, SSI)**, που περιλαμβάνουν μερικά μόνο τρανζίστορς,
 - ✓ κυκλώματα **μεσαίας κλίμακας ολοκλήρωσης (medium scale integration, MSI)**, που περιλαμβάνουν από μερικές δεκάδες μέχρι εκατοντάδες τρανζίστορς.
 - ✓ κυκλώματα **μεγάλης κλίμακας ολοκλήρωσης (large scale integration, LSI)**, που περιλαμβάνουν από μερικές εκατοντάδες έως μερικές χιλιάδες τρανζίστορς,
 - ✓ κυκλώματα **πολύ μεγάλης κλίμακας ολοκλήρωσης (very large scale integration, VLSI)**, που περιλαμβάνουν από μερικές χιλιάδες έως εκατοντάδες χιλιάδες τρανζίστορς και
 - ✓ κυκλώματα **πάρα πολύ μεγάλης κλίμακας ολοκλήρωσης (ultra large scale integration, ULSI)**, που περιλαμβάνουν πάνω από ένα εκατομμύριο τρανζίστορς.
- Καθώς ο αριθμός των τρανζίστορς που περικλείονται σε ένα ολοκληρωμένο κύκλωμα, έχει γίνει τρομακτικά μεγάλος, έχουν αναπτυχθεί **εργαλεία σχεδιασμού με υπολογιστή (computer-aided design)** και έχει **αυτοματοποιηθεί η κατασκευή** των κυκλωμάτων.

Μικροεπεξεργαστές

- Το αποτέλεσμα της εμφάνισης της τεχνολογίας ολοκληρωμένων κυκλωμάτων ήταν η ενσωμάτωση σε ένα μόνο ολοκληρωμένο κύκλωμα όλης της κεντρικής μονάδας επεξεργασίας ενός υπολογιστικού συστήματος, δηλαδή οι μικροεπεξεργαστές.
- Οι μικροεπεξεργαστές υποστηρίζονται από διάφορα είδη ολοκληρωμένων κυκλωμάτων, όπως κυκλώματα μνήμης (εκτός των μνημών που ενσωματώνονται στους μικροεπεξεργαστές), κυκλώματα διασύνδεσης με τις υπόλοιπες μονάδες του υπολογιστικού συστήματος, κυκλώματα χρονισμού κ.ά.
- Η ανάπτυξη της τεχνολογίας των ολοκληρωμένων κυκλωμάτων τις τελευταίες δεκαετίες έδωσε τη δυνατότητα ενσωμάτωσης σε ένα ολοκληρωμένο κύκλωμα όλο και πιο πολύπλοκων κυκλωμάτων.
- Ξεκινώντας από τους μικροεπεξεργαστές της δεκαετίας του 1970 που περιλάμβαναν μερικές χιλιάδες τρανζίστορς έχουμε φτάσει σήμερα σε μικροεπεξεργαστές που περιλαμβάνουν μερικά δισεκατομμύρια τρανζίστορς.
- Αυτό έχει ως αποτέλεσμα την ταχύτατη ανάπτυξη των μικροεπεξεργαστών και την μεγάλη αύξηση της χρήσης τους τόσο σε πολύπλοκες υπολογιστικές μηχανές, όσο και σε συστήματα καθημερινής χρήσης (προσωπικούς και φορητούς υπολογιστές, ταμπλέτες, έξυπνα κινητά τηλέφωνα, ηλεκτρονικές συσκευές διασκέδασης κ.ά.).

Μικροεπεξεργαστής Intel 4004 (1971)



Τεχνολογία κατασκευής: 10 μm , NMOS

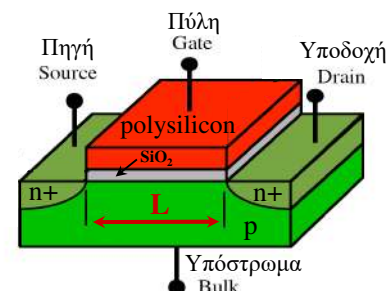
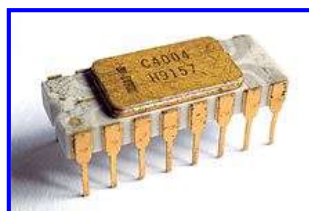
Επιφάνεια: 12 mm^2

Πλήθος τρανζίστορς: 2300

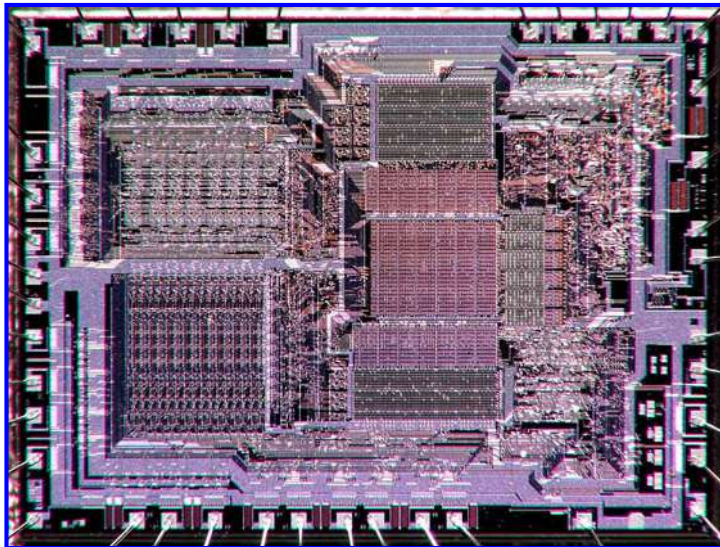
Συχνότητα λειτουργίας: 108 KHz

Η τεχνολογία κατασκευής αναφέρεται στο ελάχιστο μήκος καναλιού (L) ενός τρανζίστορ

Ένας από τους πρώτους εμπορικούς μικροεπεξεργαστές



Μικροεπεξεργαστής Intel 8085 (1976)



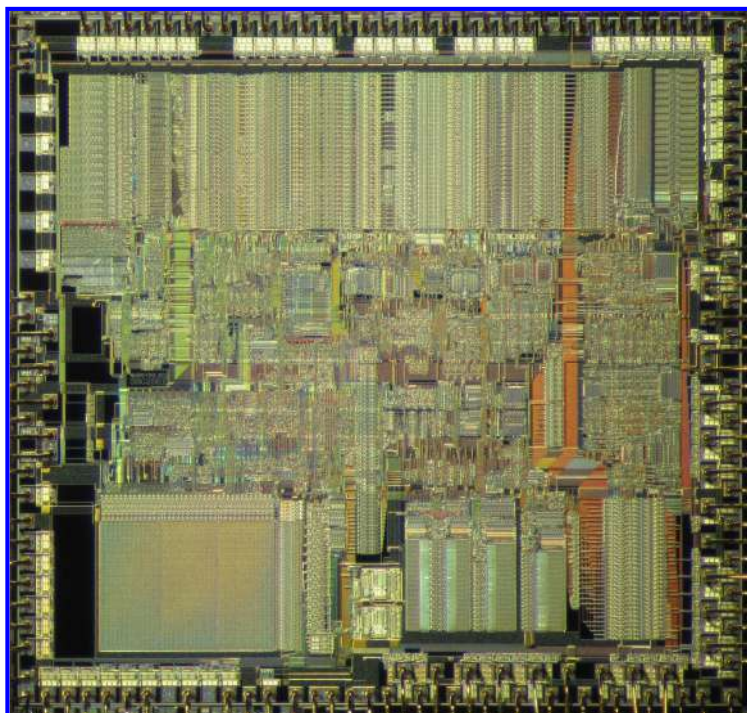
Τεχνολογία κατασκευής: 3 μm ,
NMOS

Επιφάνεια: 20 mm^2

Πλήθος τρανζιστορς: 6500

Συχνότητα λειτουργίας: 3 MHz

Μικροεπεξεργαστής Intel 80386 (1985)



Τεχνολογία κατασκευής: 1.5 μm

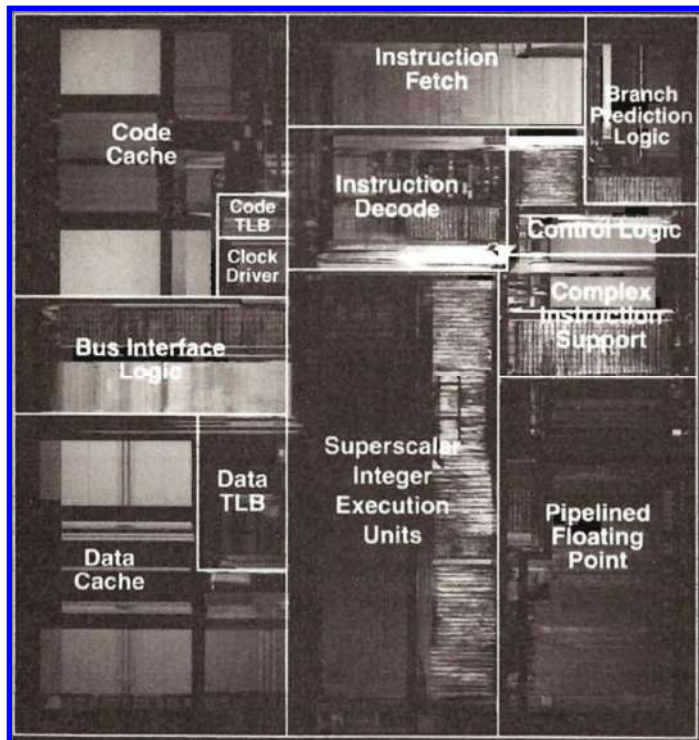
Επιφάνεια: 104 mm^2

Πλήθος τρανζιστορς: 275000

Συχνότητα λειτουργίας: 16 MHz



Μικροεπεξεργαστής Intel Pentium (1993)



Τεχνολογία κατασκευής: 0.8 μm

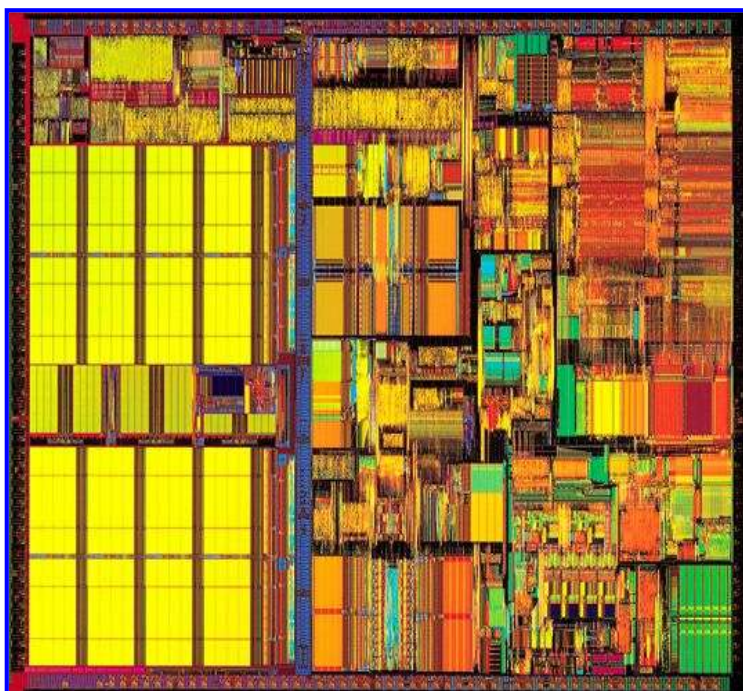
Επιφάνεια: 294 mm^2

Πλήθος τρανζιστορς:
3.1 εκατομμύρια

Συχνότητα λειτουργίας: 66 MHz



Μικροεπεξεργαστής Intel Pentium III (1999)

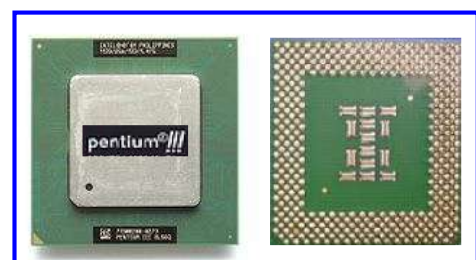


Τεχνολογία κατασκευής: 0.25 μm

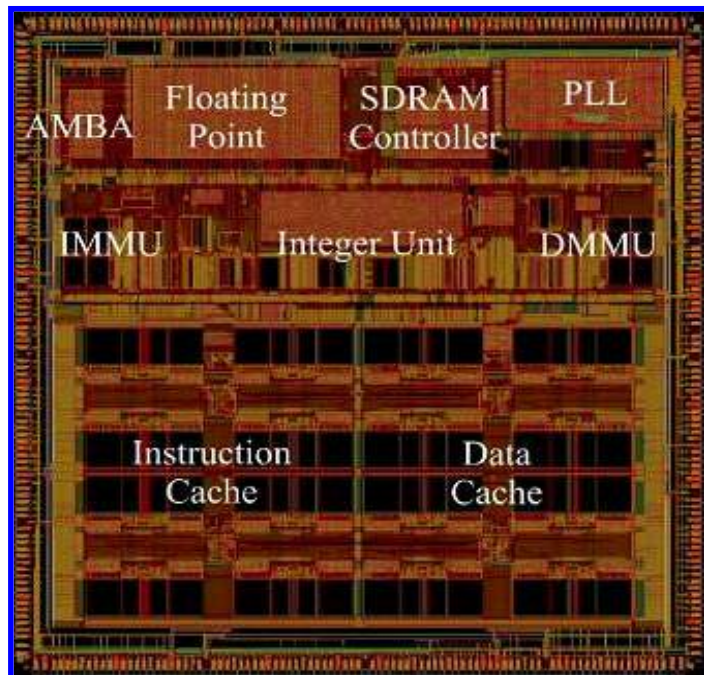
Επιφάνεια: 128 mm^2

Πλήθος τρανζιστορς:
9.5 εκατομμύρια

Συχνότητα λειτουργίας: 450 MHz



Μικροεπεξεργαστής ARM 1020E (2001)



Τεχνολογία κατασκευής: 0.18 μm

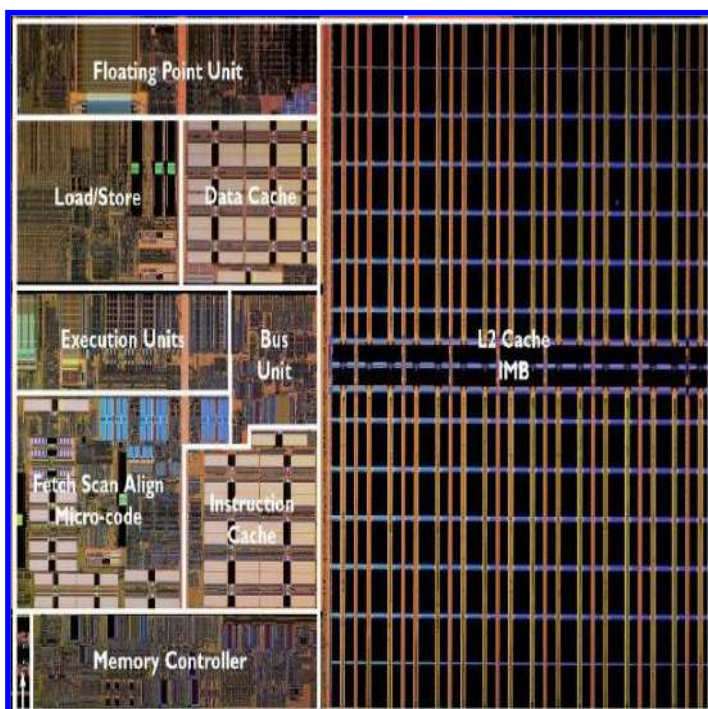
Επιφάνεια: 17.5 mm²

Πλήθος τρανζιστορς:
7 εκατομμύρια

Συχνότητα λειτουργίας: 400 MHz



Μικροεπεξεργαστής AMD Athlon 64 (2004)



Τεχνολογία κατασκευής: 0.13 μm

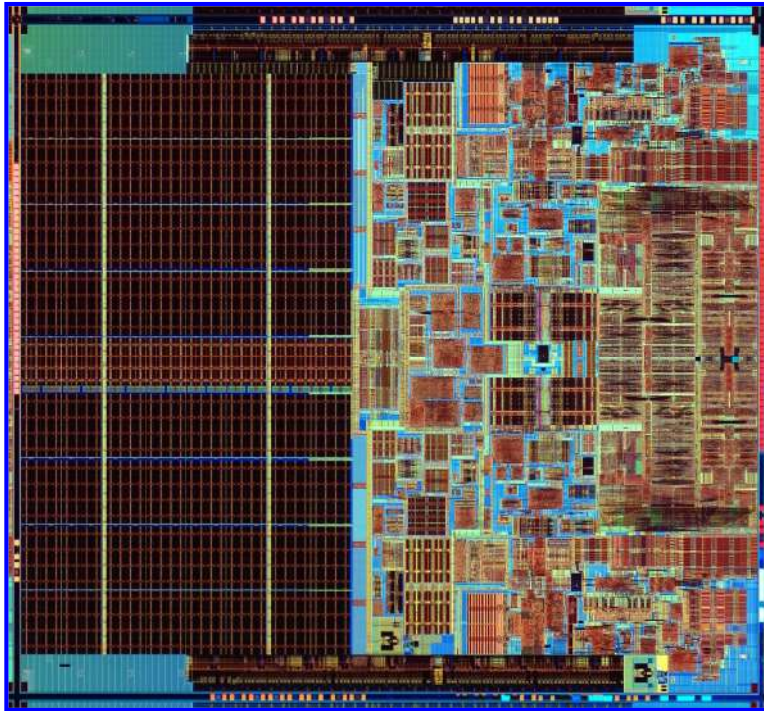
Επιφάνεια: 193 mm²

Πλήθος τρανζιστορς:
106 εκατομμύρια

Συχνότητα λειτουργίας: 1.6 GHz



Διπύρηνος μικροεπεξεργαστής Intel Core 2 Duo (2007)



Τεχνολογία κατασκευής: 65 nm

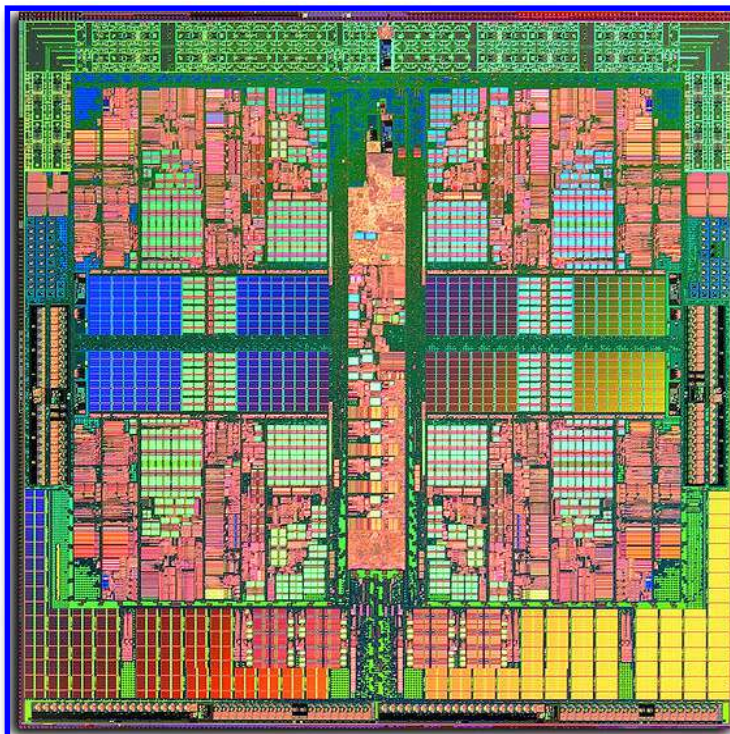
Επιφάνεια: 111 mm²

Πλήθος τρανζιστορς:
169 εκατομμύρια

Συχνότητα λειτουργίας: 1.8 GHz



Τετραπύρηνος μικροεπεξεργαστής AMD Opteron (2008)



Τεχνολογία κατασκευής: 65 nm

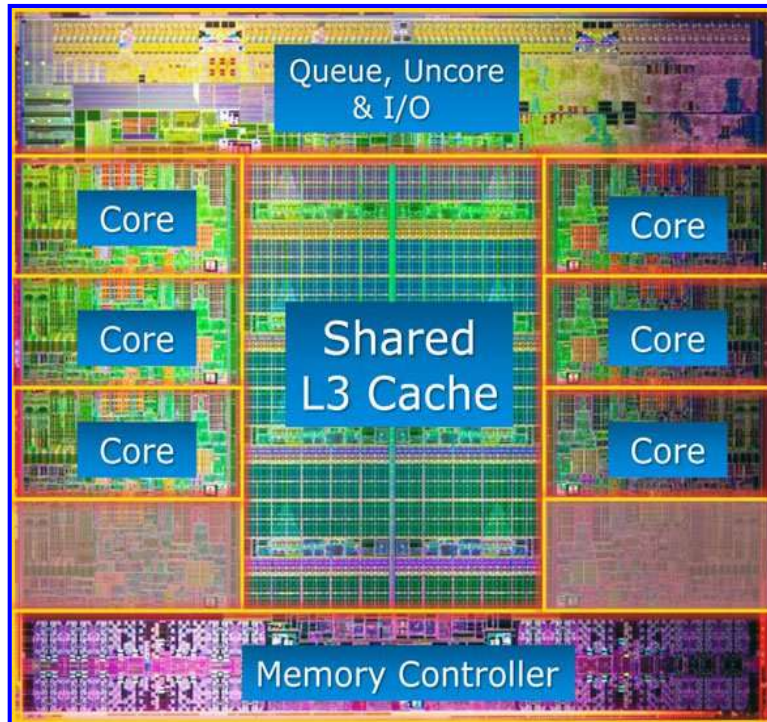
Επιφάνεια: 283 mm²

Πλήθος τρανζιστορς:
463 εκατομμύρια

Συχνότητα λειτουργίας: 2 GHz



Εξαπύρηνος μικροεπεξεργαστής Intel Core i7 (2011)



Τεχνολογία κατασκευής: 32 nm

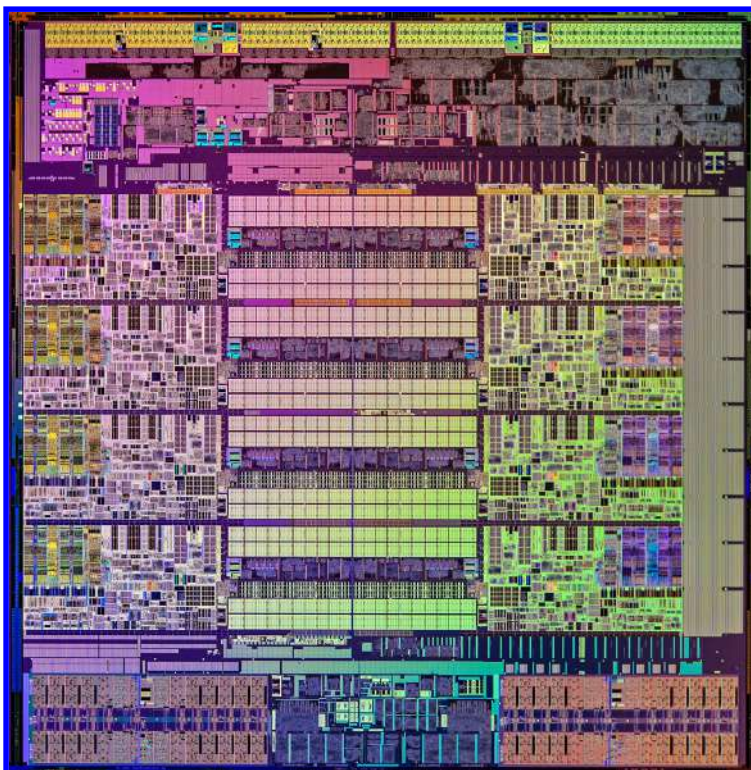
Επιφάνεια: 240 mm²

Πλήθος τρανζίστορες:
1.17 δισεκατομμύρια

Συχνότητα λειτουργίας: 3.3 GHz



Οκταπύρηνος μικροεπεξεργαστής Intel Core i7 (2014)



Τεχνολογία κατασκευής: 22 nm

Επιφάνεια: 355 mm²

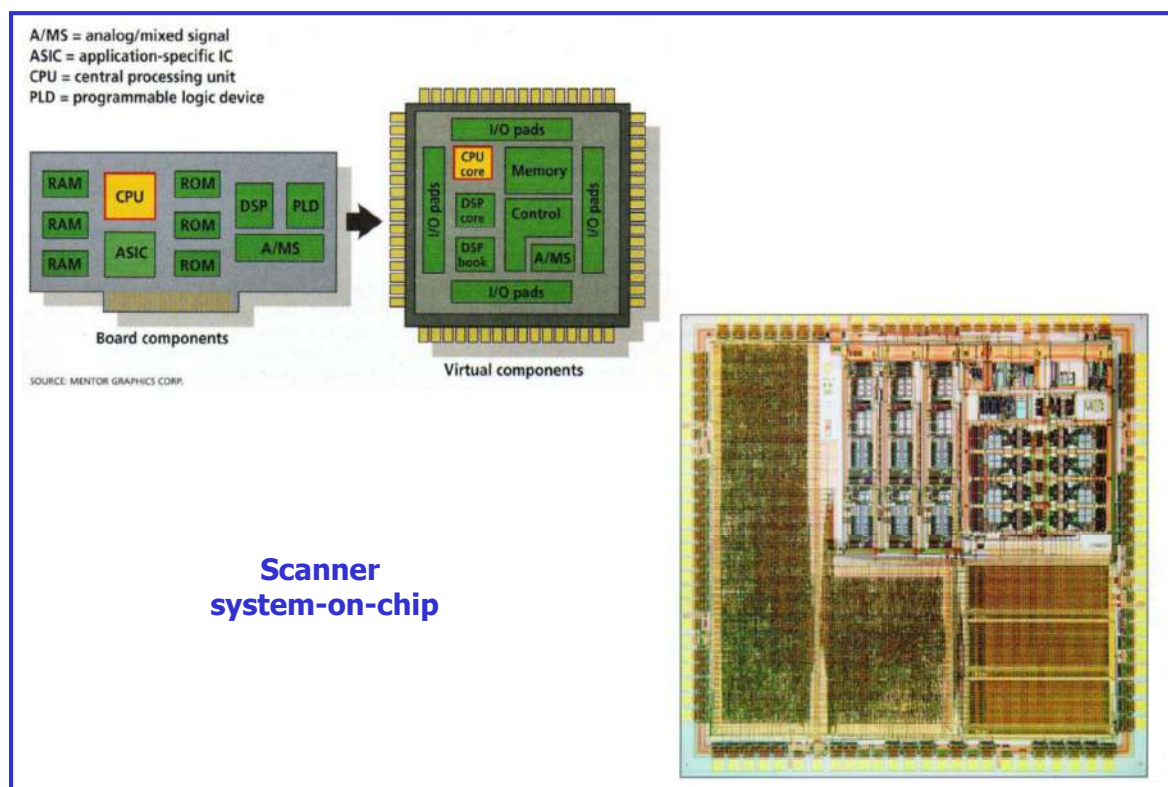
Πλήθος τρανζίστορες:
2.6 δισεκατομμύρια

Συχνότητα λειτουργίας: 3.6 GHz

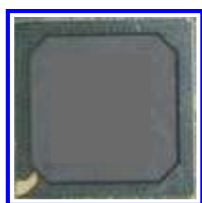
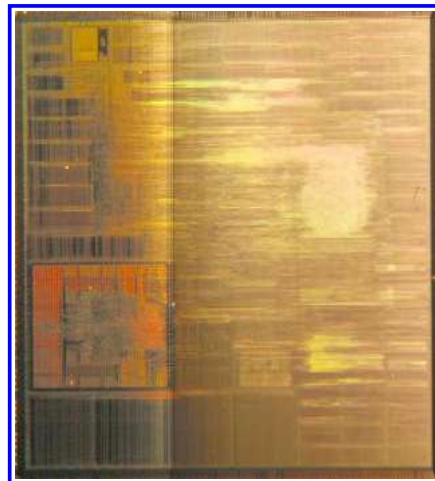
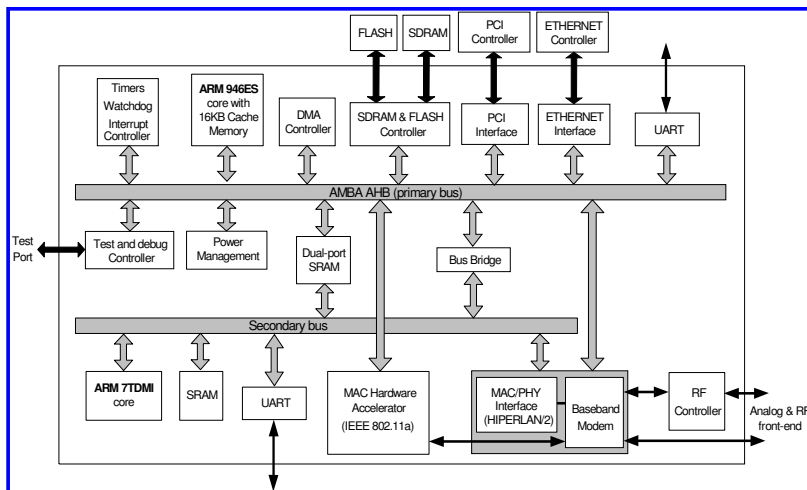
Η εξέλιξη των μικροεπεξεργαστών συνεχίζεται...

- Την διετία 2017-2018, η Intel ανέπτυξε τη σειρά μικροεπεξεργαστών **Core i9** σε τεχνολογία κατασκευής **14 nm**, που περιλαμβάνουν από **8 έως 14 πυρήνες** με περισσότερα από **5 δισεκατομμύρια τρανζίστορες**.
- Το 2020 η Intel ανέπτυξε την **11^η γενιά** μικροεπεξεργαστών της σε τεχνολογία κατασκευής **10 nm**, υποστηρίζοντας ότι η τεχνολογία αυτή παρέχει 25% καλύτερη επίδοση και 45% χαμηλότερη κατανάλωση ενέργειας, καθώς επίσης και ότι με την τεχνολογία αυτή μπορούν να αναπτυχθούν 100 εκατ. τρανζίστορ σε επιφάνεια πυριτίου ενός τετραγωνικού χιλιοστού.
- Την διετία 2017-2018, η AMD ανέπτυξε τη σειρά μικροεπεξεργαστών **Ryzen** σε τεχνολογία **14 nm**, που περιλαμβάνουν **έως 16 πυρήνες**, ενώ πρόσφατα ανέπτυξε την **3^η γενιά μικροεπεξεργαστών Ryzen** σε τεχνολογία **7 nm** που περιλαμβάνει **έως 32 πυρήνες**, βελτιώνοντας τις επιδόσεις των μικροεπεξεργαστών της.
- Επίσης, τα τελευταία χρόνια, η AMD ανέπτυξε τη σειρά μικροεπεξεργαστών **Epic 7000 (multi-chip modules)** που περιλαμβάνει **4 οκταπύρηνους επεξεργαστές** με περισσότερα από **19 δισεκατομμύρια τρανζίστορες**.

Σύστημα σε ολοκληρωμένο κύκλωμα (system-on-chip)



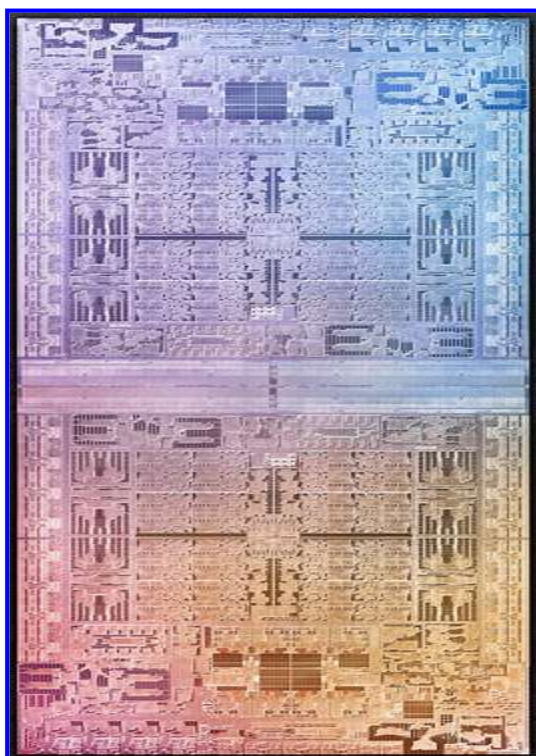
Σύστημα σε ολοκληρωμένο κύκλωμα (system-on-chip)



**Wireless LAN
system-on-chip**

Τεχνολογία: CMOS 180 nm
Επιφάνεια: 90 mm²
Τρανζίστορ: 17.5 εκατομμύρια
Διασυνδέσεις: 47 m
2 ενσωματωμένοι επεξεργαστές

Apple M1 Ultra SoC (2022)



ARM processor-based system-on-chip

Τεχνολογία κατασκευής: **5 nm**

Πλήθος τρανζίστορς:
114 δισεκατομμύρια

Δύο ψηφίδες (dies) συνδεδεμένες στην
ίδια συσκευασία (package)

20 πυρήνες CPU

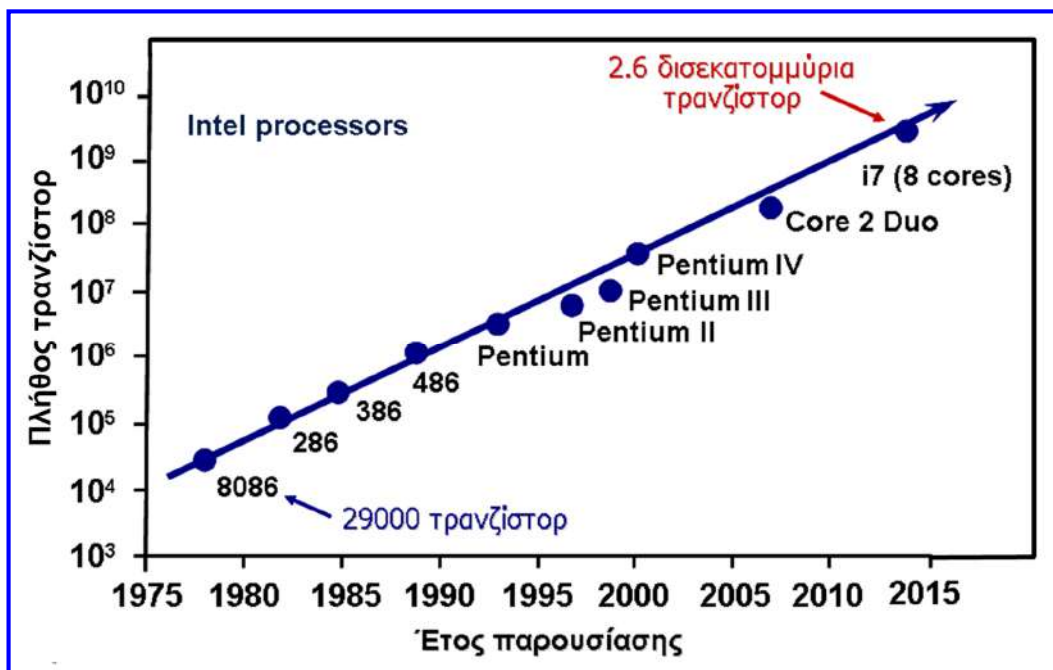
64 πυρήνες GPU (graphics processing unit
για επιτάχυνση λειτουργιών γραφικών)

32 πυρήνες NPU (neural processing unit
για επιτάχυνση λειτουργιών τεχνητής
νοημοσύνης και μηχανικής μάθησης)

Νόμος του Moore

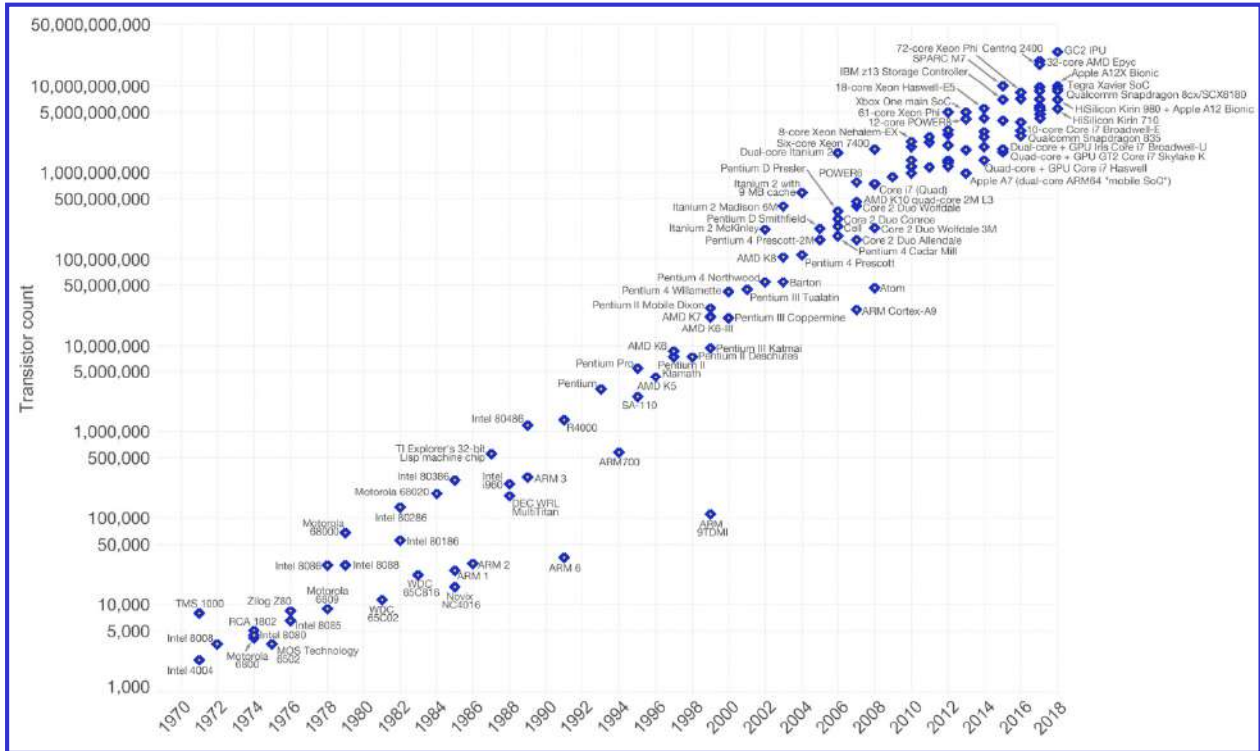
- Τις δύο τελευταίες δεκαετίες έχει σημειωθεί καταπληκτική εξέλιξη όσον αφορά το πλήθος των τρανζιστορ που ολοκληρώνονται σε ένα ολοκληρωμένο κύκλωμα (πυκνότητα ολοκλήρωσης) και στις επιδόσεις των ολοκληρωμένων κυκλωμάτων.
- Το 1965, ο Gordon Moore (Fairchild και αργότερα συνιδρυτής της Intel), πρόβλεψε ότι **ο αριθμός των τρανζιστορ που μπορούν να ολοκληρωθούν σε μία ενιαία ψηφίδα πυριτίου (die) θα αυξάνεται εκθετικά με το χρόνο.**
- Παρατήρησε ότι ο αριθμός των τρανζιστορ που ολοκληρώνεται σε ένα ολοκληρωμένο κύκλωμα διπλασιάζεται κάθε 18 με 24 μήνες.
- Η αύξηση αυτή οφείλεται κυρίως:
 - ✓ στην αλματώδη **ανάπτυξη της τεχνολογίας των ημιαγωγών** (ολοένα και μικρότερο μέγεθος τρανζιστορ, νέες τεχνολογίες κατασκευής) και
 - ✓ στην ραγδαία **εξέλιξη της τεχνολογίας σχεδιασμού** ολοκληρωμένων κυκλωμάτων (οι σχεδιαστές χρησιμοποιούν όλο και περισσότερο εξειδικευμένες μεθοδολογίες και στρατηγικές σχεδιασμού που οδηγούν στην αυτοματοποίησή του).

Εξέλιξη πλήθους τρανζιστορ στους μικροεπεξεργαστές

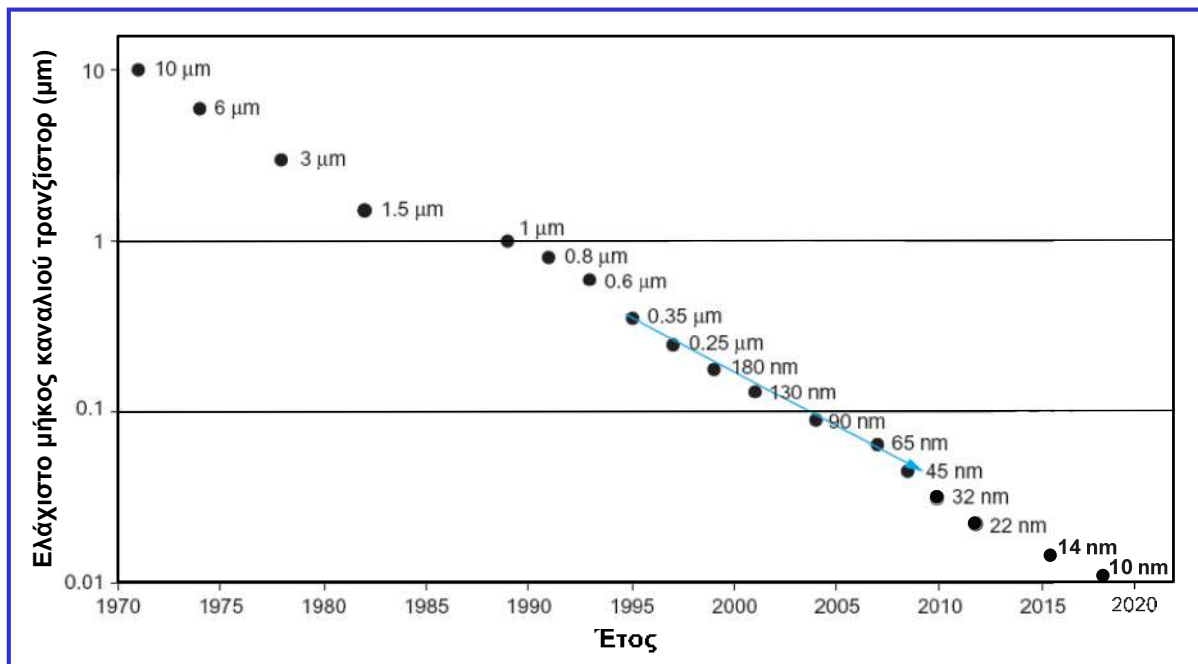


Το όριο του 1 εκατομμυρίου τρανζιστορ ανά Ο.Κ. καταρρίφθηκε στο τέλος της δεκαετίας του 1980 και το όριο του 1 δισεκατομμυρίου στο τέλος της δεκαετίας του 2000

Εξέλιξη πλήθους τρανζίστορ στους μικροεπεξεργαστές

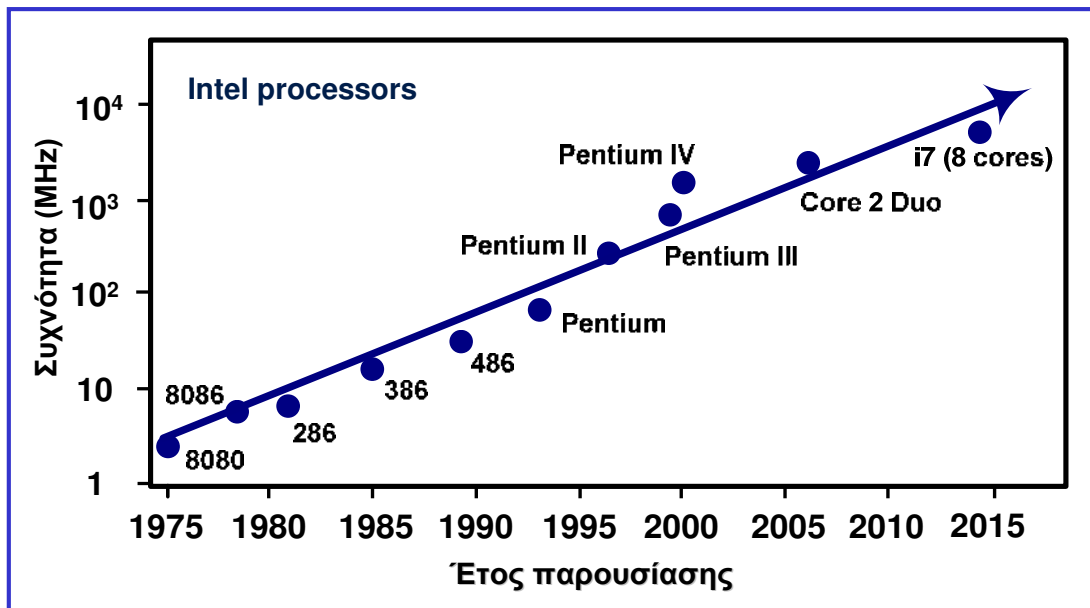


Εξέλιξη μήκους καναλιού των τρανζίστορ



Με την εξέλιξη της τεχνολογίας κατασκευής ολοκληρωμένων κυκλωμάτων CMOS, το μήκος καναλιού των τρανζίστορ μειώνεται κατά 30% κάθε 2 έως 3 έτη.

Εξέλιξη συχνότητας στους μικροεπεξεργαστές

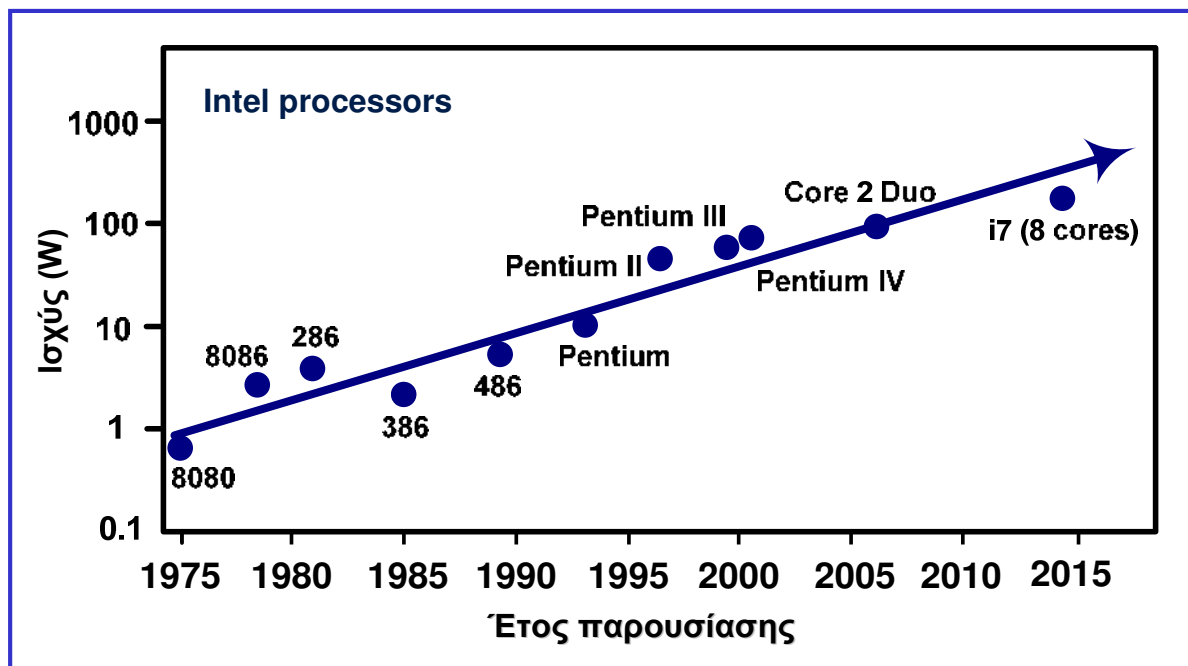


Την δεκαετία του 1990 η συχνότητα των μικροεπεξεργαστών διπλασιαζόταν κάθε 2 χρόνια με το όριο των 100 MHz να καταρρίπτεται στα μέσα της δεκαετίας αυτής. Το όριο του 1 GHz ξεπεράστηκε στην αρχή της δεκαετίας του 2000, ενώ σήμερα παράγονται επεξεργαστές με συχνότητα λειτουργίας μεγαλύτερη από 4 GHz

Εξέλιξη ισχύος στους μικροεπεξεργαστές

- Η ισχύς ενός ολοκληρωμένου κυκλώματος καθορίζει το ποσό της ενέργειας που καταναλώνει σε λειτουργία και το ποσό της θερμότητας που αποβάλλει.
- Αυτοί οι παράγοντες επηρεάζουν ένα μεγάλο αριθμό κρίσιμων αποφάσεων σχεδιασμού, όπως την ικανότητα παροχής ισχύος, τη διάρκεια ζωής των μπαταριών, το μέγεθος των γραμμών τροφοδοσίας και τις απαιτήσεις συσκευασίας και ψύξης.
- Επομένως, η κατανάλωση ενέργειας είναι μία σημαντική ιδιότητα των ολοκληρωμένων κυκλωμάτων που επιδρά στον τρόπο υλοποίησής τους, στο κόστος και την αξιοπιστία τους.
- Στα υπολογιστικά συστήματα υψηλής επίδοσης, τα όρια της κατανάλωσης ισχύος που υπαγορεύονται από τη συσκευασία του ολοκληρωμένου κυκλώματος και το σύστημα απομάκρυνσης θερμότητας, καθορίζουν τον αριθμό των κυκλωμάτων που μπορούν να ολοκληρωθούν στο ίδιο ψηφίδα και το πόσο γρήγορα επιτρέπεται να λειτουργούν.
- Με την αυξανόμενη δημοτικότητα των φορητών υπολογιστικών συστημάτων που χρησιμοποιούν μπαταρίες, οι ενεργειακοί περιορισμοί αποτελούν βασικό παράγοντα που θα πρέπει να λαμβάνεται υπόψη κατά το σχεδιασμό και την κατασκευή.
- Παρότι έχουν αναπτυχθεί μεθοδολογίες σχεδιασμού και τεχνολογίες κατασκευής που μειώνουν την κατανάλωση ενέργειας στα ολοκληρωμένα κυκλώματα, η ισχύς σε απαιτητικά κυκλώματα αιχμής (όπως οι μικροεπεξεργαστές) συνεχίζει να αυξάνεται.

Εξέλιξη ισχύος στους μικροεπεξεργαστές



Ιεραρχικός σχεδιασμός ολοκληρωμένων κυκλωμάτων

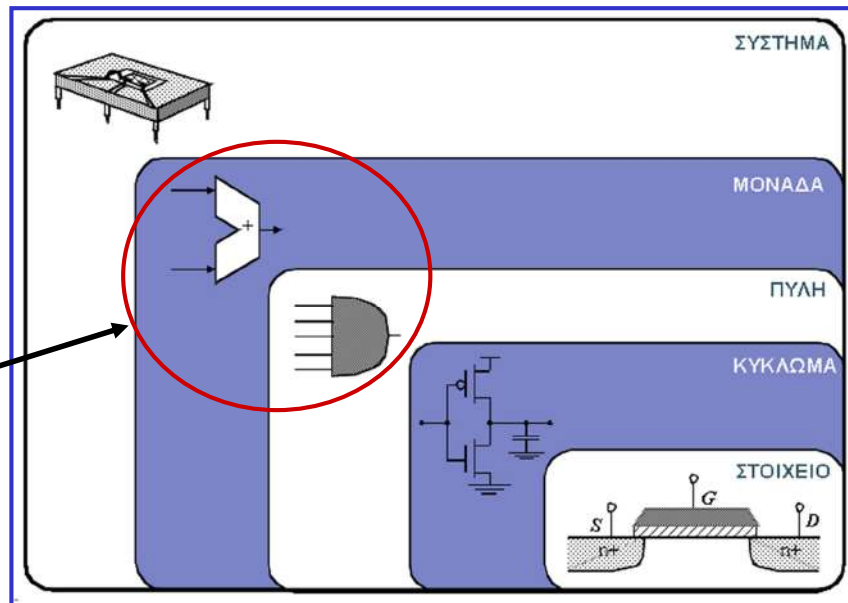
- Η αλματώδης εξέλιξη στην πυκνότητα ολοκλήρωσης και στις επιδόσεις των ολοκληρωμένων κυκλωμάτων, έχει ασκήσει μεγάλη επίδραση στον τρόπο με τον οποίο σχεδιάζονται τα ψηφιακά κυκλώματα.
- Αρχικά η σχεδίαση γινόταν πλήρως με το χέρι, δηλαδή κάθε τρανζίστορ σχεδιαζόταν και βελτιστοποιούνταν χωριστά και κατόπιν τοποθετούνταν προσεκτικά στο κύκλωμα.
- Προφανώς, αυτή η προσέγγιση δεν είναι κατάλληλη όταν πρέπει να σχεδιαστούν και να συναρμολογηθούν εκατομμύρια στοιχεία.
- Κατά συνέπεια απαιτούνται και έχουν αναπτυχθεί μεθοδολογίες και εργαλεία σχεδιασμού, έτσι ώστε να επιτευχθεί αυτοματοποίηση του σχεδιασμού των ολοκληρωμένων κυκλωμάτων.
- Σε αντίθεση με την εξατομικευμένη προσέγγιση των αρχικών σχεδιασμών, τα κυκλώματα πλέον **σχεδιάζονται με ιεραρχικό τρόπο**, δηλαδή ένα σύστημα αποτελείται από μονάδες καθεμία από τις οποίες αποτελείται από έναν αριθμό κυττάρων.
- Τα κύτταρα **επαναχρησιμοποιούνται** έτσι ώστε για μειώνεται η προσπάθεια σχεδιασμού και να αυξάνεται η πιθανότητα της επιτυχούς υλοποίησης.
- Η **ιεραρχική προσέγγιση σχεδιασμού** αποτελεί το βασικό συστατικό της επιτυχίας του σχεδιασμού ψηφιακών κυκλωμάτων σε **πολύ μεγάλη κλίμακα ολοκλήρωσης**.

Ιεραρχικός σχεδιασμός ολοκληρωμένων κυκλωμάτων

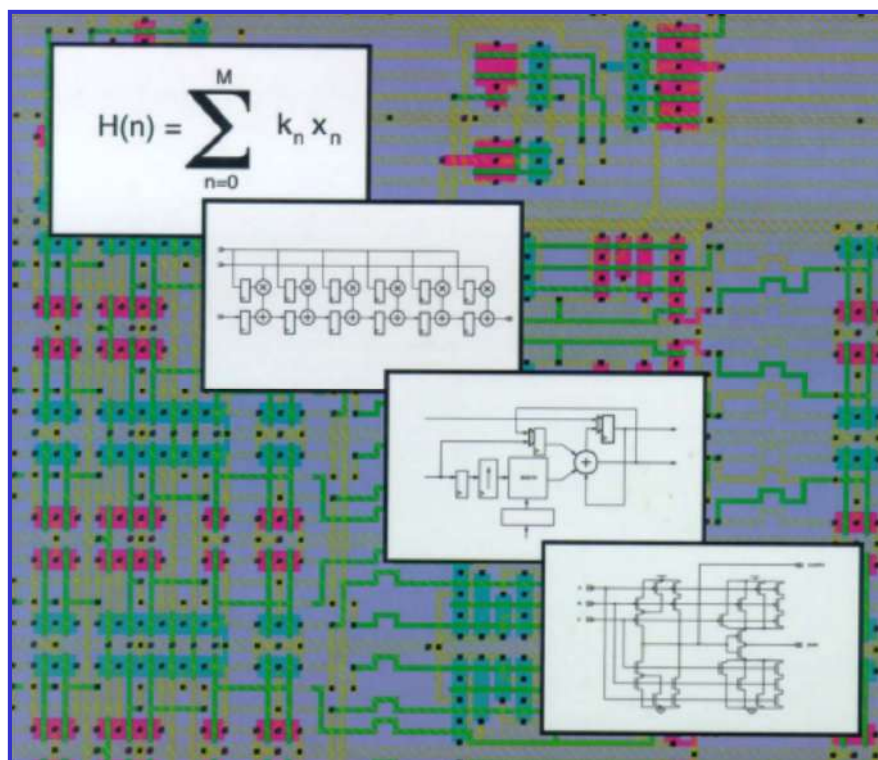
- Στον ιεραρχικό σχεδιασμό, σε κάθε επίπεδο σχεδιασμού οι εσωτερικές λεπτομέρειες μίας σύνθετης μονάδας μπορούν να αντικατασταθούν από ένα μοντέλο.
- Το μοντέλο περιέχει όλες τις πληροφορίες που απαιτούνται ώστε το μοντέλο αυτό να χρησιμοποιηθεί στο επόμενο επίπεδο ιεραρχίας.

Επίπεδα ιεραρχίας
(αφαίρεσης)
σχεδιασμού
ψηφιακών
κυκλωμάτων

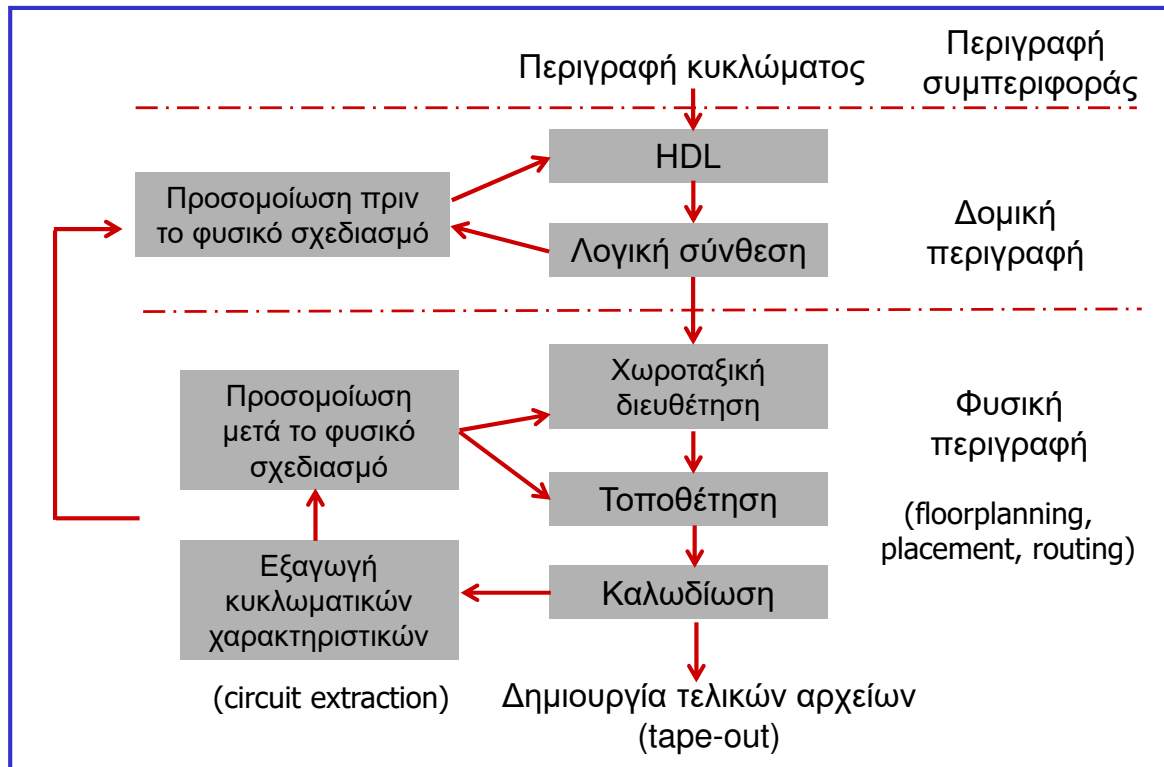
Συχνά χρησιμοποιείται
βιβλιοθήκη
προσχεδιασμένων
κυκλωμάτων
(προσέγγιση τυπικού
κυττάρου, standard
cell)



Ιεραρχικός σχεδιασμός ολοκληρωμένων κυκλωμάτων



Διαδικασία σχεδιασμού ολοκληρωμένων κυκλωμάτων



Πλεονεκτήματα ολοκληρωμένων κυκλωμάτων

- Αντικατάσταση μεγάλου αριθμού διακριτών στοιχείων με αποτέλεσμα:
 - ✓ την ελαχιστοποίηση του μεγέθους του συστήματος,
 - ✓ την αύξηση της ταχύτητας,
 - ✓ τη μείωση της κατανάλωσης ενέργειας,
 - ✓ την ελαχιστοποίηση των διατάξεων ψύξης,
 - ✓ την αύξηση της αξιοπιστίας,
 - ✓ τη μείωση του κόστους του συστήματος.
- Εξασφάλιση από πιθανή αντιγραφή.
- Μείωση του χρόνου ανάπτυξης του συστήματος και επιτάχυνση της διάθεσής του στην αγορά.

Μειονεκτήματα ολοκληρωμένων κυκλωμάτων

- Πιθανή αποτυχία επίτευξης της απαιτούμενης λειτουργικότητας, κυρίως λόγω αυξημένης πολυπλοκότητας σχεδιασμού και κατασκευής: έως και 50% των κυκλωμάτων ειδικού σκοπού (application specific integrated circuits, ASIC) αποτυγχάνουν να λειτουργήσουν σωστά την πρώτη φορά.
- Πιθανή ανατροπή του χρονοδιαγράμματος λόγω ανάγκης επανάληψης της διαδικασίας σχεδιασμού ή/και κατασκευής.
- Δυσκολία στον έλεγχο και στην εξεύρεση σφαλμάτων.
- Υψηλό κόστος προτυποποίησης.
- Η παραγωγή μπορεί να μην ξεπεράσει την κρίσιμη ποσότητα που απαιτείται για την απόσβεση του κόστους.

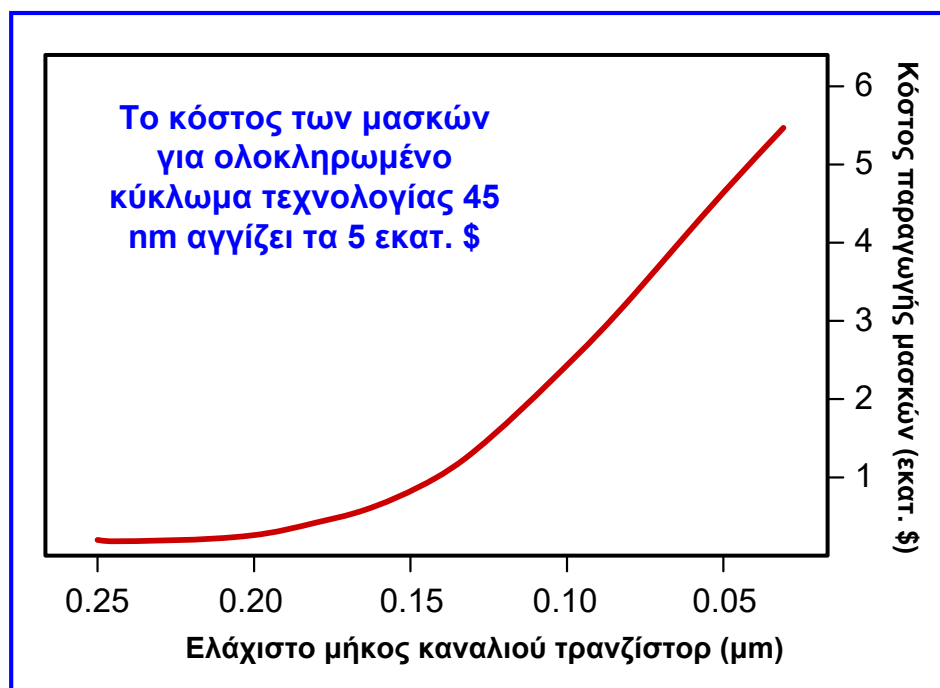
Μέτρα ποιότητας ψηφιακών κυκλωμάτων

- Οι επιδόσεις ενός ψηφιακού κυκλώματος (πύλης, μονάδας κ.ά.) αξιολογούνται με βάση τα ακόλουθα πιο σημαντικά μέτρα:
 - ✓ **Κόστος,**
 - ✓ **Λειτουργικότητα και στιβαρότητα,**
 - ✓ **Ταχύτητα (συχνότητα λειτουργίας και καθυστέρηση διάδοσης),**
 - ✓ **Ισχύς και κατανάλωση ενέργειας.**
- Το ποιο από τα μέτρα αυτά είναι το σημαντικότερο, εξαρτάται από την εφαρμογή που υλοποιείται από το ολοκληρωμένο κύκλωμα.
- Για παράδειγμα, η ταχύτητα είναι μια κρίσιμη παράμετρος για έναν διακομιστή (server) υπολογιστών.
- Από την άλλη πλευρά, η κατανάλωση ενέργειας είναι η κυρίαρχη παράμετρος για εφαρμογές φορητών συσκευών, όπως τα κινητά τηλέφωνα.

Κόστος ολοκληρωμένων κυκλωμάτων

- Το συνολικό κόστος ενός προϊόντος επιμερίζεται σε δύο συστατικά: τις μη επαναλαμβανόμενες δαπάνες ή **σταθερό κόστος** (non-recurrent engineering, NRE cost) και τις επαναλαμβανόμενες δαπάνες ή **μεταβλητό κόστος**.
- Σημαντικό μέρος του **σταθερού κόστους** ενός ολοκληρωμένου κυκλώματος είναι η προσπάθεια του εργατικού δυναμικού που απαιτείται για την **ανάπτυξη του σχεδιασμού** έως και την **παραγωγή των τελικών μασκών** που απαιτούνται για την κατασκευή του κυκλώματος.
- Αυτό το κόστος επηρεάζεται ισχυρά από την πολυπλοκότητα του σχεδιασμού, τις προδιαγραφές και την παραγωγικότητα των σχεδιαστών.
- Οι προηγμένες μεθοδολογίες σχεδιασμού που αυτοματοποιούν βασικά μέρη της διαδικασίας σχεδιασμού οδηγούν σε μείωση του κόστους σχεδιασμού.
- Σε μια συνεχώς αυξανόμενη πολυπλοκότητα των ολοκληρωμένων κυκλωμάτων, η μείωση του κόστους σχεδιασμού είναι μία από τις σημαντικότερες προκλήσεις της βιομηχανίας ημιαγωγών.
- Στο σταθερό κόστος περιλαμβάνονται και **έμμεσες δαπάνες**, όπως δαπάνες έρευνας, δαπάνες για εξοπλισμό και υποδομές, δαπάνες μάρκετινγκ και πωλήσεων.

Κόστος ολοκληρωμένων κυκλωμάτων



Κόστος ολοκληρωμένων κυκλωμάτων

- Το **μεταβλητό κόστος** αντιστοιχεί στο κόστος που αποδίδεται άμεσα σε ένα κατασκευασμένο ολοκληρωμένο κύκλωμα.
- Περιλαμβάνει τις **διεργασίες κατασκευής (processes)**, τη **συσκευασία (packaging)** και την **δοκιμή (test)** του κυκλώματος.

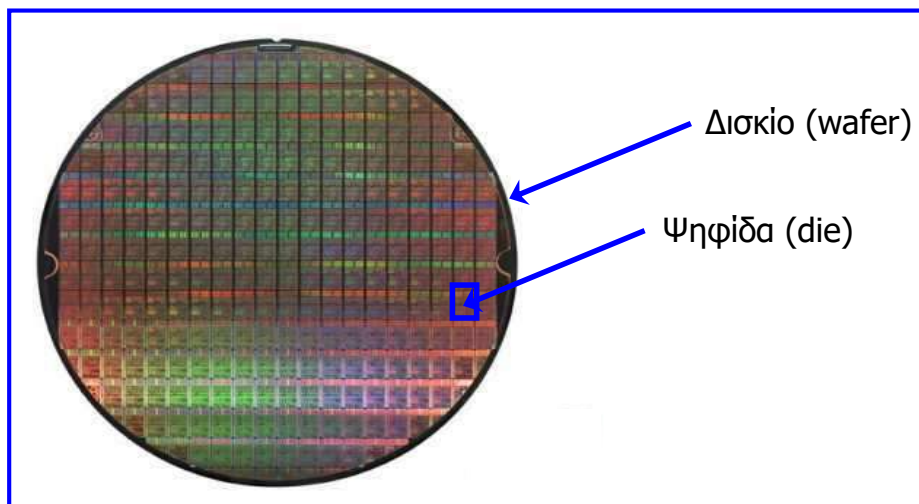
$$\text{Μεταβλητό κόστος} = \frac{\text{κόστος ψηφίδας} + \text{κόστος δοκιμής ψηφίδας} + \text{κόστος συσκευασίας}}{\text{απόδοση δοκιμής ψηφίδων}}$$

- Η επίδραση του σταθερού κόστους είναι μεγαλύτερη για προϊόντα μικρού όγκου παραγωγής.

$$\text{Κόστος ανά IC} = \text{μεταβλητό κόστος} + \frac{\text{σταθερό κόστος}}{\text{όγκος παραγωγής}}$$

- Η διαδικασία κατασκευής ολοκληρωμένων κυκλωμάτων έχει να κάνει με την ομαδοποίηση ενός αριθμού όμοιων κυκλωμάτων σε ένα μόνο **δισκίο (wafer)**.
- Με την ολοκλήρωση της κατασκευής, το δισκίο τεμαχίζεται σε **ψηφίδες (dies)**, οι οποίες αρχικά υπόκεινται σε δοκιμή και κατόπιν συσκευάζονται χωριστά.

Κόστος ολοκληρωμένων κυκλωμάτων



- Το **κόστος ψηφίδας** εξαρτάται από το κόστος δισκίου, το πλήθος των ψηφίδων ανά δισκίο και την **απόδοση ψηφίδας (die yield)**.

$$\text{Κόστος ψηφίδας} = \frac{\text{κόστος δισκίου}}{\text{πλήθος ψηφίων ανά δισκίο} + \text{απόδοση ψηφίδας}}$$

Κόστος ολοκληρωμένων κυκλωμάτων

- Ο αριθμός των ψηφίδων ανά δισκίο προκύπτει από τη διαίρεση της επιφάνειας του δισκίου προς την επιφάνεια της ψηφίδας.
- Η πραγματική κατάσταση είναι πιο περίπλοκη δεδομένου ότι τα δισκία είναι στρογγυλά και οι ψηφίδες τετραγωνικές, με αποτέλεσμα οι ψηφίδες γύρω από την περίμετρο του δισκίου να μην μπορούν να χρησιμοποιηθούν.

$$\text{Ψηφίδες ανά δισκίο} = \frac{\pi \times (\text{διάμετρος δισκίου} / 2)^2}{\text{επιφάνεια ψηφίδας}} - \frac{\pi \times \text{διάμετρος δισκίου}}{\sqrt{2} \times \text{επιφάνεια ψηφίδας}}$$

$$\text{Απόδοση ψηφίδας (Y)} = \frac{\text{πλήθος ψηφίδων ανά δισκίο που λειτουργούν σωστά}}{\text{συνολικό πλήθος ψηφίδων ανά δισκίο}} \times 100\%$$

$$\text{Απόδοση ψηφίδας (Y)} = \left(1 + \frac{\text{ατέλειες ανά μονάδα επιφάνειας} \times \text{επιφάνεια ψηφίδας}}{\alpha} \right)^{-\alpha} \times 100\%$$

όπου οι ατέλειες ανά μονάδα επιφάνειας είναι ένα μέτρο των ελαττωμάτων που προκύπτουν από το υλικό και την διεργασία κατασκευής και α είναι μια παράμετρος που εξαρτάται από την διεργασία κατασκευής.

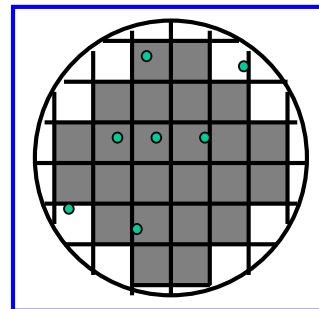
Παράδειγμα

- Δισκίο με διάμετρο 30.5 cm

Μέγεθος ψηφίδας 2.5 cm²

Ατέλειες ανά cm² = 1

Παράμετρος διεργασίας κατασκευής α = 3.



- Με βάση την πρώτη σχέση της προηγούμενης σελίδας προκύπτει ότι καταρχήν υπάρχουν 249 (292 – 43) πιθανά λειτουργικές ψηφίδες σε κάθε δισκίο.

Με βάση την τρίτη σχέση της προηγούμενης σελίδας, η απόδοση ψηφίδας (Y) είναι 16.2%.

Λόγω του ότι $249 \times 0.162 = 40.3$, προκύπτει ότι μόνο 40 (!) από τις ψηφίδες ενός δισκίου θα λειτουργούν σωστά.

- Ο αριθμός των λειτουργικών ψηφίδων ανά δισκίο και συνεπώς το κόστος ψηφίδας είναι σε μεγάλο βαθμό συνάρτηση της επιφάνειας της ψηφίδας (ανάλογο της τρίτης ή τέταρτης δύναμης της επιφάνειας ψηφίδας).
- Όσο αυξάνεται το μέγεθος και η πολυπλοκότητα ενός ολοκληρωμένου κυκλώματος, μειώνεται η απόδοση ψηφίδας.

Κόστος ολοκληρωμένων κυκλωμάτων

Chip	Metal layers	Line width	Wafer cost	Def./ cm ²	Area mm ²	Dies/ wafer	Yield	Die cost
386DX	2	0.90	\$900	1.0	43	360	71%	\$4
486 DX2	3	0.80	\$1200	1.0	81	181	54%	\$12
Power PC 601	4	0.80	\$1700	1.3	121	115	28%	\$53
HPPA 7100	3	0.80	\$1300	1.0	196	66	27%	\$73
DEC Alpha	3	0.70	\$1500	1.2	234	53	19%	\$149
Super Sparc	3	0.70	\$1700	1.6	256	48	13%	\$272
Pentium	3	0.80	\$1500	1.5	296	40	9%	\$417

Λειτουργικότητα και στιβαρότητα

- Η πρωταρχική απαίτηση για ένα ψηφιακό κύκλωμα είναι να εκτελεί σωστά την λειτουργία για την οποία σχεδιάστηκε.
- Η μετρούμενη συμπεριφορά ενός κυκλώματος συνήθως παρεκκλίνει από την αναμενόμενη.
- Ένας λόγος γι' αυτή την παρέκκλιση είναι οι μεταβολές στη διεργασία κατασκευής: οι διαστάσεις και οι παράμετροι των στοιχείων διαφέρουν μεταξύ κύκλων παραγωγής ή ακόμα και σε ένα ενιαίο δισκίο ή μία ψηφίδα με αποτέλεσμα να επηρεάζεται η συμπεριφορά του κυκλώματος.
- Η παρουσία πηγών θορύβου είναι μία άλλη πηγή αποκλίσεων στην απόκριση των κυκλωμάτων.
- **Θόρυβος**, στα πλαίσια των ψηφιακών κυκλωμάτων, είναι οι ανεπιθύμητες μεταβολές των τάσεων και των ρευμάτων στους λογικούς κόμβους ενός κυκλώματος.
- Τα σήματα θορύβου μπορούν να εισβάλουν σε ένα κύκλωμα με πολλούς τρόπους:
 - ✓ χωρητική σύζευξη,
 - ✓ επαγωγική σύζευξη,
 - ✓ γραμμές τροφοδοσίας και γείωσης των κυκλωμάτων.

Στιβαρότητα

Χωρητική σύζευξη: μεταβολή τάσης σε μια γραμμή επηρεάζει το σήμα γειτονικής γραμμής

Επαγωγική σύζευξη: μεταβολή ρεύματος σε μια γραμμή επηρεάζει το ρεύμα γειτονικής γραμμής

Θόρυβος στις γραμμές τροφοδοσίας και γείωσης επηρεάζει τα επίπεδα σημάτων στις πύλες

Στιβαρότητα

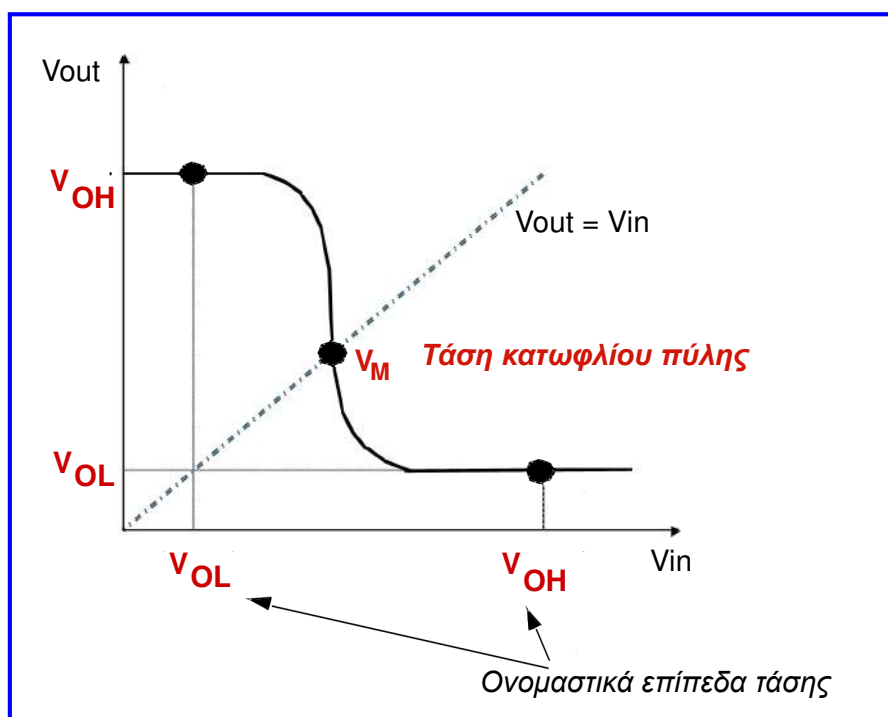
- Στην ψηφιακή λογική αντιστοιχούμε τις διακριτές λογικές 0 και 1 σε αναλογικά διαστήματα τάσης.
- Ένα από τα σημαντικά πλεονεκτήματα της ψηφιακής λογικής είναι το γεγονός ότι επιτρέπει μεγάλα περιθώρια θορύβου.



Στιβαρότητα

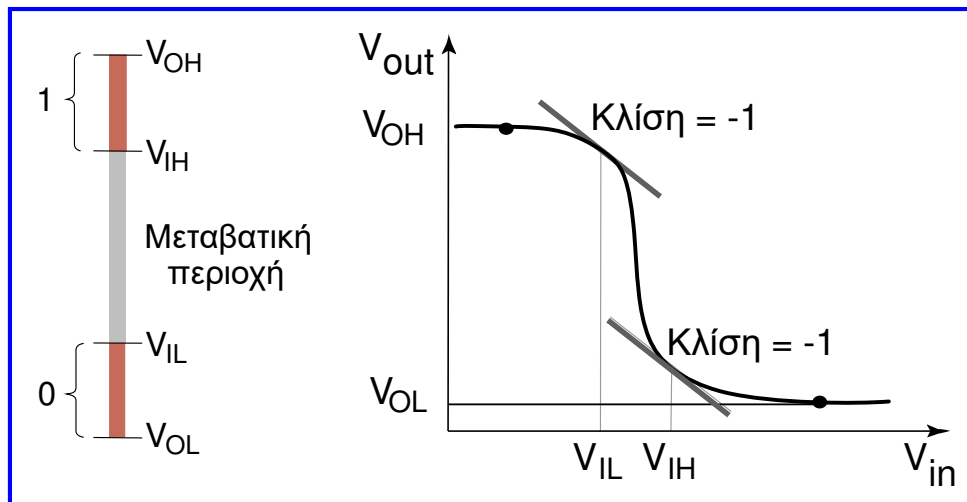
- Η τάση ενός κόμβου κυκλώματος που δεν είναι διακριτή, αλλά μπορεί να πάρει μία συνεχή σειρά από τιμές, μετατρέπεται σε διακριτή μεταβλητή συνδέοντας δύο **ονομαστικά επίπεδα τάσης** (V_{OH} και V_{OL}) με τις δύο **λογικές καταστάσεις** (0 και 1).
- Η διαφορά μεταξύ των δύο επιπέδων αναφέρεται ως **λογική ταλάντευση** ή **ταλάντευση σήματος**.
- Η εφαρμογή του V_{OH} στην είσοδο ενός **αντιστροφέα** (που είναι η πιο απλή λογική πύλη) παράγει το επίπεδο V_{OL} στην έξοδο και αντίστροφα.
- Η ηλεκτρική λειτουργία μίας πύλης εκφράζεται από τη **χαρακτηριστική μεταφοράς τάσης (voltage-transfer characteristic)** που είναι η γραφική παράσταση της τάσης εξόδου ως συνάρτηση της τάσης εισόδου $V_{out} = f(V_{in})$.
- Από την χαρακτηριστική μεταφοράς τάσης μιας πύλης, μπορούν να καθοριστούν τα δύο ονομαστικά επίπεδα τάσης, καθώς και η **τάση κατωφλίου μετάβασης** της πύλης, η οποία καθορίζεται από την χαρακτηριστικής μεταφοράς τάσης με την ευθεία που δίνεται από τη σχέση $V_{out} = V_{in}$.

Στιβαρότητα



Στιβαρότητα

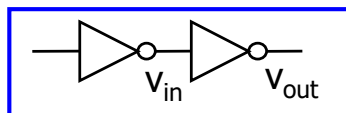
- Οι περιοχές των αποδεκτών υψηλών και χαμηλών τάσεων οριοθετούνται από τα επίπεδα τάσης V_{IH} και V_{IL} , αντίστοιχα, τα οποία αντιπροσωπεύουν τα σημεία όπου η κλίση της χαρακτηριστικής μεταφοράς τάσης είναι ίση με -1 (45°).
- Η περιοχή μεταξύ V_{IH} και V_{IL} αναφέρεται ως **απροσδιόριστη περιοχή** (ή **μεταβατική περιοχή**).
- Τα σήματα σταθερής κατάστασης πρέπει να αποφύγουν την περιοχή αυτή εάν θέλουμε να εξασφαλιστεί η σωστή λειτουργία των κυκλωμάτων.



Στιβαρότητα

- Για να είναι μία πύλη στιβαρή και αναισθητη στις διαταραχές θορύβου, οι περιοχές τάσης που αντιστοιχούν στις λογικές τιμές 0 και 1 πρέπει να είναι όσο το δυνατόν μεγαλύτερες.
- Ένα μέτρο της ευαισθησίας μίας πύλης στο θόρυβο δίνεται από τα **περιθώρια θορύβου (noise margins)** NM_L (χαμηλό περιθώριο θορύβου) και NM_H (υψηλό περιθώριο θορύβου), που καθορίζουν το εύρος των επιτρεπτών περιοχών 0 και 1, αντίστοιχα, και θέτουν ένα σταθερό μέγιστο κατώφλι στην τιμή του θορύβου:

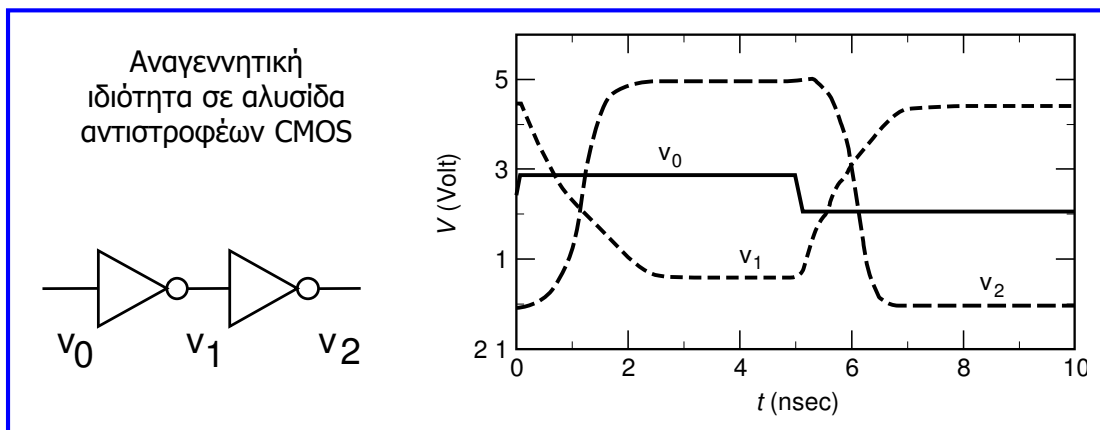
$$NM_L = V_{IL} - V_{OL} \text{ και } NM_H = V_{OH} - V_{IH}$$



- Η τιμή NM_L είναι η διαφορά μεταξύ της μέγιστης χαμηλής στάθμης της τάσης εξόδου της πύλης που οδηγεί (V_{in}) και της μέγιστης χαμηλής στάθμης εισόδου που αναγνωρίζεται από την οδηγούμενη πύλη (V_{out}).
- Η τιμή NM_H είναι η διαφορά μεταξύ της ελάχιστης υψηλής στάθμης της τάσης εξόδου της πύλης που οδηγεί και της ελάχιστης υψηλής στάθμης εισόδου που αναγνωρίζεται από την οδηγούμενη πύλη.
- Τα **περιθώρια θορύβου** είναι σημαντικό μέτρο της στιβαρότητας ενός κυκλώματος και εκφράζουν τη δυνατότητα ενός κυκλώματος να εξουδετερώνει τις πηγές θορύβου.

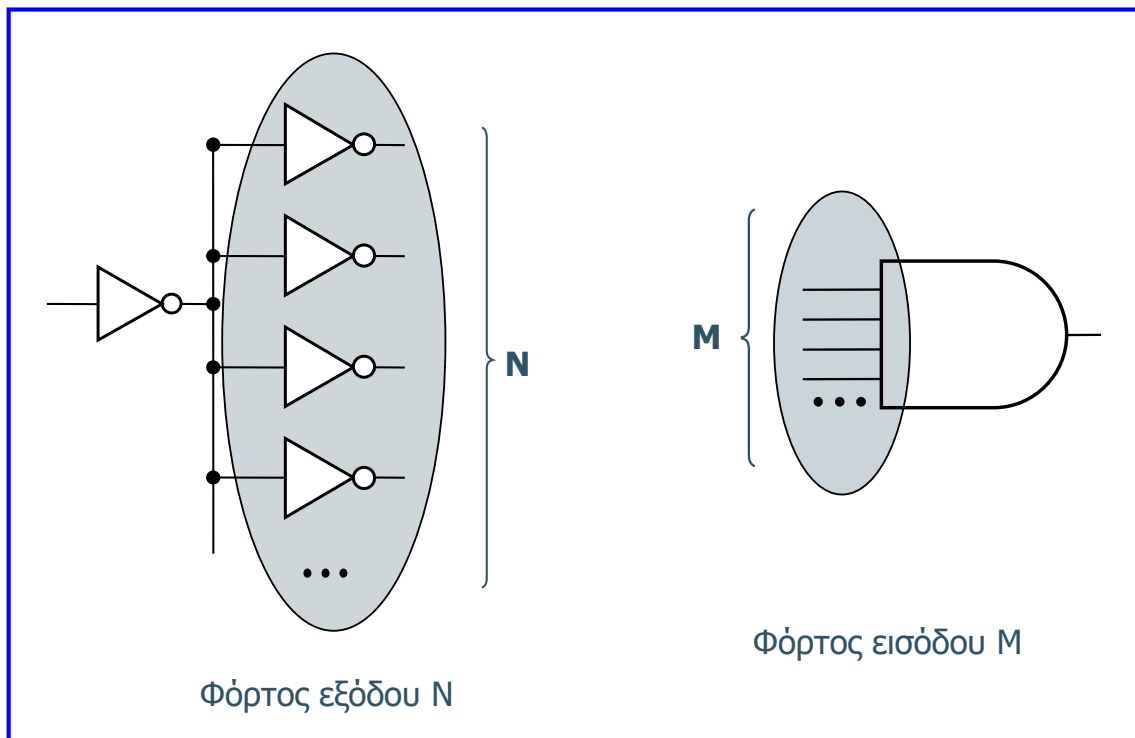
Στιβαρότητα

- Για όσο χρόνο το σήμα είναι μέσα στα περιθώρια θορύβου, η πύλη που ακολουθεί συνεχίζει να λειτουργεί σωστά, αν και η τάση εξόδου διαφέρει από την ονομαστική.
- Αυτή η απόκλιση προστίθεται στο θόρυβο που επιδρά στον κόμβο εξόδου και το άθροισμά τους περνά στην επόμενη πύλη, με πιθανό αποτέλεσμα τελικά το επίπεδο σήματος να βρεθεί στην απροσδιόριστη περιοχή.
- Ευτυχώς, αυτό δεν συμβαίνει εάν η πύλη διαθέτει την **αναγεννητική ιδιότητα (regenerative property)** που εξασφαλίζει ότι ένα διαταραγμένο σήμα συγκλίνει σε ένα από τα ονομαστικά επίπεδα τάσης, αφού περάσει μέσω διάφορων λογικών επιπέδων.



Στιβαρότητα

- **Φόρτος εξόδου (fan-out)** είναι ο αριθμός N των πυλών που είναι συνδεδεμένες στην έξοδο μιας οδηγούσας πύλης.
- Η αύξηση του φόρτου εξόδου μίας πύλης μπορεί να επηρεάσει τα λογικά επίπεδα του σήματος της εξόδου.
- Όταν ο φόρτος εξόδου είναι μεγάλος, το επιπρόσθετο φορτίο μπορεί να εκφυλίσει τη δυναμική επίδοση της οδηγούσας πύλης, δηλαδή να οδηγήσει σε μεγαλύτερη χρονική καθυστέρηση της οδηγούσας πύλης.
- Οι σχεδιαστές βασικών κυκλωμάτων καθορίζουν ένα μέγιστο φόρτο εξόδου, ώστε να εγγυώνται ότι η λειτουργία τους και η επίδοσή τους ικανοποιεί τις προδιαγραφές.
- **Φόρτος εισόδου (fan-in)** μίας πύλης είναι το πλήθος των εισόδων της πύλης.
- Οι πύλες με μεγάλο φόρτο εισόδου, δηλαδή οι πύλες με μεγάλο πλήθος εισόδων, τείνουν να είναι πιο σύνθετες, κάτι που οδηγεί συχνά σε χειρότερες στατικές (π.χ. περιορισμένα περιθώρια θορύβου) και δυναμικές ιδιότητες (π.χ. μεγάλη καθυστέρηση).



Συχνότητα λειτουργίας

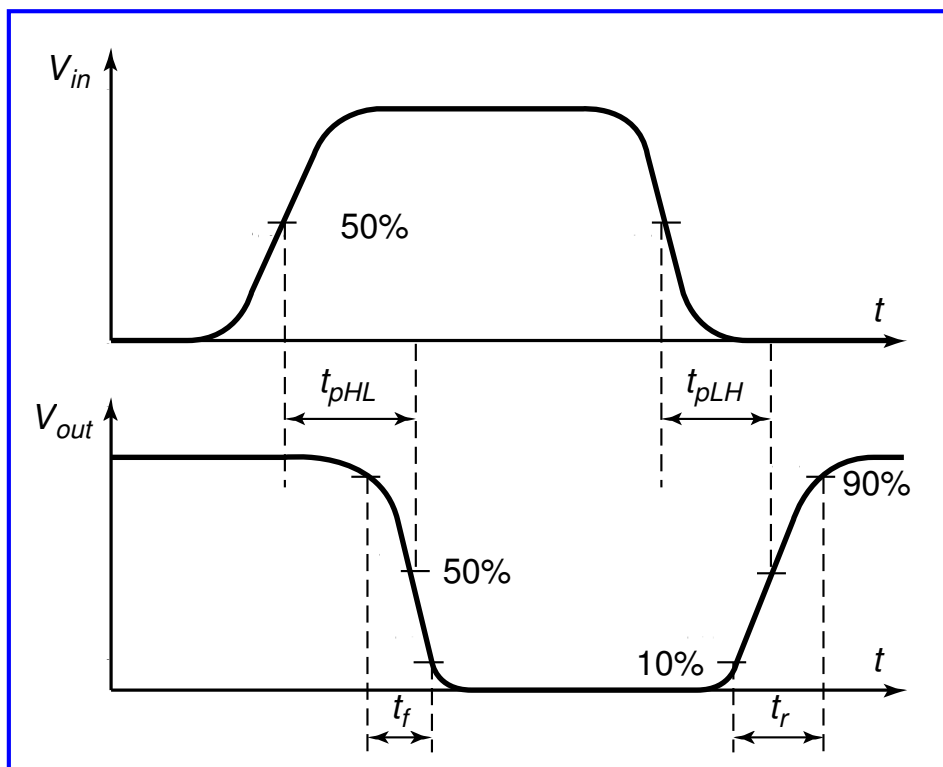
- Η **επίδοση (performance)** ενός ψηφιακού κυκλώματος εκφράζει την υπολογιστική του ικανότητα.
- Για παράδειγμα, ένας μικροεπεξεργαστής συχνά χαρακτηρίζεται από τον αριθμό των εντολών που μπορεί να εκτελέσει ανά δευτερόλεπτο.
- Το μέτρο αυτό εξαρτάται και από την αρχιτεκτονική του επεξεργαστή (π.χ. δυνατότητα παράλληλης εκτέλεσης εντολών) και από τον σχεδιασμό των λογικών κυκλωμάτων.
- Η επίδοση εκφράζεται συχνά από τη διάρκεια της **περιόδου σήματος ρολογιού (χρόνος κύκλου)** ή **το ρυθμό του σήματος ρολογιού (συχνότητα)**.
- Η ελάχιστη τιμή της περιόδου σήματος ρολογιού για μία δεδομένη τεχνολογία και ένα σχεδιασμό καθορίζεται από παράγοντες όπως ο χρόνος που χρειάζονται τα σήματα για να διαδοθούν μέσω των λογικών κυκλωμάτων, ο χρόνος που χρειάζεται για την εισαγωγή και εξαγωγή των δεδομένων στους καταχωρητές κ.ά.

Καθυστέρηση διάδοσης

- Η καθυστέρηση διάδοσης (propagation delay) t_p μιας πύλης καθορίζει το πόσο γρήγορα ανταποκρίνεται αυτή σε μία αλλαγή στην είσοδό ή τις εισόδους της.
- Εκφράζει την καθυστέρηση στην οποία υπόκειται ένα σήμα κατά τη διάβασή του μέσω της πύλης.
- Η καθυστέρηση διάδοσης μετριέται μεταξύ των σημείων μετάβασης των κυματομορφών εισόδου και εξόδου της πύλης, όπου οι τάσεις ισούνται με το 50% της τάσης τροφοδοσίας.
- Επειδή μία πύλη επιδεικνύει διαφορετικούς χρόνους απόκρισης για ανερχόμενες ή κατερχόμενες κυματομορφές, είναι απαραίτητοι δύο ορισμοί της καθυστέρησης διάδοσης.
- Το t_{pLH} καθορίζει το χρόνο απόκρισης της πύλης για μία χαμηλή-σε-υψηλή (ή θετική) μετάβαση εξόδου, ενώ το t_{pHL} αναφέρεται σε μια υψηλή-σε-χαμηλή (ή αρνητική) μετάβαση.
- Η καθυστέρηση διάδοσης t_p ορίζεται ως ο μέσος όρος των δύο:

$$t_p = \frac{t_{pHL} + t_{pLH}}{2}$$

Καθυστέρηση διάδοσης

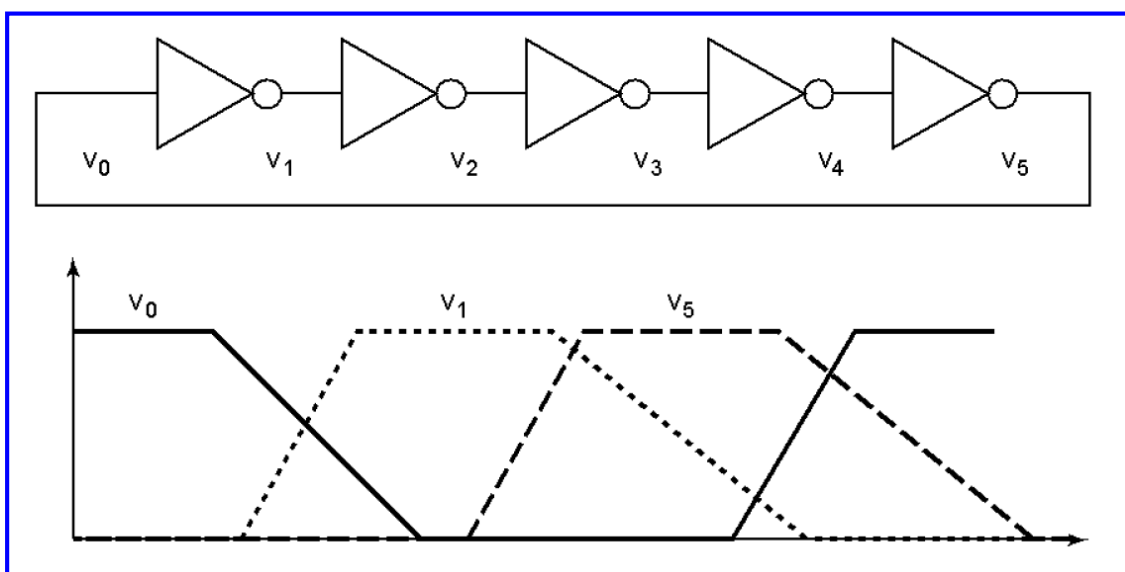


Καθυστέρηση διάδοσης

- Η καθυστέρηση διάδοσης μιας πύλης είναι εξαρτάται από:
 - ✓ την τεχνολογία κατασκευής,
 - ✓ την τοπολογία σχεδιασμού,
 - ✓ και τις κλίσεις των κυματομορφών των σημάτων εισόδου και εξόδου.
- Οι **χρόνοι ανόδου και καθόδου** t_r και t_f εκφράζουν πόσο γρήγορα ένα σήμα διέρχεται μεταξύ διαφορετικών επιπέδων ενός κυκλώματος.
- Οι χρόνοι ανόδου και καθόδου καθορίζονται μεταξύ των σημείων 10% και 90% των κυματομορφών των σημάτων.
- Ο χρόνος ανόδου/καθόδου ενός σήματος καθορίζεται κατά ένα μεγάλο μέρος από την δυνατότητα οδήγησης της οδηγούσας πύλης και από τον φόρτο που αυτή οδηγεί.

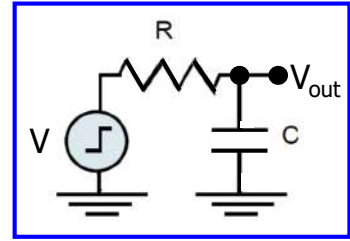
Καθυστέρηση διάδοσης

Ταλαντωτής δακτυλίου (ring oscillator) για μέτρηση και σύγκριση καθυστέρησης διαφορετικών τεχνολογιών



Καθυστέρηση διάδοσης

- Τα ψηφιακά κυκλώματα συχνά μοντελοποιούνται ως **δικτυώματα RC πρώτης τάξης**. Η χωρητικότητα εξόδου ενός κυκλώματος φορτίζεται ή εκφορτίζεται μέσω μίας αντίστασης που αντιστοιχεί σε μια αγώγιμη διαδρομή από τρανζιστορ.
- Εφαρμόζοντας βηματική είσοδο (η τάση εισόδου αλλάζει από 0 σε V και ο πυκνωτής φορτίζεται μέσω της R), η απόκριση του κυκλώματος (V_{out}) είναι εκθετική συνάρτηση του χρόνου:



$$V - V_R - V_{out} = 0 \Rightarrow V = I \cdot R + V_{out} \Rightarrow V = \frac{dQ}{dt} \cdot R + V_{out} \Rightarrow$$

$$V = \frac{d(C \cdot V_{out})}{dt} \cdot R + V_{out} \Rightarrow \frac{dV_{out}}{dt} + \frac{V_{out}}{R \cdot C} - \frac{V}{R \cdot C} = 0 \Rightarrow V_{out} = V \cdot (1 - e^{-\frac{t}{\tau}})$$

Συνήθης διαφορική εξίσωση 1ης τάξης, 1ου βαθμού

όπου $\tau = R \cdot C$ η σταθερά χρόνου του δικτυώματος.

- Ο χρόνος t_{pLH} (καθυστέρηση) που η V_{out} φτάνει το σημείο 50% υπολογίζεται εύκολα:

$$\frac{V}{2} = V \cdot (1 - e^{-\frac{t_{pLH}}{\tau}}) \Rightarrow \frac{1}{2} = 1 - e^{-\frac{t_{pLH}}{\tau}} \Rightarrow e^{-\frac{t_{pLH}}{\tau}} = \frac{1}{2} \Rightarrow -\frac{t_{pLH}}{\tau} = -\ln(2) \Rightarrow t_{pLH} = \ln(2) \cdot \tau$$

- Όμοιο αποτέλεσμα προκύπτει για την εκφόρτιση του πυκνωτή (δηλ. για την t_{pHL}).

Ισχύς και κατανάλωση ενέργειας

- Η **ισχύς** ενός κυκλώματος καθορίζει το ποσό της ενέργειας που καταναλώνει σε λειτουργία το κύκλωμα και το ποσό της θερμότητας που αποβάλλει.
- Αυτοί οι παράγοντες επηρεάζουν ένα μεγάλο αριθμό κρίσιμων αποφάσεων σχεδιασμού, όπως τη διάρκεια ζωής των μπαταριών, το μέγεθος των γραμμών τροφοδοσίας και τις απαιτήσεις συσκευασίας και ψύξης.
- Επομένως, η ισχύς και η **κατανάλωση ενέργειας** είναι μία σημαντική ιδιότητα ενός κυκλώματος που επιδρά στην εφικτότητα της υλοποίησής του, στο κόστος και στην αξιοπιστία του.
- Με την αυξανόμενη δημοτικότητα των φορητών υπολογιστικών συστημάτων που χρησιμοποιούν μπαταρίες, οι ενεργειακοί περιορισμοί αποτελούν βασικό παράγοντα που θα πρέπει να λαμβάνεται υπόψη κατά το σχεδιασμό και την κατασκευή.
- Η **μέγιστη ισχύς** είναι σημαντική κατά τη μελέτη του μεγέθους των γραμμών τροφοδοσίας, ενώ όταν εξετάζουμε τις απαιτήσεις για ψύξη ή μπαταρίες, μας ενδιαφέρει πρωτίστως η **μέση ισχύς**.

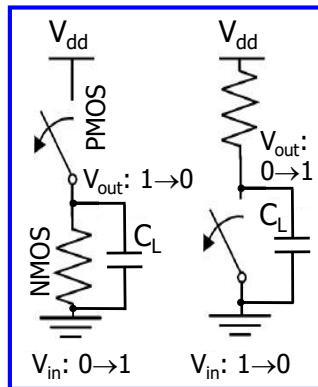
$$P_{peak} = V_{supply} i_{peak}$$

$$P_{ave} = \frac{1}{T} \int_t^{t+T} p(t) dt = \frac{V_{supply}}{T} \int_t^{t+T} i_{supply}(t) dt$$

V_{supply} ή V_{dd} : τάση τροφοδοσίας των κυκλωμάτων.
 i_{supply} ή i_{dd} : ρεύμα που ρέει από την τροφοδοσία.

Ισχύς και κατανάλωση ενέργειας

- Η κατανάλωση ενέργειας μπορεί να αναλυθεί περαιτέρω σε **στατική** και **δυναμική**.
- Η **δυναμική κατανάλωση ενέργειας** υφίσταται μόνο κατά τη διάρκεια των μεταβάσεων, όταν η πύλη πραγματοποιεί μεταβολή της τιμής στην έξοδο της και αποδίδεται στη **φόρτιση των χωρητικότητων** και στην ύπαρξη προσωρινών διαδρομών ρεύματος από την τροφοδοσία στη γη (**κατανάλωση βραχυκυκλώματος**).
- Η δυναμική κατανάλωση είναι ανάλογη προς τη συχνότητα των μεταβάσεων (f).
- Η **στατική κατανάλωση ενέργειας** είναι παρούσα ακόμα και όταν δεν εμφανίζεται καμία μετάβαση στην έξοδο της πύλης και προκαλείται από τις **στατικές αγωγίμες διαδρομές** μεταξύ των γραμμών τροφοδοσίας ή από τα **ρεύματα διαρροής**.



$$E_{\text{gate}} = C_L V_{\text{dd}}^2 f_{0 \rightarrow 1} + E_{\text{sc}} + E_{\text{static}} + E_{\text{leakage}}$$

$$E_{0 \rightarrow 1} = \int_0^{T/2} P(t) dt = \int_0^{T/2} V_{\text{dd}} i_{\text{dd}}(t) dt = V_{\text{dd}} \int_0^{T/2} C_L \frac{dV_{\text{out}}}{dt} dt = C_L V_{\text{dd}} \int_0^{V_{\text{dd}}} dV_{\text{out}} = C_L V_{\text{dd}}^2$$

$$E_C = \int_0^{T/2} P_C(t) dt = \int_0^{T/2} V_{\text{out}} i_C(t) dt = \int_0^{T/2} C_L \frac{dV_{\text{out}}}{dt} V_{\text{out}} dt = C_L \int_0^{V_{\text{dd}}} dV_{\text{out}} = \frac{C_L V_{\text{dd}}^2}{2}$$

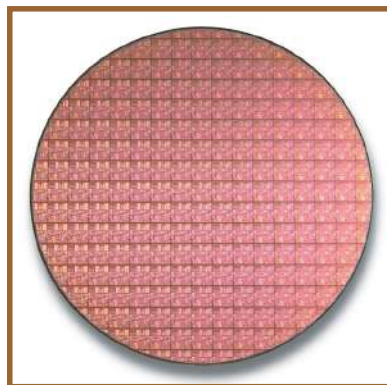
50% της $E_{0 \rightarrow 1}$ αποθηκεύεται στη C_L & 50% καταναλώνεται στο PMOS

Γινόμενο ενέργειας - καθυστέρησης διάδοσης

- Η καθυστέρηση διάδοσης και η κατανάλωση ενέργειας μίας πύλης σχετίζονται, αφού η καθυστέρηση διάδοσης καθορίζεται κυρίως από την ταχύτητα με την οποία η ενέργεια αποθηκεύεται στις χωρητικότητες των πυλών.
- Όσο γρηγορότερη είναι η μεταφορά της ενέργειας (ή όσο υψηλότερη η ισχύς), τόσο γρηγορότερη είναι η πύλη.
- Το **γινόμενο ενέργειας - καθυστέρησης (energy-delay product, EDP)** μπορεί να θεωρηθεί ως ποιοτικό μέτρο μιας πύλης, αφού η ιδανική πύλη είναι γρήγορη και καταναλώνει λίγη ενέργεια.
- Το **γινόμενο ισχύος - καθυστέρησης (power-delay product, PDP)**, χρησιμοποιείται επίσης ως ποιοτικό μέτρο μιας πύλης, αφού στην ουσία είναι ισοδύναμο με το EDP.
- Το PDP είναι στην ουσία η ενέργεια που καταναλώνεται από την πύλη ανά μετάβαση (μεταβολή της τιμής εξόδου της πύλης).

Συμπεράσματα

- Σημαντικό σταθμό στην εξέλιξη των υπολογιστικών συστημάτων αποτελεί η ανακάλυψη του τρανζίστορ διπολικής επαφής και η σύλληψη του ολοκληρωμένου κυκλώματος.
- Η διπολική ψηφιακή λογική αντικαταστάθηκε, σε ότι αφορά το ψηφιακό σχεδιασμό, με την εμφάνιση των MOSFETs, τα οποία παρέχουν τη δυνατότητα ενσωμάτωσης περισσότερων στοιχείων σε ένα ολοκληρωμένο κύκλωμα και καταναλώνουν λιγότερη ενέργεια.
- Η δεύτερη εποχή της επανάστασης των ολοκληρωμένων κυκλωμάτων εγκαινιάστηκε με την εμφάνιση των πρώτων μικροεπεξεργαστών στις αρχές της δεκαετίας του 1970.
- Η εξέλιξη της τεχνολογίας κατασκευής ολοκληρωμένων κυκλωμάτων με MOSFETs, καθώς και η απαίτηση για κυκλώματα με χαμηλότερη κατανάλωση ενέργειας, οδήγησε στη χρήση της τεχνολογίας CMOS (συμπληρωματική χρήση NMOS και PMOS), η οποία παραμένει μέχρι σήμερα.
- Τα ψηφιακά κυκλώματα έχουν παρουσιάσει αλματώδη ανάπτυξη και προβλέπεται να διατηρήσουν τη δυναμική τους για τις επόμενες δεκαετίες.
- Οι προκλήσεις για το μέλλον είναι πολλές και ενδιαφέρουσες (περαιτέρω σμίκρυνση της τεχνολογίας, προηγμένα εργαλεία σχεδιασμού, προηγμένες τεχνικές κατασκευής κ.ά.).
- Η κατανόηση των βασικών χαρακτηριστικών των ολοκληρωμένων κυκλωμάτων, όπως κόστος, λειτουργικότητα και στιβαρότητα, συχνότητα και καθυστέρηση διάδοσης, κατανάλωση ενέργειας, είναι πολύ σημαντική για τους σχεδιαστές.



2^η ενότητα:

ΔΙΕΡΓΑΣΙΑ ΚΑΤΑΣΚΕΥΗΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ



- Κατασκευή ολοκληρωμένων κυκλωμάτων CMOS
- Ράβδος και δισκίο πυριτίου
- Φωτολιθογραφία
- Βήματα διεργασίας κατασκευής ολοκληρωμένων κυκλωμάτων CMOS
- Σχεδιασμός και κατασκευή αντιστροφέα CMOS
- Κανόνες σχεδιασμού ολοκληρωμένων κυκλωμάτων
- Προηγμένες τεχνικές διεργασιών κατασκευής ολοκληρωμένων κυκλωμάτων
- Συσκευασία (packaging) ολοκληρωμένων κυκλωμάτων
- Τοποθέτηση ολοκληρωμένων κυκλωμάτων σε κάρτα
- Μονάδες πολλαπλών ολοκληρωμένων κυκλωμάτων (multi-chip modules, MCMs)
- Σύστημα σε μία συσκευασία (system-in-a-package)
- Συμπεράσματα

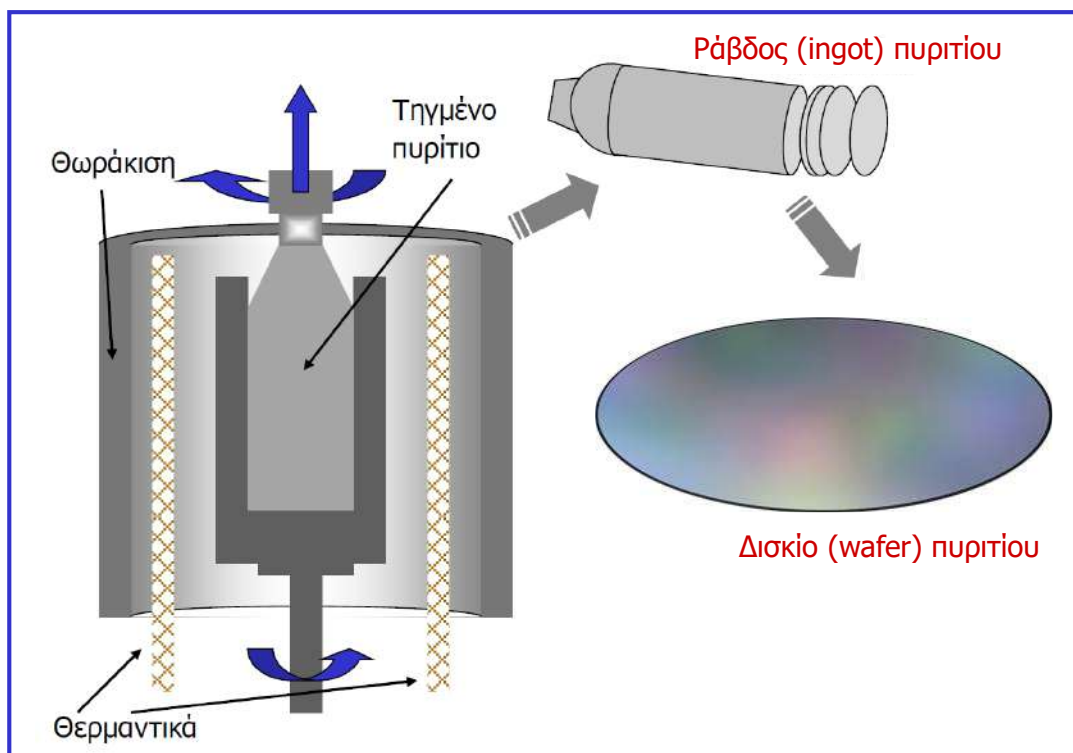
Κατασκευή ολοκληρωμένων κυκλωμάτων

- Οι περισσότεροι σχεδιαστές δεν έρχονται σχεδόν ποτέ αντιμέτωποι με τις λεπτομέρειες της διεργασίας κατασκευής των ολοκληρωμένων κυκλωμάτων.
- Ωστόσο, η βασική γνώση των βημάτων που οδηγούν σε ένα λειτουργικό ολοκληρωμένο κύκλωμα πυριτίου είναι αρκετά χρήσιμη για την κατανόηση των φυσικών περιορισμών, και της επίδρασης της διεργασίας κατασκευής στο κόστος.
- Η διασύνδεση μεταξύ της διεργασίας κατασκευής και του σχεδιασμού ολοκληρωμένων κυκλωμάτων είναι οι **οπτικές μάσκες**.
- Οι μάσκες αντιστοιχούν στις διαφορετικές στρώσεις του ημιαγωγικού υλικού που τυπώνονται και σχηματίζουν τα διάφορα ηλεκτρονικά στοιχεία και τις γραμμές διασύνδεσης του ολοκληρωμένου κυκλώματος.
- Κατά τον σχεδιασμό των μασκών πρέπει να τηρούνται περιορισμοί (**κανόνες σχεδιασμού, design rules**) που αφορούν το ελάχιστο πλάτος τους και την απόσταση μεταξύ τους, ώστε το κύκλωμα που προκύπτει να λειτουργεί σωστά.
- Το **ημιαγωγικό υλικό** βάσης στο οποίο κατασκευάζονται τα ολοκληρωμένα κυκλώματα CMOS είναι το μονοκρυσταλλικό **πυρίτιο (silicon)**.
- Η αγωγιμότητα του πυριτίου μπορεί να μεταβληθεί με την πρόσμιξη ατόμων κατάλληλων υλικών στο κρυσταλλικό πλέγμα του, τα οποία νοθεύουν τον ημιαγωγό παρέχοντάς του **ηλεκτρόνια** ή **οπές**.

Κατασκευή ολοκληρωμένων κυκλωμάτων

- Τα υλικά προσμίξεων που δέχονται ηλεκτρόνια από το πυρίτιο και αφήνουν σε αυτό κενές θέσεις (οπές), λέγονται **αποδέκτες (acceptors)**.
- Τα υλικά προσμίξεων που παρέχουν **ηλεκτρόνια** στο πυρίτιο, λέγονται **δότες (donors)**.
- Όταν το πυρίτιο περιέχει πλειονότητα δοτών χαρακτηρίζεται ως **τύπου n**, ενώ αντίθετα όταν περιέχει πλειονότητα αποδεκτών χαρακτηρίζεται ως **τύπου p**.
- Κατά τη σύνδεση περιοχών πυριτίου τύπου n και p, η περιοχή όπου το υλικό αλλάζει από τύπου n σε τύπου p, σχηματίζει μια **επαφή (junction)**.
- Χρησιμοποιώντας δομές περιοχών τύπου n και p, τοποθετώντας κατάλληλα τις επαφές και δημιουργώντας συνδυασμούς με άλλες δομές, είναι δυνατή η υλοποίηση ημιαγωγικών στοιχείων που συνθέτουν τα ολοκληρωμένα κυκλώματα.
- Το βασικό υλικό κατασκευής είναι το **δισκίο (wafer)** μονοκρυσταλλικού πυριτίου, με διάμετρο από 10 έως 30 cm και πάχος μικρότερο από 1 mm.
- Τα δισκία προέρχονται από τον τεμαχισμό **κυλινδρικών ράβδων μονοκρυσταλλικού πυριτίου** (μήκος 1 – 2 m) που παράγονται από μια χοάνη τήξης, στην οποία λιώνεται καθαρό πολυκρυσταλλικό πυρίτιο (μέθοδος Czochralski).
- Στο υλικό προστίθενται **ελεγχόμενες ποσότητες προσμείξεων**, ώστε να αποκτήσει τις απαιτούμενες ηλεκτρικές ιδιότητες.

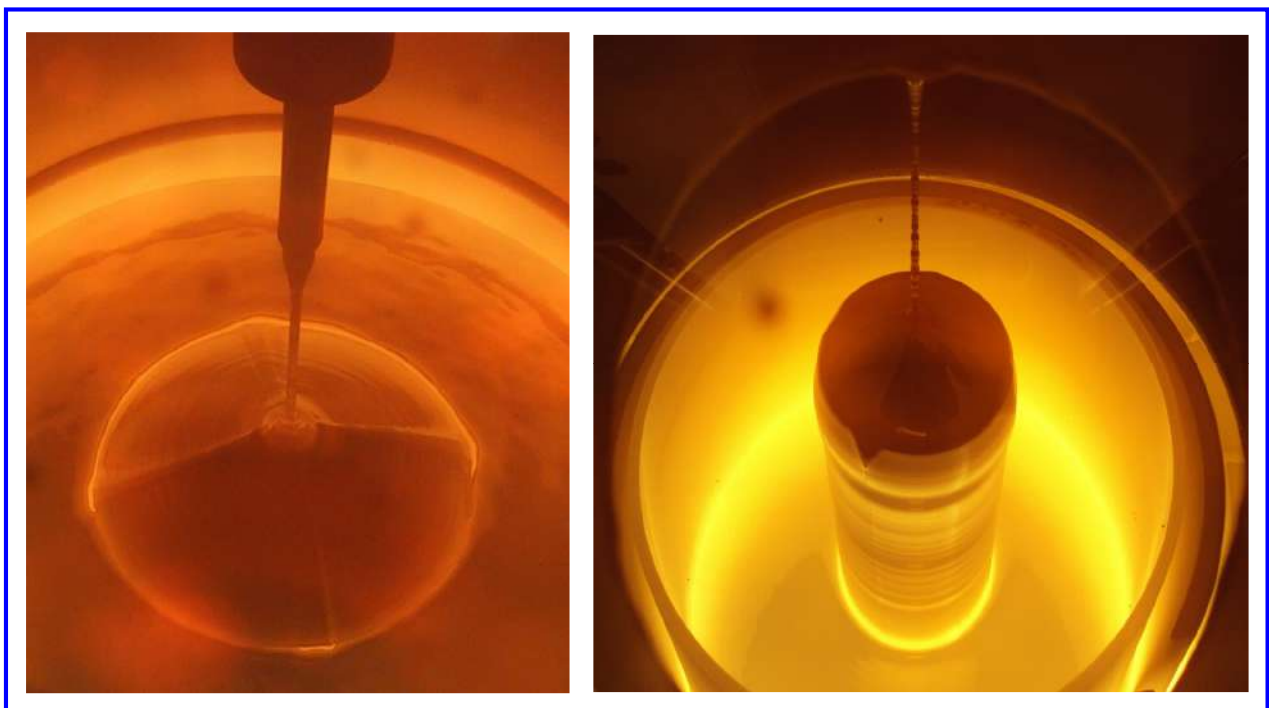
Ράβδος και δισκίο πυριτίου



Ράβδος και δισκίο πυριτίου



Ράβδος και δισκίο πυριτίου



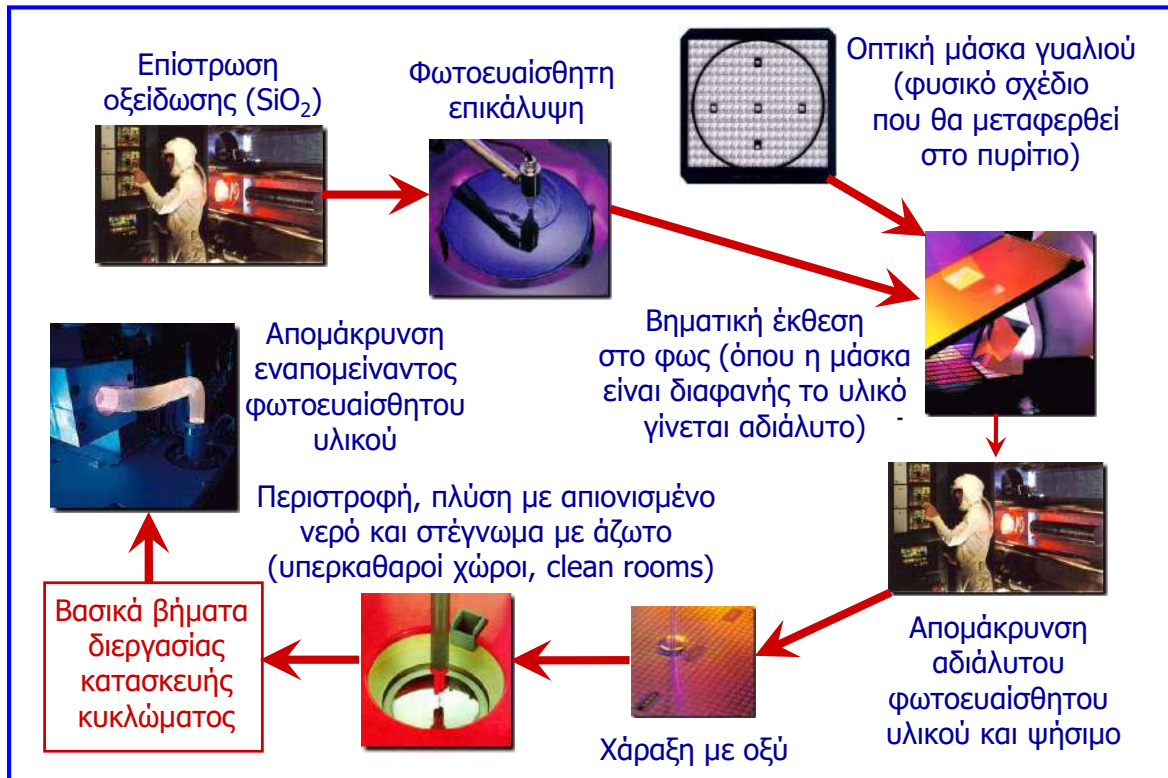
Ράβδος και δισκίο πυριτίου



Ράβδος και δισκίο πυριτίου



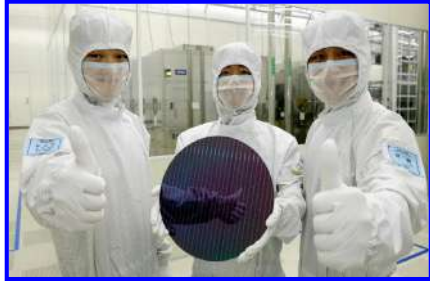
Φωτολιθογραφία



Βασικά βήματα διεργασίας κατασκευής CMOS

- Τα βασικά βήματα της διεργασίας κατασκευής ενός ολοκληρωμένου κυκλώματος, ξεκινούν με τον καθορισμό των ενεργών περιοχών (περιοχές όπου θα κατασκευαστούν τα **τρανζίστορ**).
- Όλες οι άλλες περιοχές της ψηφίδας θα καλυφθούν με ένα αδιαπέραστο στρώμα από SiO_2 , που αναφέρεται ως **οξείδιο πεδίου (field oxide)** και λειτουργεί ως απομονωτής μεταξύ γειτονικών στοιχείων.
- Κατόπιν, σχηματίζονται ελαφρώς νοθευμένα **πηγάδια τύπου p και n** με εμφύτευση ιόντων.
- Για την κατασκευή ενός τρανζίστορ NMOS σε ένα πηγάδι τύπου p, εμφυτεύονται (ή διαχέονται) υψηλής νόθευσης **περιοχές πηγής και υποδοχής** τύπου n σε ένα ελαφρώς νοθευμένο υπόστρωμα τύπου p.
- Μία λεπτή στρώση SiO_2 (**οξείδιο πύλης, gate oxide**) απομονώνει την περιοχή μεταξύ πηγής και υποδοχής και καλύπτεται από **αγώγιμο πολυκρυσταλλικό πυρίτιο (polysilicon)**.
- Το αγώγιμο υλικό σχηματίζει την **πύλη** του τρανζίστορ.
- Τα τρανζίστορ PMOS κατασκευάζονται σε πηγάδι τύπου n με παρόμοιο τρόπο (αντιστρέφοντας n και p).
- Πολλαπλές **στρώσεις μετάλλου** (βολφράμιο, αλουμίνιο, χαλκός) εναποτίθενται πάνω από τα στοιχεία ώστε να σχηματίσουν τις αναγκαίες **διασυνδέσεις** μεταξύ των τρανζίστορ.

Βασικά βήματα διεργασίας κατασκευής CMOS



Καθορισμός των ενεργών περιοχών και χάραξη, γέμισμα των μη ενεργών με SiO_2

Εμφύτευση περιοχών πηγαδιού

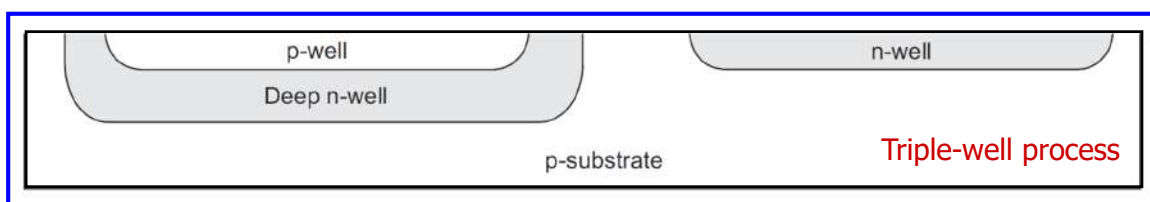
Εναπόθεση και σχηματισμός στρώσεων πολυκρυσταλλικού πυριτίου

Εμφύτευση περιοχών πηγής και υποδοχής των τρανζίστορ

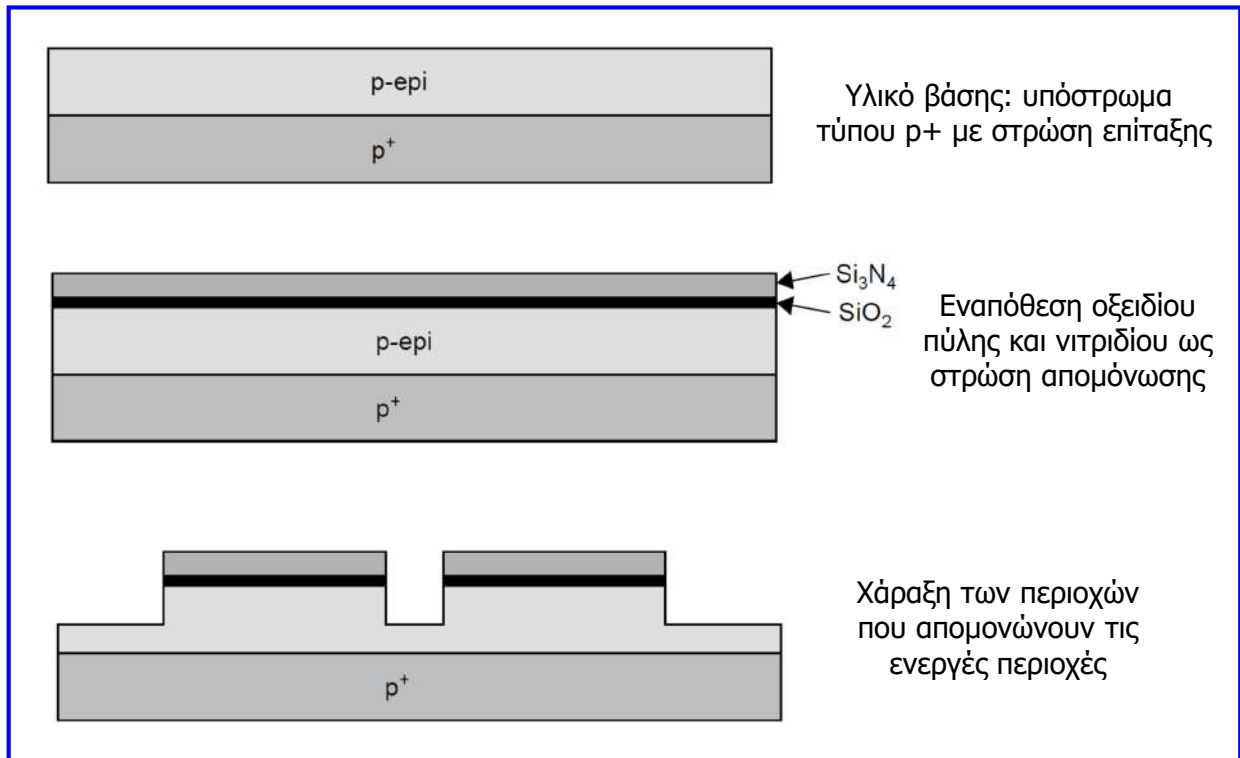
Δημιουργία επαφών (οπών) και περασμάτων (vias) και εναπόθεση στρώσεων μετάλλου

Βασικά βήματα διεργασίας κατασκευής CMOS

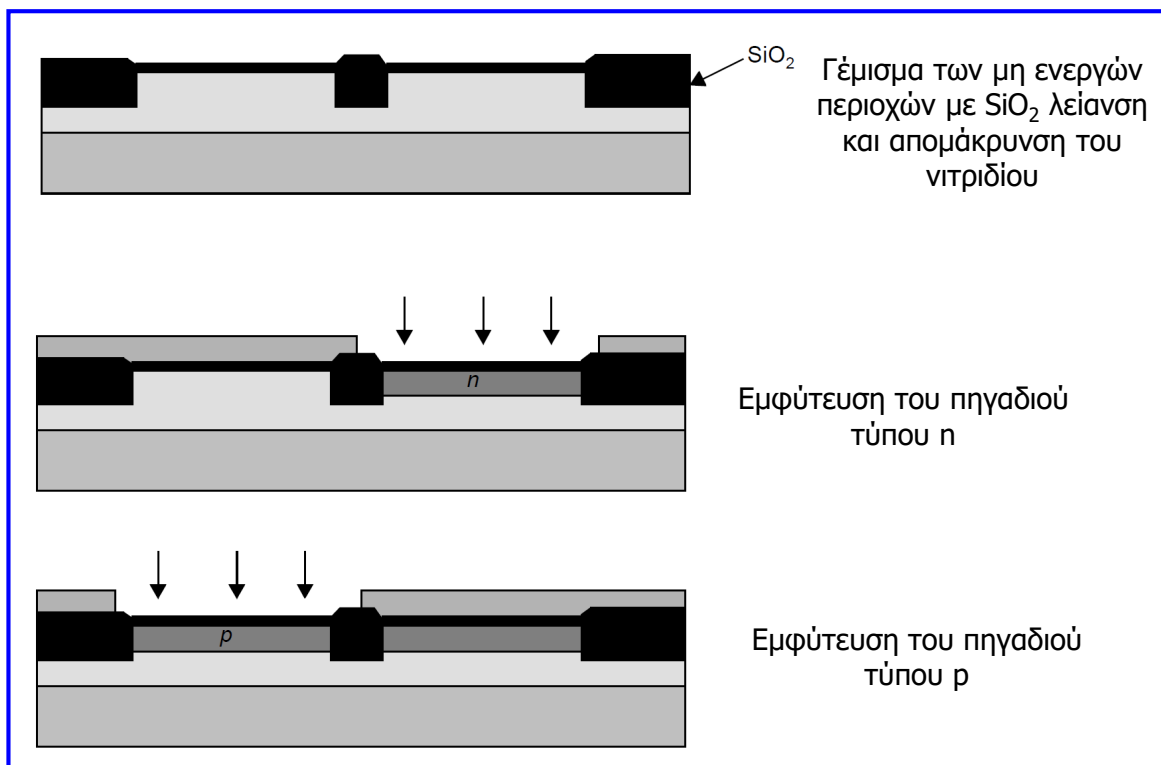
- Οι συνηθέστερες διεργασίες CMOS είναι αυτή που χρησιμοποιούν **έναν τύπο πηγαδιού (single-well processes)**.
- Η πιο διαδεδομένη διεργασία είναι αυτή που χρησιμοποιεί **μόνο πηγάδια τύπου n (n-well process)** στα οποία αναπτύσσονται τα τρανζίστορ PMOS, ενώ τα τρανζίστορ NMOS αναπτύσσονται στο υπόστρωμα τύπου p.
- Οι διεργασίες που χρησιμοποιούν μόνο πηγάδια τύπου p λειτουργούν με αντίστοιχο τρόπο.
- Οι διεργασίες που χρησιμοποιούν και τους **δύο τύπους πηγαδιού (twin-well processes)** πλεονεκτούν στο ότι καθιστούν δυνατή την βελτιστοποίηση του σχεδιασμού κάθε τύπου τρανζίστορ χωριστά.
- Υπάρχουν και οι διεργασίες **τριπλού πηγαδιού (triple-well processes)**, όπου επιπλέον πηγάδια χρησιμοποιούνται για την απομόνωση ψηφιακών και αναλογικών κυκλωμάτων που αναπτύσσονται στην ίδια ψηφίδα (**mixed-signals chips**).



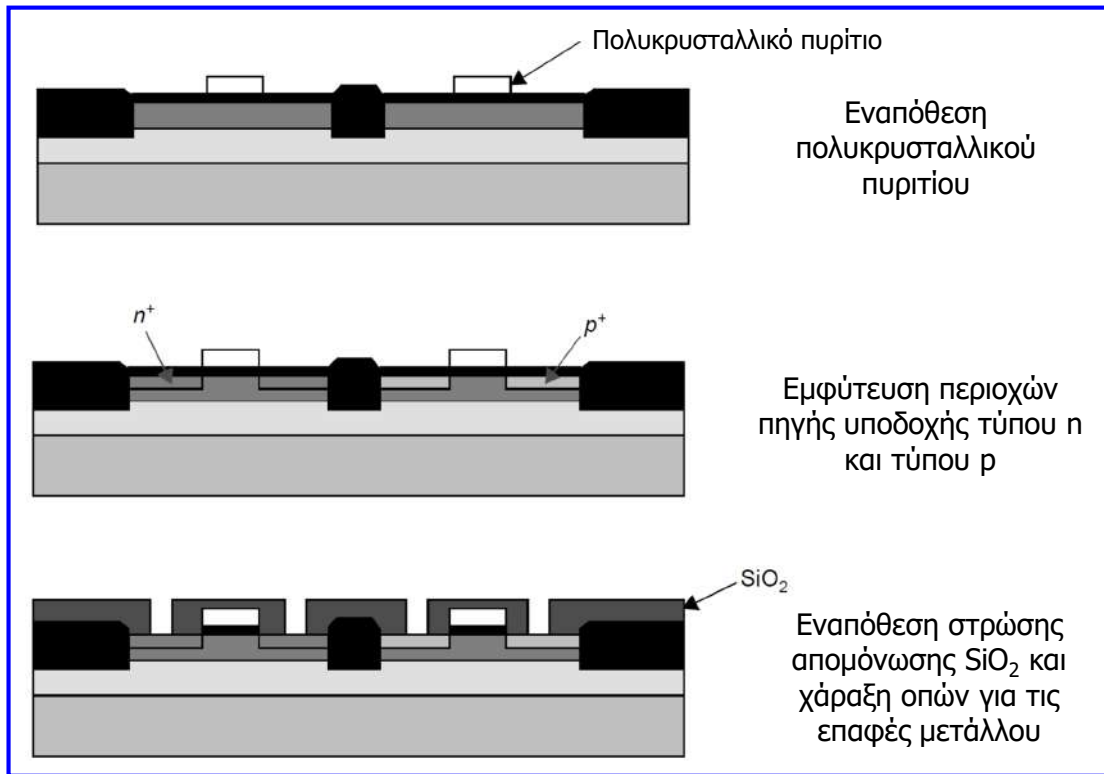
Αναλυτικά βήματα διεργασίας κατασκευής CMOS



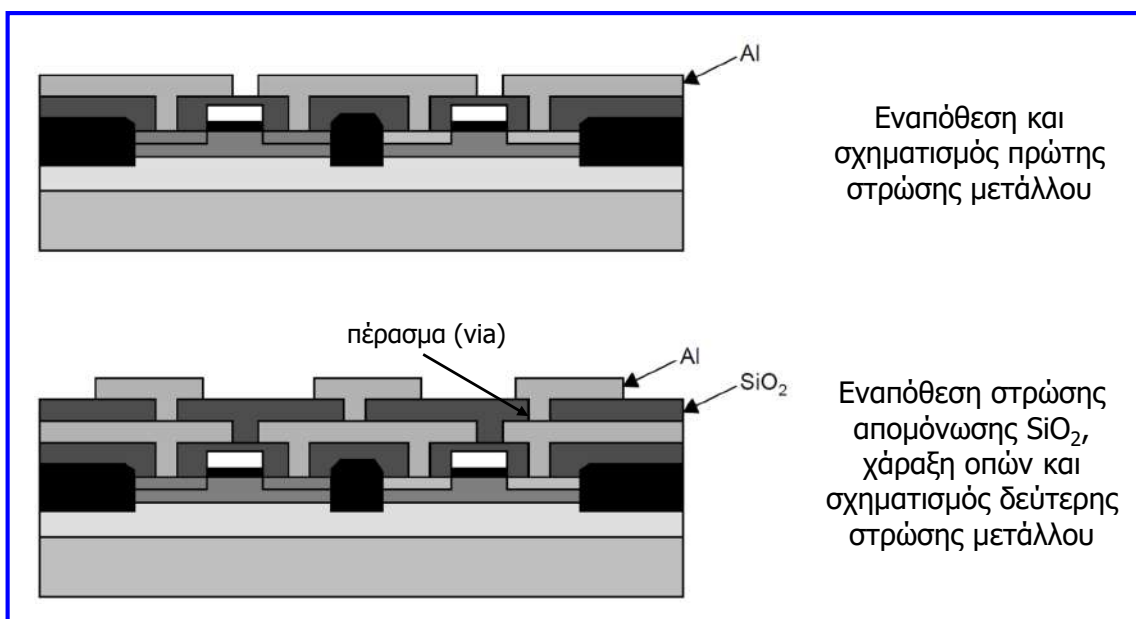
Αναλυτικά βήματα διεργασίας κατασκευής CMOS



Αναλυτικά βήματα διεργασίας κατασκευής CMOS

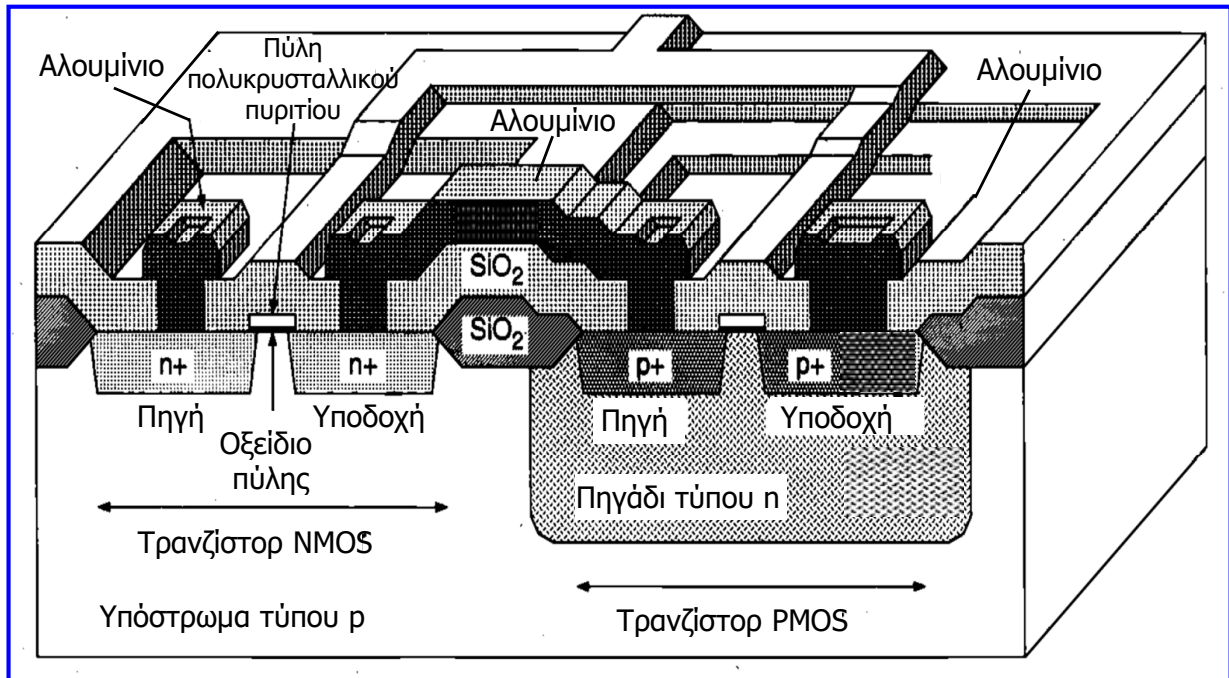


Αναλυτικά βήματα διεργασίας κατασκευής CMOS

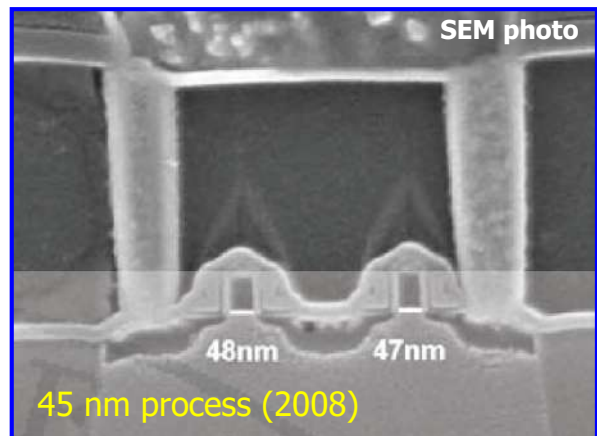
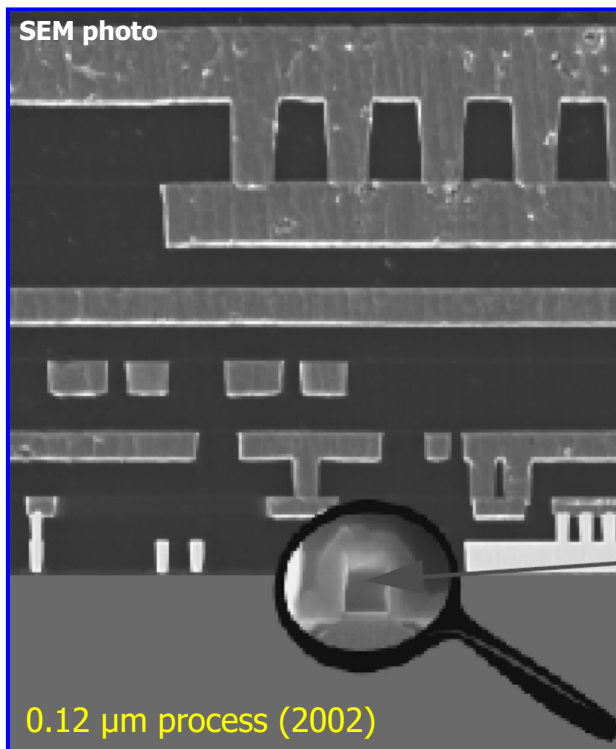


Τρισδιάστατη προοπτική

Διεργασία απλού πηγαδιού, μετά την εναπόθεση της πρώτης στρώσης μετάλλου

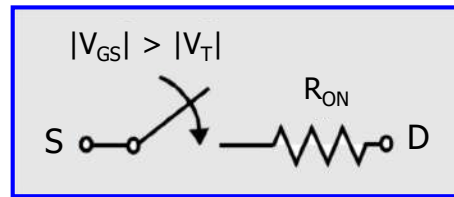


Διεργασίες CMOS

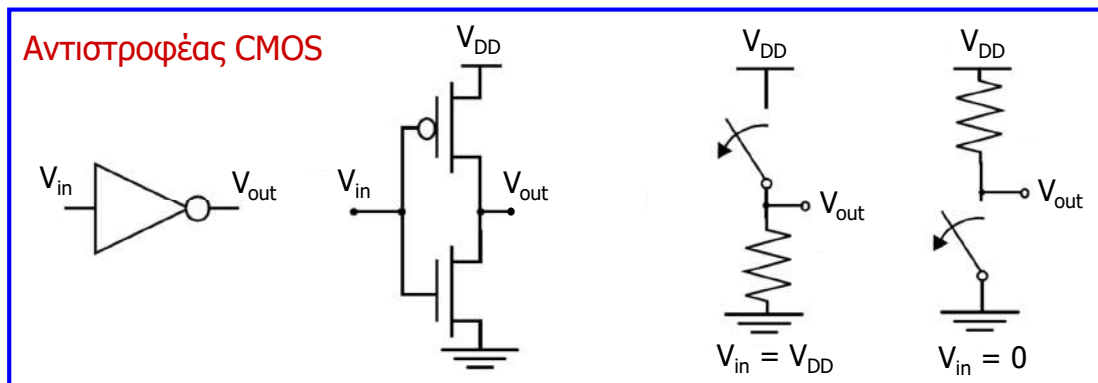


Σχεδιασμός και κατασκευή αντιστροφέα CMOS

- Σύμφωνα με ένα απλό μοντέλο περιγραφής της λειτουργίας ενός τρανζίστορ MOS το **τρανζίστορ** είναι **διακόπτης** με άπειρη αντίσταση αποκοπής (για $|V_{GS}| < |V_T|$) και πεπερασμένη αντίσταση αγωγής (για $|V_{GS}| > |V_T|$), όπου V_T η τάση κατωφλίου.

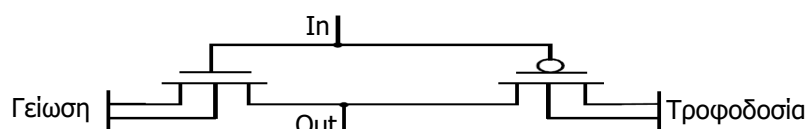


- Όταν $V_{in} = V_{DD}$ (τάση τροφοδοσίας), το NMOS άγει και το PMOS είναι σε αποκοπή, με αποτέλεσμα μία αγωγίμη διαδρομή μεταξύ V_{out} γείωσης που οδηγεί την V_{out} σε τιμή 0.
- Όταν $V_{in} = 0$, το NMOS είναι σε αποκοπή και το PMOS άγει, με αποτέλεσμα μία αγωγίμη διαδρομή μεταξύ V_{DD} και V_{out} , που οδηγεί την V_{out} στην υψηλή στάθμη (V_{DD}).

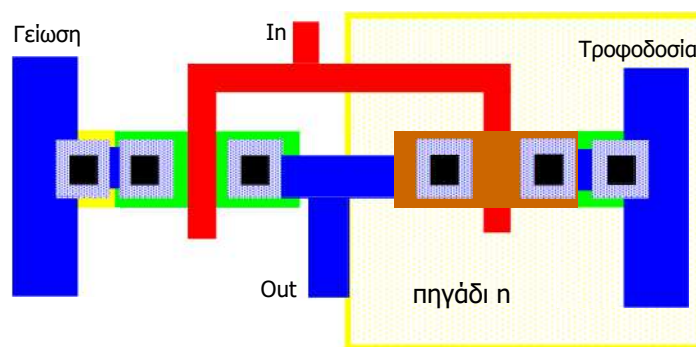


Σχεδιασμός και κατασκευή αντιστροφέα CMOS

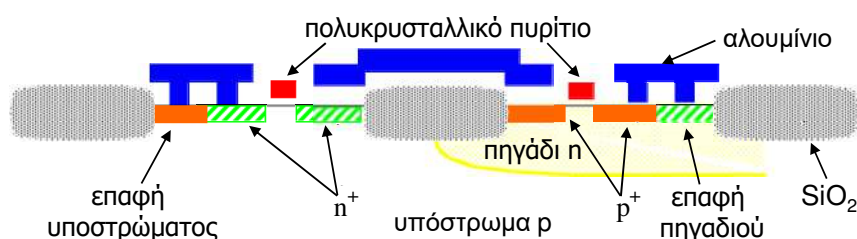
Κυκλωματικό
διάγραμμα



Φυσικός
σχεδιασμός



Κατασκευή

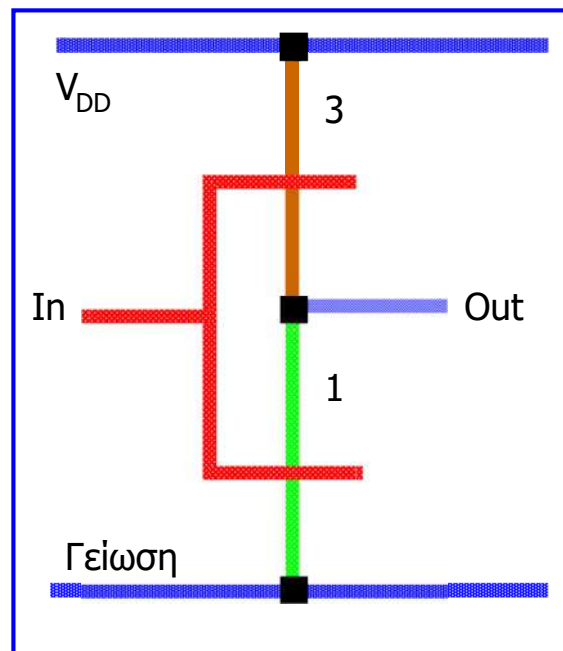


Σχεδιασμός και κατασκευή αντιστροφέα CMOS

Συμβολικό διάγραμμα ή ραβδοδιάγραμμα (sticks diagram) ή διάγραμμα γραμμών:

Αδιάστατο φυσικό σχέδιο, στο οποίο υποδεικνύεται μόνο η τοπολογία (θέσεις) στοιχείων και γραμμών και συνήθως οι λόγοι διαστάσεων (πλάτος / μήκος) του καναλιού των τρανζιστορ.

Το εργαλείο του **συμπιεστή (layout compactor)** λαμβάνει ως είσοδο το συμβολικό διάγραμμα, μεταφράζει τους κανόνες σχεδιασμού, διευθετεί αυτόματα τα στοιχεία του κυκλώματος και ελαχιστοποιεί την καταλαμβανόμενη επιφάνεια.



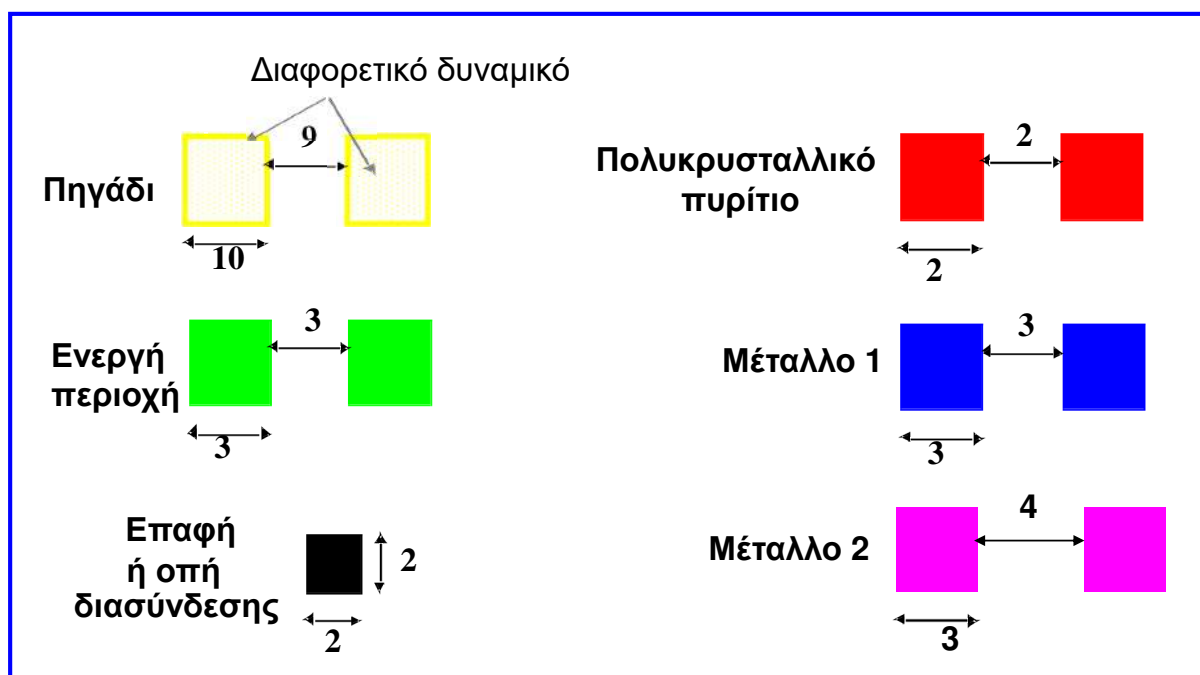
Κανόνες σχεδιασμού ολοκληρωμένων κυκλωμάτων

- Σκοπός του καθορισμού ενός συνόλου κανόνων σχεδιασμού είναι η ακριβής μετατροπή ενός κυκλώματος σε πραγματική γεωμετρία στην επιφάνεια του πυριτίου.
- Οι κανόνες φυσικού σχεδιασμού είναι το μέσο επικοινωνίας μεταξύ του σχεδιαστή κυκλωμάτων και του μηχανικού διεργασίας κατασκευής.
- Οι κανόνες σχεδιασμού είναι ένα σύνολο οδηγιών για την κατασκευή των διάφορων μασκών που απαιτούνται στη διαδικασία της παραγωγής των κυκλωμάτων στην επιφάνεια του πυριτίου.
- Είναι **προκαθορισμένοι γεωμετρικοί κανόνες σχεδίασης** που αφορούν **ελάχιστο πλάτη** των διάφορων γραμμών και **ελάχιστη απόσταση** μεταξύ γραμμών της ίδιας στρώσης ή διαφορετικών στρώσεων.
- Το **ελάχιστο πλάτος γραμμής** είναι η ελάχιστη διάσταση μάσκας που μπορεί να μεταφερθεί με ασφάλεια στο ημιαγωγικό υλικό κατά την κατασκευή.
- Συχνά χρησιμοποιούνται **κλιμακωτοί κανόνες σχεδιασμού**, οι οποίοι δίνονται ως συνάρτησης μίας **παραμέτρου λ**.
- Αυτό είναι χρήσιμο όταν ένας σχεδιασμός μεταφέρεται μεταξύ διαφορετικών διεργασιών, αφού η κλιμάκωση των διαστάσεων και αποστάσεων των γραμμών επιτυγχάνεται εύκολα με αλλαγή της τιμής της παραμέτρου λ.
- Το ελάχιστο πλάτος γραμμής ορίζεται ίσο με 2λ . Για παράδειγμα, για μία διεργασία 0.12 μm (ελάχιστο πλάτος γραμμής 0.12 μm), το λ ισούται με 0.06 μm .

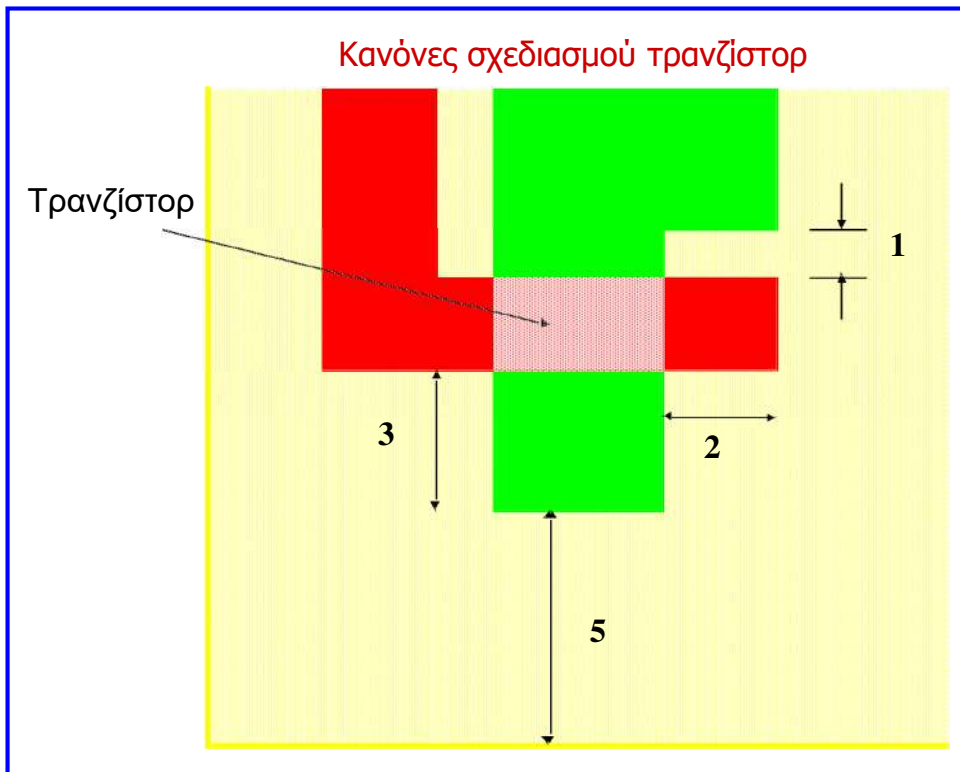
Κανόνες σχεδιασμού ολοκληρωμένων κυκλωμάτων

Στρώση	Σύνηθες χρώμα	
Πηγάδι (p,n)	Κίτρινο	
Ενεργή περιοχή (n+)	Πράσινο	
Ενεργή περιοχή (p+)	Καφέ	
Πολυκρυσταλλικό πυρίτιο	Κόκκινο	
Μέταλλο1	Μπλε	
Μέταλλο2	Φούξια	
Επαφή σε πολυκρ. πυρίτιο	Μαύρο	
Επαφή σε διάχυση	Μαύρο	
Οπή διασύνδεσης	Μαύρο	

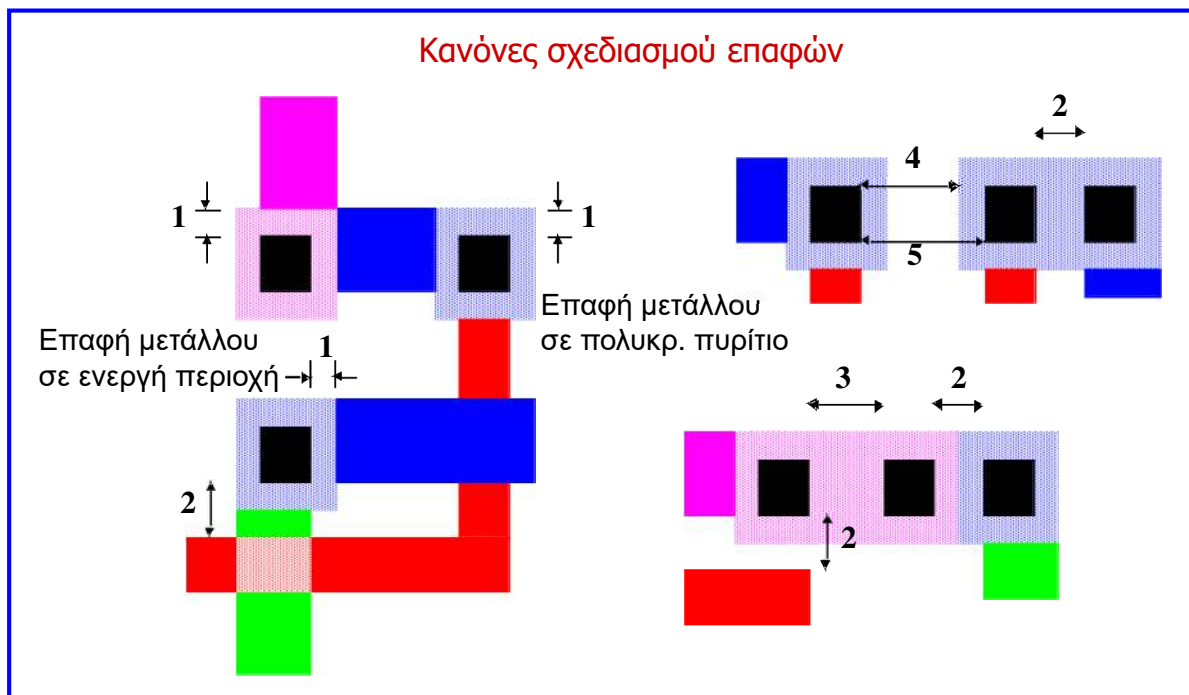
Κανόνες σχεδιασμού ολοκληρωμένων κυκλωμάτων



Κανόνες σχεδιασμού ολοκληρωμένων κυκλωμάτων

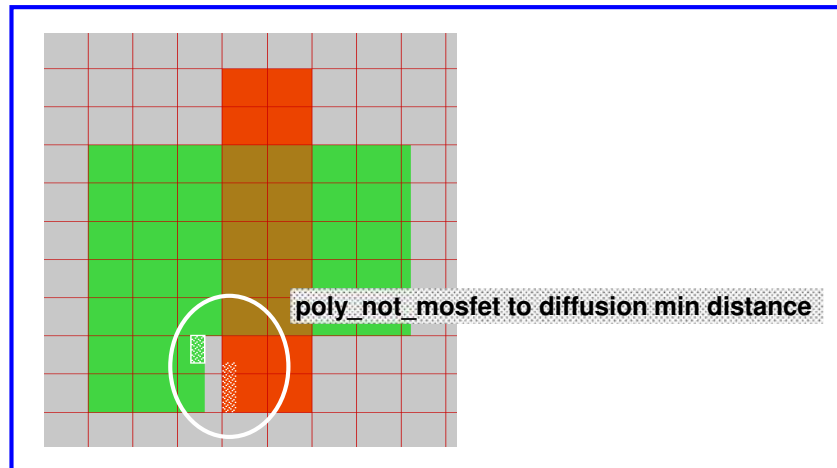


Κανόνες σχεδιασμού ολοκληρωμένων κυκλωμάτων



Κανόνες σχεδιασμού ολοκληρωμένων κυκλωμάτων

- Η εξασφάλιση του ότι κανένας από τους κανόνες σχεδιασμού δεν παραβιάζεται είναι μία θεμελιώδης απαίτηση στη διαδικασία του φυσικού σχεδιασμού.
- Η αποτυχία αυτού θα οδηγήσει σχεδόν σίγουρα σε μη λειτουργικά κυκλώματα.
- Ο έλεγχος των κανόνων σχεδιασμού (*design rule checking, DRC*) γίνεται από ειδικά εργαλεία που είναι συνήθως ενσωματωμένα στα εργαλεία φυσικού σχεδιασμού (συντάκτες φυσικού σχεδίου).

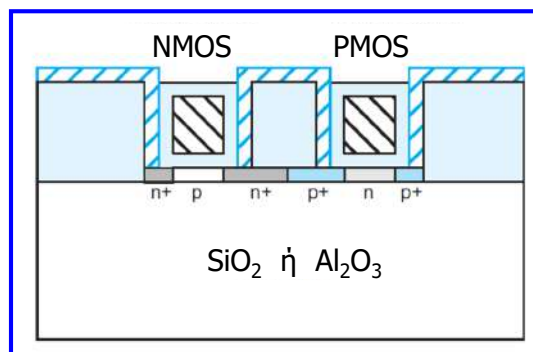


Προηγμένες τεχνικές διεργασιών κατασκευής

- Αν και οι προηγμένες διεργασίες κατασκευής σε γενικές γραμμές ακολουθούν τη ροή των βημάτων που προαναφέρθηκαν, ωστόσο έχουν εφαρμοστεί τροποποιήσεις και βελτιώσεις με στόχο ένα καλύτερο κατασκευαστικό αποτέλεσμα.
- Αρκετές σημαντικές *εξελίξεις ή βελτιώσεις της τεχνολογίας κατασκευής* έχουν εφαρμοστεί και αξίζουν αναφοράς και προσοχής.
- Οι εξελίξεις ή βελτιώσεις αφορούν την *κατασκευή ή την δομή των τρανζίστορ*, αλλά και την *κατασκευή των διασυνδέσεων*.

Διεργασία CMOS πυριτίου πάνω σε μονωτή (SOI)

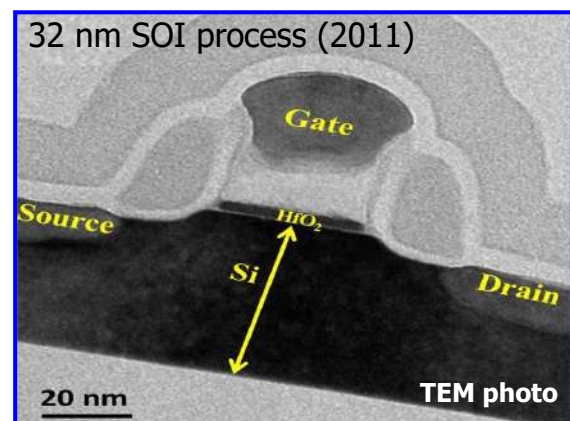
- Η κύρια διαφορά της **διεργασίας CMOS πυριτίου πάνω σε μονωτή (silicon-on-insulator, SOI)** βρίσκεται στο αρχικό υλικό.
- Τα τρανζίστορ SOI κατασκευάζονται σε μία λεπτή στρώση πυριτίου, που έχει εναποτεθεί πάνω σε ένα παχύ στρώμα μονωτικού SiO₂ ή ζαφειριού (Al₂O₃).
- Βασικό πλεονέκτημα της διεργασίας SOI είναι οι μειωμένες παρασιτικές χωρητικότητες μεταξύ των περιοχών πηγής-υποδοχής και του υποστρώματος, γεγονός που οδηγεί σε τρανζίστορ υψηλότερης ταχύτητας (έως 20%).
- Δεύτερο πλεονέκτημα είναι το γεγονός ότι παρουσιάζει μικρότερο ρεύμα διαρροής στα τρανζίστορ με αποτέλεσμα μικρότερη κατανάλωση ενέργειας.
- Μειονέκτημα αποτελεί το αυξημένο κόστος της προετοιμασίας του υποστρώματος SOI.



Τρανζίστορ με διηλεκτρικό πύλης υψηλής σταθεράς (k)

- Στα τρανζίστορ MOSFET απαιτείται μεγάλη χωρητικότητα πύλης, έτσι ώστε να προσελκυστεί φορτίο στο κανάλι.
- Αυτό οδηγεί στην ανάγκη χρήσης πολύ λεπτού οξειδίου πύλης (διηλεκτρικού της χωρητικότητας πύλης), π.χ. σε μια διεργασία 65 nm το πάχος του οξειδίου πύλης είναι 1.2 nm.
- Σε τρανζίστορ με τόσο μικρά πάχη οξειδίου πύλης, το ρεύμα διαρροής πύλης αυξάνεται σε προβληματικά επίπεδα.
- Αν χρησιμοποιηθεί διηλεκτρικό υλικό με μεγαλύτερη σταθερά από το SiO₂ (k = 3.9), μειώνεται το ρεύμα διαρροής της πύλης.
- Αρχικά, σε διεργασίες 130 nm (2001), χρησιμοποιήθηκε ως διηλεκτρικό το οξυνιτρίδιο του πυριτίου (SiON) με σταθερά k = 4.2.
- Σε διεργασίες 45, 32 nm (2008, 2011) χρησιμοποιήθηκε ως διηλεκτρικό πύλης το διοξείδιο του χαφνίου (HfO₂) με k = 20.

$$C = \frac{k\epsilon_0 A}{t}$$



Τρανζίστορ με διηλεκτρικό πύλης υψηλής σταθεράς (k)

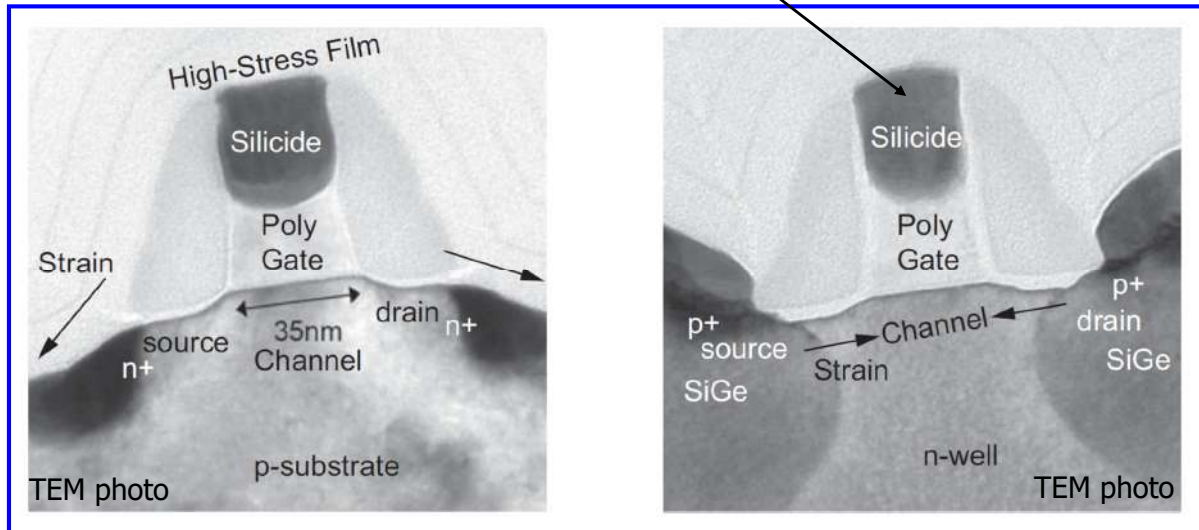
- Ωστόσο, η χρήση τέτοιων διηλεκτρικών οδηγεί στην δημιουργία μιας περιοχής αραιώσης (depletion region) στην επαφή του πολυκρυσταλλικού πυριτίου και του διηλεκτρικού με αποτέλεσμα στην αύξηση του πάχους της περιοχής του διηλεκτρικού, γεγονός που υποβαθμίζει την ταχύτητα του τρανζίστορ.
- Επίσης, οι πύλες πολυκρυσταλλικού πυριτίου είναι γενικά μη συμβατές με διηλεκτρικά υλικά υψηλής διηλεκτρικής σταθεράς, αφού η συνύπαρξή τους προκαλεί αστάθεια στην τάση κατωφλίου των τρανζίστορ και μείωση της κινητικότητας των φορέων που οδηγεί σε επιβράδυνση των τρανζίστορ.
- Για να λυθεί το πρόβλημα αυτό έχει χρησιμοποιηθεί μέταλλο ως υλικό της πύλης των τρανζίστορ και με τον τρόπο αυτό μειώνεται και η αντίσταση της πύλης.
- Ένας τρόπος που έχει ακολουθηθεί, είναι η ανάπτυξη των τρανζίστορ με διηλεκτρικό πύλης υψηλής διηλεκτρικής σταθεράς και τυπική πύλη πολυκρυσταλλικού πυριτίου.
- Στη συνέχεια, το δισκίο γυαλίζεται ώστε να εμφανιστούν οι πύλες πολυκρυσταλλικού πυριτίου και χαράσσεται ώστε να απομακρυνθεί το ανεπιθύμητο πολυκρυσταλλικό πυρίτιο.
- Στο επόμενο βήμα, εναποτίθενται πύλες μετάλλου στα αυλάκια που δημιουργήθηκαν από την χάραξη.

Πυρίτιο υπό μηχανική τάση (strained silicon)

- Η αύξηση της κινητικότητας των φορέων στο κανάλι των τρανζίστορ, αυξάνει το ρεύμα τους, με αποτέλεσμα να γίνονται ταχύτερα.
- Ένας τρόπος να αυξηθεί η κινητικότητα των φορέων είναι η **άσκηση μηχανικής τάσης (πίεση) στο κανάλι (strained silicon)**.
- Το κανάλι του τρανζίστορ NMOS πιέζεται στην άνω πλευρά του από μία στρώση **μονωτικού νιτριδίου του πυριτίου (SiN)**, η οποία καλύπτει την πύλη.
- Το τρανζίστορ PMOS πιέζεται από την πλευρά των περιοχών πηγής και υποδοχής από δύο σχισμές που έχουν χαραχθεί στις περιοχές πηγής και υποδοχής και γεμιστεί με γερμανιούχο πυρίτιο (SiGe).
- Όταν ένα μικρό μέρος των ατόμων του πυριτίου αντικαθίστανται από γερμάνιο, το πλέγμα του πυριτίου διατηρεί τη μορφή του, αλλά δέχεται μηχανική τάση, λόγω του ότι τα άτομα του γερμανίου είναι μεγαλύτερα.
- Σε διεργασία CMOS 65 nm, με την τεχνική «πυρίτιο υπό μηχανική τάση» επιτυγχάνεται έως 40% αύξηση κινητικότητας φορέων στα τρανζίστορ NMOS και έως 100% στα PMOS.

Πυρίτιο υπό μηχανική τάση (strained silicon)

Πυριτιούχο υλικό (π.χ. PtSi, TiSi₂, NiSi) που αντικαθιστά μία στρώση μετάλλου με στόχο τη μείωση της αντίστασης των συνδέσεων

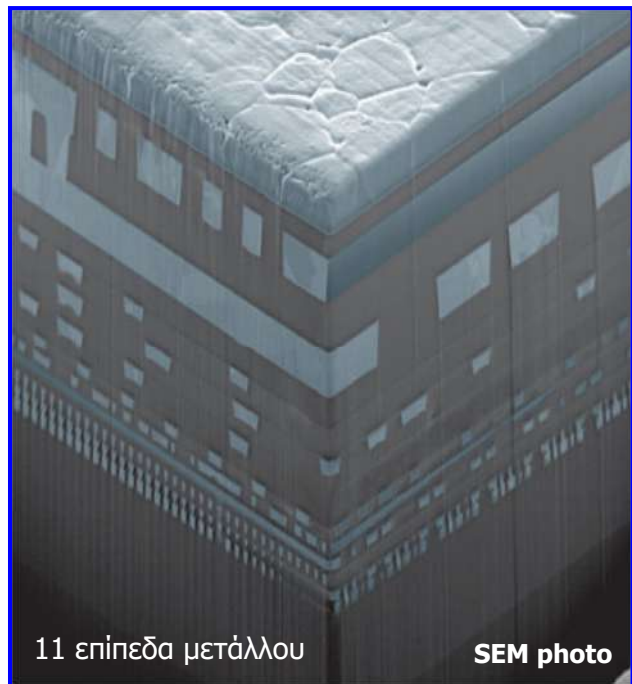


Κατασκευή προηγμένων διασυνδέσεων

- Η επίδραση των διασυνδέσεων στην απόδοση των ολοκληρωμένων κυκλωμάτων γίνεται συνεχώς πιο σημαντική.
- Η αύξηση της πολυπλοκότητας των κυκλωμάτων οδηγεί σε απαίτηση για αυξημένο αριθμό διασυνδέσεων που επιτυγχάνεται κυρίως με χρήση περισσότερων στρώσεων μετάλλου.
- Στα σύγχρονα ολοκληρωμένα κυκλώματα ο αριθμός των στρώσεων μετάλλου που χρησιμοποιείται για διασυνδέσεις έχει ξεπεράσει τις 10 στρώσεις.
- Η επαφή μεταξύ των στρώσεων μετάλλου επιτυγχάνεται με χρήση κατάλληλων δομών που αναφέρονται ως περάσματα (vias).
- Παραδοσιακά, για τις διάφορες στρώσεις μετάλλου χρησιμοποιείται αλουμίνιο σε συνδυασμό με SiO₂ για μόνωση μεταξύ των στρώσεων αλουμινίου.
- Το 1998, πρωτοεμφανίστηκε μια προσέγγιση που έκανε **χρήση του χαλκού ως υλικού διασύνδεσης** για διεργασίες CMOS.
- Ο χαλκός είναι οικονομικότερος από το αλουμίνιο και έχει ειδική αντίσταση σημαντικά μικρότερη από αυτήν του αλουμινίου.
- Έχει όμως το μειονέκτημα της εύκολης διάχυσης στο πυρίτιο, που υποβαθμίζει τα χαρακτηριστικά των στοιχείων.
- Ωστόσο, εάν καλυφθεί με μονωτικό υλικό (TiN) εμποδίζεται η διάχυση (dual damascene process).

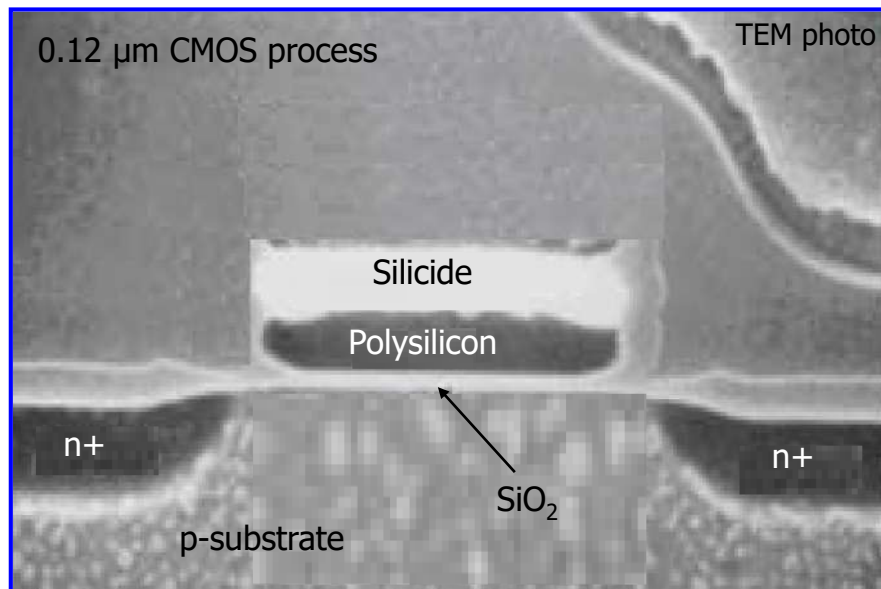
Κατασκευή προηγμένων διασυνδέσεων

Εναπόθεση πολλαπλών στρώσεων μετάλλου



Κατασκευή προηγμένων διασυνδέσεων

- Επιπρόσθετα, μαζί με τις διασυνδέσεις μετάλλου με χαμηλή ειδική αντίσταση, έχουν χρησιμοποιηθεί **μονωτικά υλικά με χαμηλότερη διηλεκτρική σταθερά k** από το SiO_2 και συνεπώς χαμηλότερη χωρητικότητα, που οδηγούν σε αύξηση της ταχύτητας των κυκλωμάτων.
- Η στρώση πολυκρυσταλλικού πυριτίου χρησιμοποιείται ευρέως ως στρώση διασύνδεσης στις πύλες των τρανζίστορ.
- Η αντίστασή του όμως είναι υψηλή, με αποτέλεσμα να υποβαθμίζει την ταχύτητα του κυκλώματος στην περίπτωση όπου χρησιμοποιείται για συνδέσεις μεγάλου μήκους.
- Το χαρακτηριστικό αυτό μπορεί να βελτιωθεί χωρίς να απαιτηθεί στρώση μετάλλου διασύνδεσης, εάν συνδυαστεί το πολυκρυσταλλικό πυρίτιο με κάποιο πυρίμαχο μέταλλο με μικρότερη αντίσταση.
- Μια τεχνική είναι η χρήση **στρώσης πυριτιούχου υλικού (silicide) πάνω στο πολυκρυσταλλικό της πύλης**, η οποία αναφέρεται ως **προσέγγιση polycide**.
- Η διεργασία αυτή επιτρέπει στο υλικό της πύλης να χρησιμοποιηθεί ως γραμμή διασύνδεσης μεγαλύτερου μήκους, λόγω της μειωμένης αντίστασής του.
- Μερικά κατάλληλα πυριτιούχα υλικά (silicides): TaSi_2 , PtSi , NiSi , TiSi_2 , CoSi_2 .

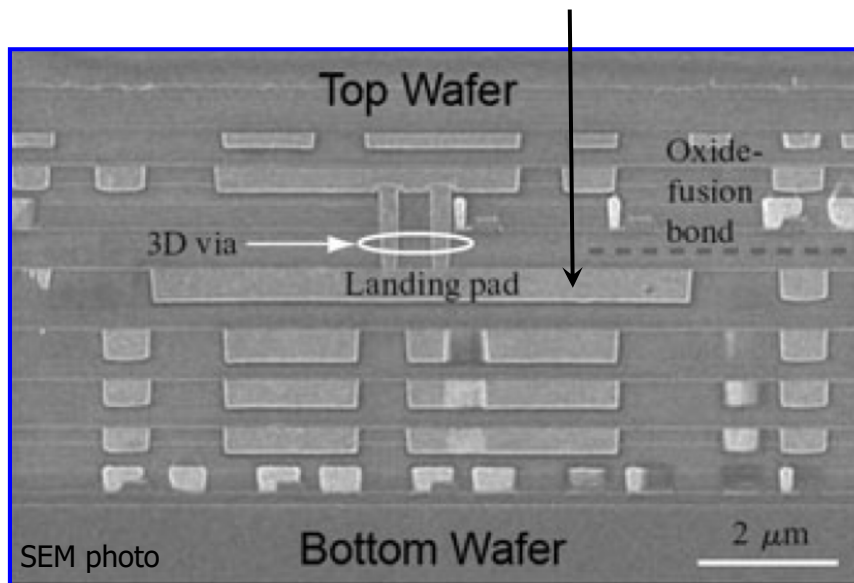


Τρισδιάστατα ολοκληρωμένα κυκλώματα

- Μία από τις κύριες προκλήσεις που εμφανίζεται με τη συνεχή αύξηση της πυκνότητας ολοκλήρωσης είναι η έγκαιρη λήψη των σημάτων εισόδου και εξόδου των στοιχείων.
- Ένας τρόπος για να αντιμετωπίσουμε το πρόβλημα αυτό είναι να εισάγουμε επιπλέον ενεργές στρώσεις και να τις τοποθετήσουμε μεταξύ των στρώσεων μεταλλικών διασυνδέσεων.
- Μια πρώτη προσέγγιση που πέρασε από την έρευνα στην παραγωγή τα τελευταία χρόνια, είναι ο **συνδυασμός δυο πλήρως επεξεργασμένων δισκίων**, στην επιφάνεια των οποίων έχουν κατασκευαστεί κυκλώματα έτσι ώστε τα δισκία να επικαλύπτονται.
- Χαράσσονται οπές διασύνδεσης για να συνδεθούν ηλεκτρικά οι ψηφίδες των δύο δισκίων μετά τη μεταλλοποίηση.
- Ο κύριος περιορισμός της τεχνικής αυτής είναι η περιορισμένη ακρίβεια κατά την ευθυγράμμιση των δισκίων ($> 1 \mu\text{m}$), που περιορίζει την επικοινωνία μεταξύ των ψηφίδων σε καθολικές μεταλλικές γραμμές.

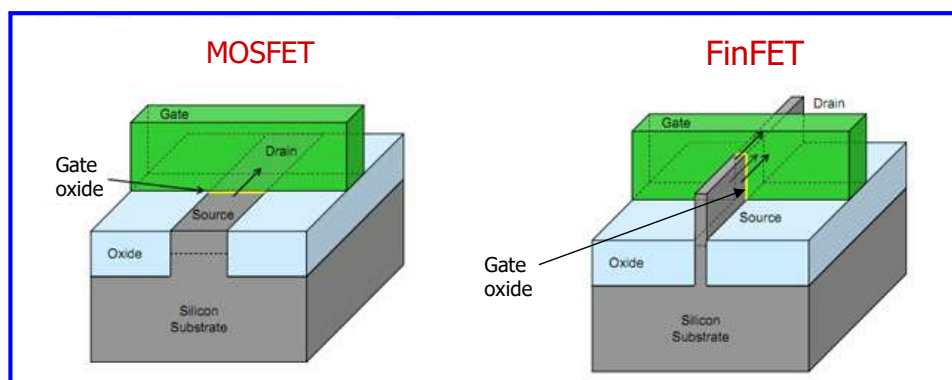
Τρισδιάστατα ολοκληρωμένα κυκλώματα

Ο ακροδέκτης προσγείωσης (landing pad) των 8 μm που είναι μέρος του κάτω δισκίου, παρέχει ανοχή στην μη ευθυγράμμιση με τα τρισδιάστατα περάσματα (3D vias) που προεξέχουν από το άνω δισκίο



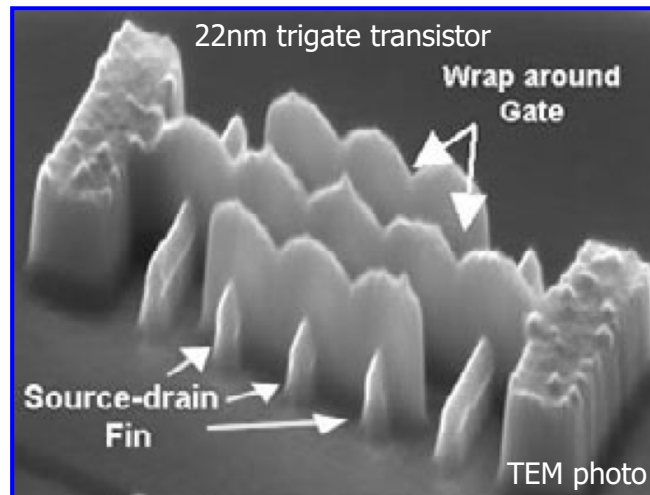
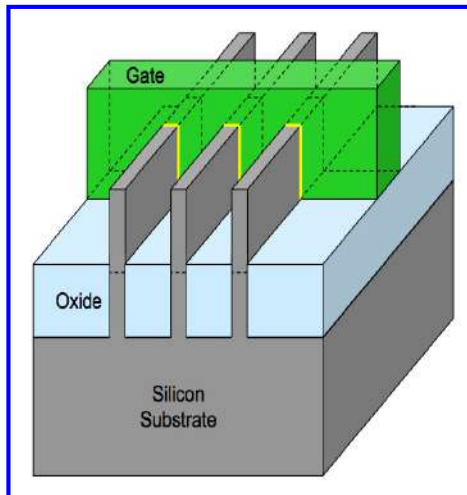
Τρανζίστορ FinFET

- Βασικό πρόβλημα με τη σμίκρυνση των διαστάσεων των MOSFET, είναι το ρεύμα διαρροής από την υποδοχή στην πηγή, όταν $V_{GS} < V_{TH}$.
- Το πρόβλημα αυτό μπορεί να μετριαστεί με την κατασκευή τρανζίστορ που ελέγχουν αποτελεσματικότερα το φορτίο του καναλιού.
- Μια ελπιδοφόρα δομή είναι ο σχηματισμός κατακόρυφου καναλιού και η τοποθέτηση της πύλης έτσι ώστε να περιβάλλει το κανάλι σε 3 πλευρές.
- Τα τρανζίστορ αυτής της δομής αναφέρονται ως FinFET, λόγω του ότι οι περιοχές πηγής και υποδοχής έχουν τη μορφή πτερυγίων (fins).
- Η πύλη τυλίγει τα κατακόρυφα πτερύγια της πηγής και της υποδοχής σε 3 πλευρές



Τρανζίστορ FinFET

- Το πλάτος καναλιού ενός τρανζίστορ FinFET καθορίζεται από το ύψος των πτερυγίων, επομένως για την κατασκευή **τρανζίστορ με ευρύ πλάτος καναλιού** χρησιμοποιούνται **παράλληλα τοποθετημένα πτερύγια**.
- Με την τεχνολογία FinFET αναπτύσσονται σήμερα τρανζίστορ με μήκος καναλιού μικρότερο από 30 nm, με αποτέλεσμα η τεχνολογία αυτή να θέτει σημαντική υποψηφιότητα ως εναλλακτική της τεχνολογίας CMOS, η οποία πιθανώς προσεγγίζει τα όριά της.

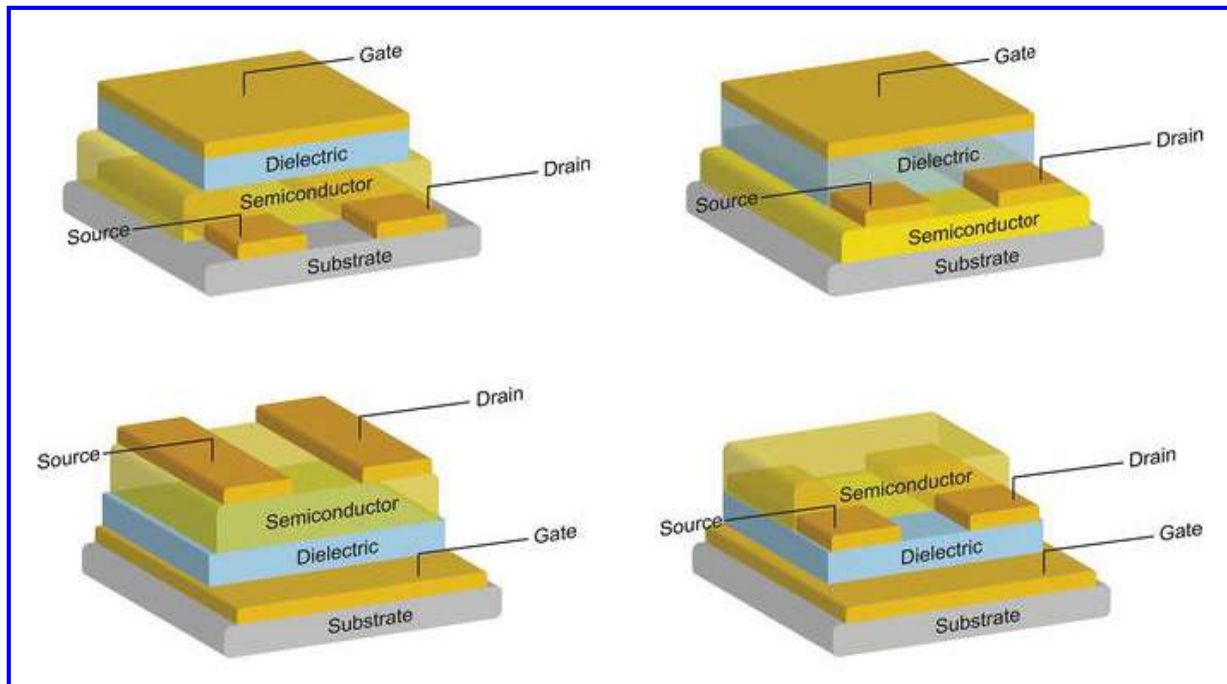


Τρανζίστορ λεπτής μεμβράνης (TFTs)

- Στα **τρανζίστορ λεπτής μεμβράνης (thin film transistors, TFTs)** οι περιοχές υποδοχής, πηγής και καναλιού εναποτίθενται ως λεπτές μεμβράνες ημιαγωγικού υλικού (συνήθως **άμορφο πυρίτιο, a-silicon**) σε ένα **μη αγωγικό υπόστρωμα (συνήθως γυάλινο)**, το οποίο απλώς υποστηρίζει μηχανικά τα τρανζίστορ.
- Η πύλη διαχωρίζεται από την πηγή και την υποδοχή με μία λεπτή στρώση ισχυρού μονωτικού (διηλεκτρικού) υλικού (συνήθως SiN).
- Τα ηλεκτρόδια της υποδοχής και της πηγής σχηματίζονται από δύο παράλληλες λεπτές στρώσεις μετάλλου.
- Τα TFTs μπορούν επίσης να κατασκευαστούν χρησιμοποιώντας **οργανικά υλικά (organic TFTs, OTFTs)** τα οποία αντικαθιστούν το ημιαγωγικό υλικό.
- Η κύρια χρήση των TFTs είναι αυτή του ηλεκτρονικού διακόπτη του ρεύματος μεταξύ πηγή και υποδοχής, ο οποίος ελέγχεται από την τάση που εφαρμόζεται στην πύλη.
- Χρησιμοποιούνται σε **οθόνες υγρών κρυστάλλων (LCDs)**, στις οποίες ενσωματώνονται κατάλληλα και καταλαμβάνουν μικρό ποσοστό της επιφάνειας της οθόνης.
- Ο φωτισμός των περισσότερων από 1 εκατομμύριο εικονοστοιχείων ελέγχεται από ισάριθμους διακόπτες (TFTs) με αποτέλεσμα τα εικονοστοιχεία να αναβοσβήνουν με γρήγορο ρυθμό και να παρέχουν καλύτερα χαρακτηριστικά εικόνας.

Τρανζιστορ λεπτής μεμβράνης (TFTs)

Τα TFTs κατασκευάζονται σε 4 βασικές διαφορετικές δομές:

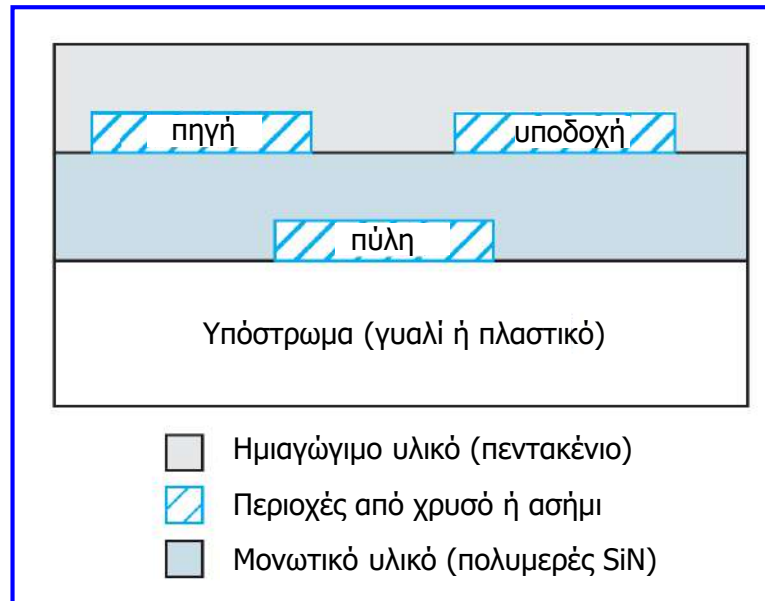


Οργανικά (πλαστικά) τρανζιστορ

- Τα πλαστικά τρανζιστορ κατασκευάζονται από **οργανικά υλικά**.
- Τα τρανζιστορ αυτά θεωρούνται ιδανικά για **επίπεδες οθόνες ενεργής μήτρας (active matrix displays)** και **εύκαμπτα ηλεκτρονικά εξαρτήματα (flexible electronics)**.
- Η κατασκευή τους βασίζεται σε χημικά διαλύματα με μικρό κόστος.
- Αρχικά αναπτύσσονται στο πλαστικό ή γυάλινο υπόστρωμα η πύλη, οι διασυνδέσεις και το μονωτικό υλικό.
- Στη συνέχεια αναπτύσσονται η πηγή και η υποδοχή του τρανζιστορ και στο τέλος εναποτίθεται το ημιαγώγιμο υλικό (συνήθως πεντακένιο).
- Η κινητικότητα των φορέων στα πλαστικά τρανζιστορ είναι 3 τάξεις μεγέθους χαμηλότερη από εκείνη ενός τρανζιστορ πυριτίου, αλλά είναι αρκετή για τις εφαρμογές για τις οποίες προορίζονται τα πλαστικά τρανζιστορ.
- Τυπικό μήκος και πλάτος καναλιού των πλαστικών τρανζιστορ 5 μm και 400 μm , αντίστοιχα.

Οργανικά (πλαστικά) τρανζίστορ

Παράδειγμα δομής οργανικού τρανζίστορ



Συσκευασία (packaging) ολοκληρωμένων κυκλωμάτων

- Η **συσκευασία (packaging)** ενός ολοκληρωμένου κυκλώματος παρέχει το μέσο για τη μεταφορά της τροφοδοσίας και των σημάτων μέσα και έξω από την ψηφίδα, απομακρύνει τη θερμότητα που παράγεται από το κύκλωμα, παρέχει μηχανική υποστήριξη και προστατεύει την ψηφίδα από περιβαλλοντολογικές συνθήκες (π.χ. υγρασία).
- Επιπρόσθετα, η τεχνολογία της συσκευασίας έχει μεγάλη επίδραση στην ταχύτητα και την κατανάλωση ενέργειας ενός κυκλώματος.
- Μέχρι το 50% της καθυστέρησης ενός επεξεργαστή οφείλεται σε καθυστερήσεις λόγω συσκευασίας.
- Τα τελευταία χρόνια έχει επιταχυνθεί η έρευνα για συσκευασίες υψηλότερης επίδοσης με λιγότερα επαγωγικά και χωρητικά παρασιτικά στοιχεία.
- Η αυξανόμενη πολυπλοκότητα των ψηφίδων μεταφράζεται σε ανάγκη για περισσότερους ακροδέκτες εισόδου/εξόδου και επομένως για μεγαλύτερο μέγεθος συσκευασίας.
- Αυτό έχει οδηγήσει στην αντικατάσταση των παραδοσιακών συσκευασιών με προηγμένες προσεγγίσεις, όπως η **τεχνική τοποθέτησης επιφάνειας**, η **διάταξη πλέγματος με μπάλες** και οι **τεχνικές μονάδας πολλαπλών ολοκληρωμένων κυκλωμάτων (multi-chip modules)**.

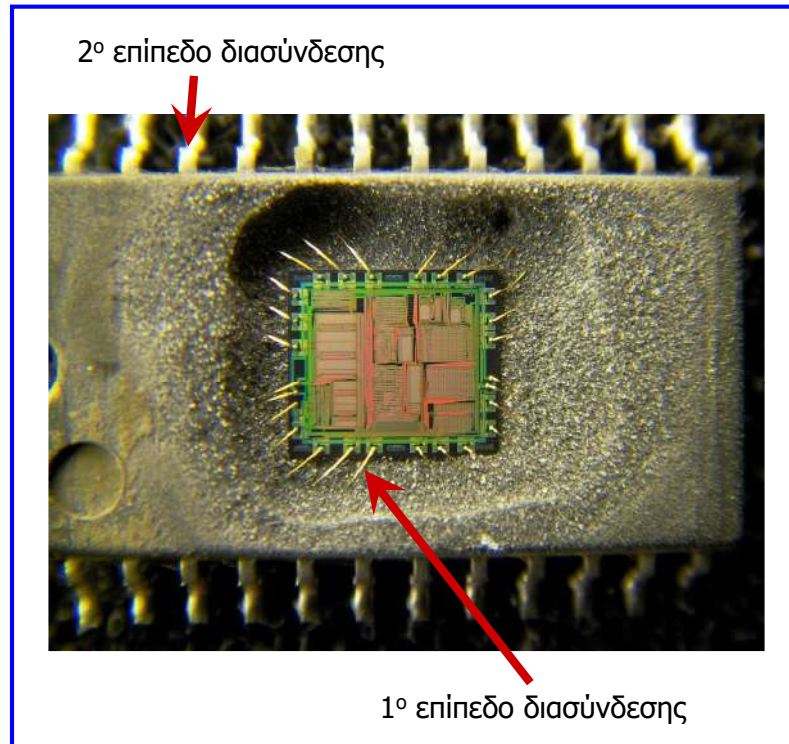
Συσκευασία (packaging) ολοκληρωμένων κυκλωμάτων

- Μια καλή συσκευασία πρέπει να ανταποκρίνεται σε συγκεκριμένες απαιτήσεις:
 - ✓ **Ηλεκτρικές απαιτήσεις** — Ακροδέκτες με μικρή χωρητικότητα (και μεταξύ των καλωδίων και ως προς το υπόστρωμα), αντίσταση και επαγωγή.
 - ✓ **Μηχανικές και θερμικές ιδιότητες** — Υψηλός ρυθμός απομάκρυνσης θερμότητας, δυνατότητα ισχυρής σύνδεσης της ψηφίδας στη συσκευασία και της συσκευασίας στην κάρτα (board).
 - ✓ **Κόστος** — Η αύξηση της θερμότητας στα κυκλώματα συνεπάγεται την αύξηση του κόστους της συσκευασίας τους, αφού για την απαγωγή μεγάλου ποσού θερμότητας απαιτούνται κεραμικές συσκευασίες και όχι πλαστικές που είναι φθηνότερες. Επιπλέον, τα κυκλώματα που καταναλώνουν πάνω από 20 W, απαιτούν ειδικά προσαρτήματα απαγωγών θερμότητας (ψήκτρες, ανεμιστήρες). Η συνεχής αύξηση του αριθμού των ακροδεκτών απαιτεί αύξηση του μεγέθους της συσκευασίας ή μείωση της απόστασης μεταξύ των ακροδεκτών (και τα δύο επιδρούν στο κόστος).
- Οι συσκευασίες μπορούν να ταξινομηθούν με πολλούς διαφορετικούς τρόπους: κύριο υλικό κατασκευής, αριθμός επιπέδων διασύνδεσης, μέσο που χρησιμοποιείται για την απαγωγή της θερμότητας.

Συσκευασία (packaging) ολοκληρωμένων κυκλωμάτων

- Τα συνήθη υλικά που χρησιμοποιούνται για συσκευασία είναι τα **κεραμικά** και τα **πολυμερή (πλαστικά)**.
- Τα πολυμερή έχουν το πλεονέκτημα ότι είναι φθηνότερα, αλλά πάσχουν σε ότι αφορά την απαγωγή θερμότητας.
- Το μειονέκτημα των κεραμικών είναι η υψηλή τους διηλεκτρική σταθερά, που έχει ως αποτέλεσμα μεγάλη χωρητικότητα διασυνδέσεων.
- Η κλασική προσέγγιση συσκευασίας χρησιμοποιεί μία **στρατηγική διασύνδεσης δύο-επιπέδων**.
- Η ψηφίδα αρχικά προσαρμόζεται σε ένα ξεχωριστό φορέα ολοκληρωμένου κυκλώματος ή υπόστρωμα.
- Το σώμα της συσκευασίας περιέχει μία εσωτερική κοιλότητα όπου τοποθετείται το κύκλωμα, η οποία παρέχει επαρκή χώρο για πολλές συνδέσεις στους ακροδέκτες της ψηφίδας.
- Οι ακροδέκτες της συσκευασίας συνθέτουν το δεύτερο επίπεδο διασύνδεσης και συνδέουν το ολοκληρωμένο κύκλωμα στην κάρτα.
- Τα σύνθετα συστήματα περιλαμβάνουν ακόμα περισσότερα επίπεδα διασύνδεσης, επειδή οι κάρτες συνδέονται μεταξύ τους χρησιμοποιώντας πίσω όψεις και λωρίδες καλωδίου.

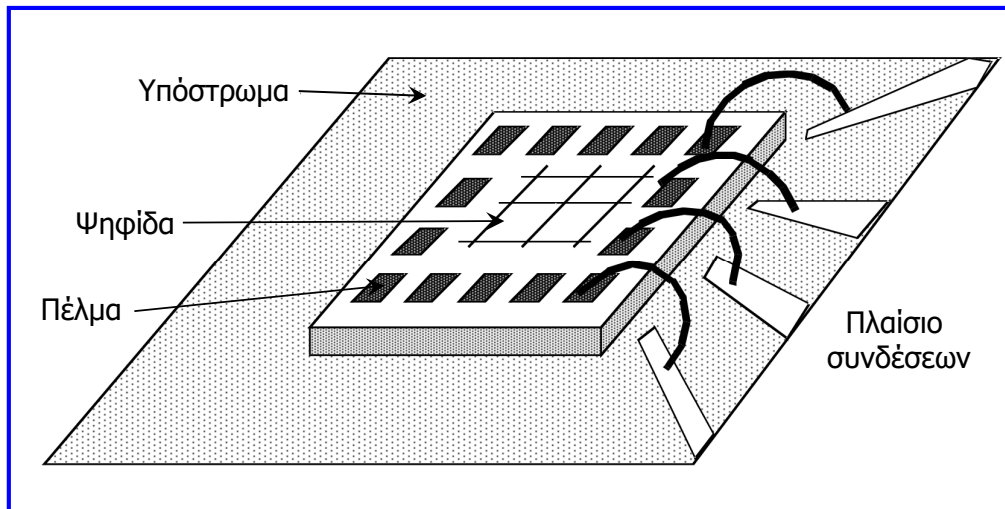
Συσκευασία (packaging) ολοκληρωμένων κυκλωμάτων



Συσκευασία (packaging) ολοκληρωμένων κυκλωμάτων

- Για μεγάλο χρονικό διάστημα, οι **καλωδιακές συνδέσεις (wire bonding)** αποτελούσαν τη βασική τεχνική για την παροχή σύνδεσης μεταξύ ψηφίδας και συσκευασίας.
- Η πίσω όψη της ψηφίδας προσαρτάται στο υπόστρωμα με κόλλα καλής θερμικής αγωγιμότητας.
- Κατόπιν, τα πέλματα (pads) της ψηφίδας συνδέονται ξεχωριστά στο πλαίσιο των ακροδεκτών με σύρμα αλουμινίου ή χρυσού.
- Οι καλωδιακές συνδέσεις παρουσιάζουν υψηλή αυτεπαγωγή και αμοιβαία επαγωγή με τα γειτονικά σήματα.
- Τα καλώδια πρέπει να προσαρτώνται στη σειρά, το ένα μετά το άλλο και αυτό οδηγεί σε μεγάλους χρόνους κατασκευής με την αύξηση του αριθμού των ακροδεκτών.
- Η σημαντική αύξηση του αριθμού ακροδεκτών επιβάλλει εναλλακτικές μορφές σύνδεσης, έτσι ώστε να αποφεύγονται τα βραχυκυκλώματα μεταξύ των συρμάτων.

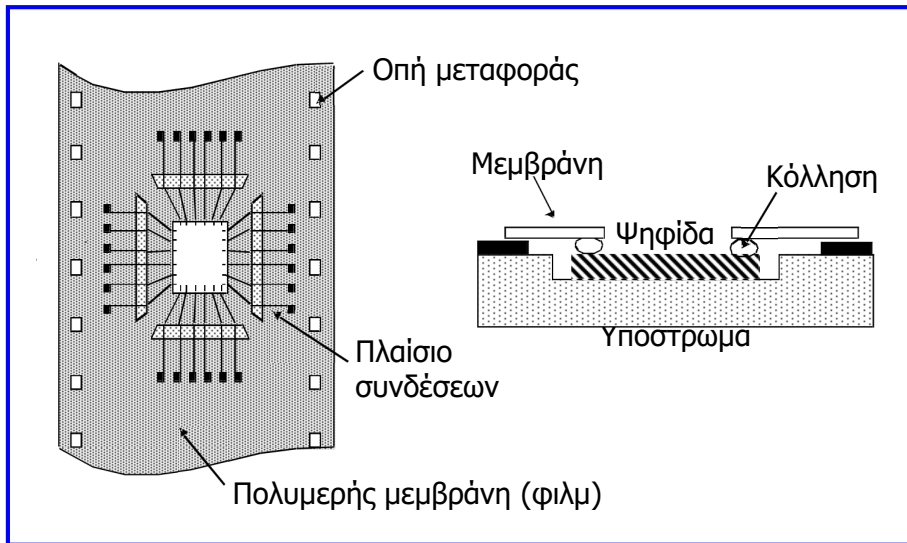
Συσκευασία (packaging) ολοκληρωμένων κυκλωμάτων



Συσκευασία (packaging) ολοκληρωμένων κυκλωμάτων

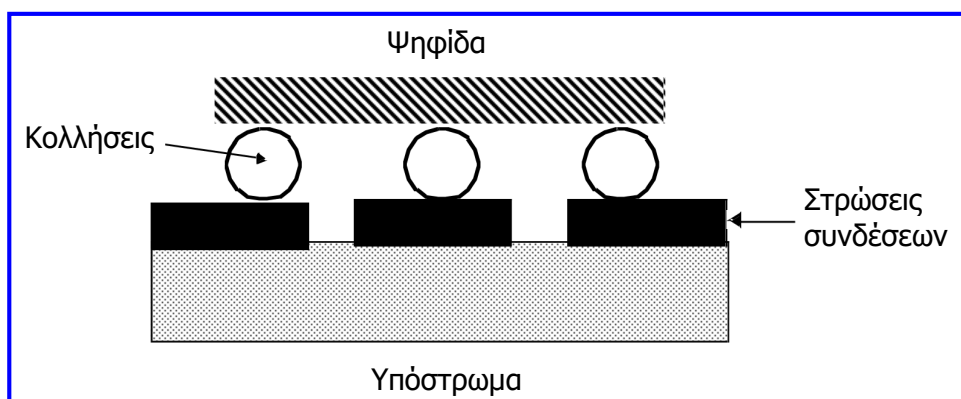
- Λόγω αυτών των αδυναμιών των καλωδιακών συνδέσεων έχουν επινοηθεί εναλλακτικές τεχνικές προσάρτησης της ψηφίδας στη συσκευασία.
- Στην προσέγγιση που αναφέρεται ως **σύνδεση αυτοματοποιημένης ταινίας (tape automated bonding, TAB)**, η ψηφίδα προσαρτάται σε ένα πλαίσιο μεταλλικών συνδέσεων που τυπώνονται σε μία πολυμερή μεμβράνη (φιλμ), συνήθως από πολυμινίδιο.
- Η σύνδεση μεταξύ των πελμάτων της ψηφίδας και των συρμάτων της πολυμερούς μεμβράνης πραγματοποιείται με χρήση κόλλησης από καλαί.
- Η ταινία κατόπιν συνδέεται στο σώμα της συσκευασίας με ειδικούς συνδετήρες.
- Το πλεονέκτημα της προσέγγισης TAB είναι η αυτοματοποίησή της.
- Η μεμβράνη περιέχει οπές που χρησιμοποιούνται για την αυτόματη μεταφορά της.
- Όλες οι συνδέσεις γίνονται ταυτόχρονα.
- Η τυπωμένη προσέγγιση βοηθά στη μείωση της επιτρεπόμενης απόστασης των συρμάτων και είναι κατάλληλη για μεγάλο αριθμό ακροδεκτών.
- Η εξάλειψη καλωδιακών συνδέσεων μεγάλου μήκους βελτιώνει την ηλεκτρική συμπεριφορά.

Συσκευασία (packaging) ολοκληρωμένων κυκλωμάτων



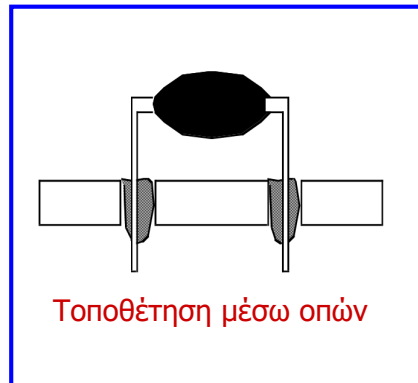
Συσκευασία (packaging) ολοκληρωμένων κυκλωμάτων

- Στην προσέγγιση **ανάστροφου ολοκληρωμένου κυκλώματος (flip-chip mounting)**, η ψηφίδα αναστρέφεται και προσκολλάται απευθείας στο υπόστρωμα χρησιμοποιώντας κόλληση με καλαί.
- Η προσέγγιση αυτή πλεονεκτεί ως προς την ηλεκτρική συμπεριφορά.
- Αντί να τοποθετούνται οι συνδέσεις εισόδου/εξόδου στην περιφέρεια της ψηφίδας, τα πέλματα μπορούν να τοποθετηθούν σε οποιαδήποτε θέση στην άνω πλευρά της.
- Αυτό βοηθάει στην αποδοτικότερη διανομή τροφοδοσίας και ρολογιού, αφού τα υλικά διασύνδεσης (στρώσεις συνδέσεων) πάνω στο υπόστρωμα (π.χ. Cu ή Au) είναι συνήθως καλύτερης ποιότητας από ότι το αλουμίνιο της ψηφίδας.



Τοποθέτηση συσκευασίας σε κάρτα (mounting)

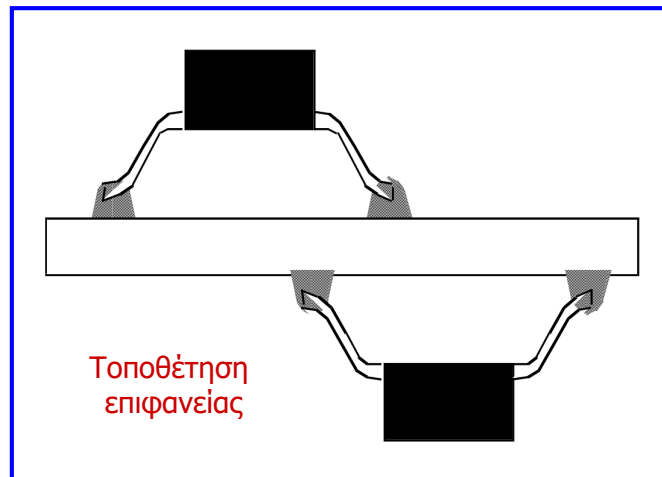
- Για τη σύνδεση της συσκευασίας σε κάρτα (board), μπορεί να χρησιμοποιηθεί η προσέγγιση που αναφέρεται ως **τοποθέτηση μέσω οπών (through-hole mounting)**.
- Οι κάρτες αποτελούνται από στρώσεις χαλκού και μονωτικού εποξικού γυαλιού και οι οπές που ανοίγονται στην κάρτα θωρακίζονται με χαλκό.
- Οι ακροδέκτες της συσκευασίας εισάγονται σε αυτές και η ηλεκτρική σύνδεση πραγματοποιείται με κόλληση καλάι.
- Η ευνοούμενη συσκευασία σε αυτόν τον τύπο ήταν η συσκευασία **διπλό-σε-γραμμή (dual-in-line ή DIP)**, στην οποία οι ακροδέκτες τοποθετούνται σε δύο πλευρές της.
- Η πυκνότητα της συσκευασίας DIP υποβαθμίζεται όταν οι ακροδέκτες είναι > 64 .



Τοποθέτηση συσκευασίας σε κάρτα (mounting)

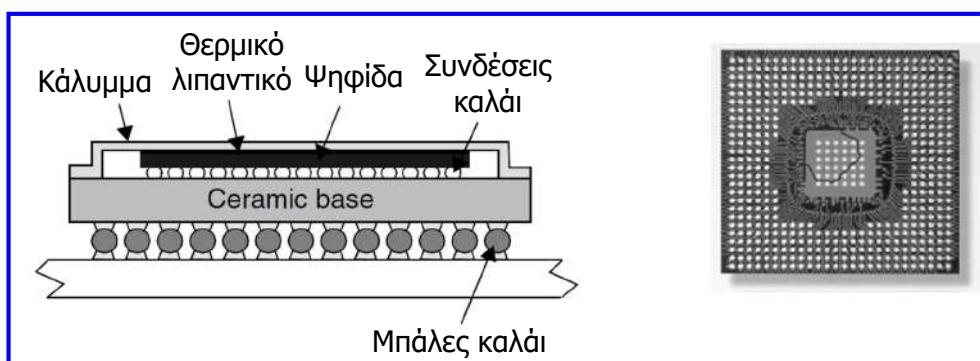
- Το πρόβλημα αντιμετωπίζεται με χρήση της συσκευασίας **διάταξης πλέγματος ακροδεκτών (pin-grid-array, PGA)**, η οποία έχει ακροδέκτες σε ολόκληρη την κάτω επιφάνεια.
- Οι συσκευασίες PGA μπορούν να επεκταθούν σε μεγάλο αριθμό ακροδεκτών (πάνω από 400 ακροδέκτες).
- Η προσέγγιση τοποθέτησης μέσω οπών προσφέρει μία μηχανικά αξιόπιστη και ισχυρή σύνδεση.
- Η παρασιτική χωρητικότητα και η επαγωγή στις συσκευασίες PGA είναι λίγο χαμηλότερες από ότι στις συσκευασίες DIP.
- Στην προσέγγιση που αναφέρεται ως **τοποθέτηση επιφάνειας (surface-mount technique)**, η συσκευασία προσαρτάται στην επιφάνεια της κάρτας με χρήση κόλλησης καλάι χωρίς να απαιτούνται οπές.
- Λόγω της εξάλειψης των οπών, η πυκνότητα της συσκευασίας αυξάνεται, η απόσταση μεταξύ των ακροδεκτών μειώνεται και οι συσκευασίες μπορούν να τοποθετηθούν και στις **δύο πλευρές της κάρτας**.
- **Μειονεκτήματα:** πιο αδύνατη σύνδεση συσκευασίας και κάρτας, δυσκολότερη τοποθέτηση συσκευασίας στην κάρτα που απαιτεί ακριβότερες συσκευές αφού μία απλή μεταλλική συγκόλληση δεν είναι πλέον ικανοποιητική, πολύπλοκη δοκιμή της κάρτας αφού οι ακροδέκτες της συσκευασίας δεν είναι πλέον προσπελάσιμοι στην πίσω όψη της κάρτας.

Τοποθέτηση συσκευασίας σε κάρτα (mounting)

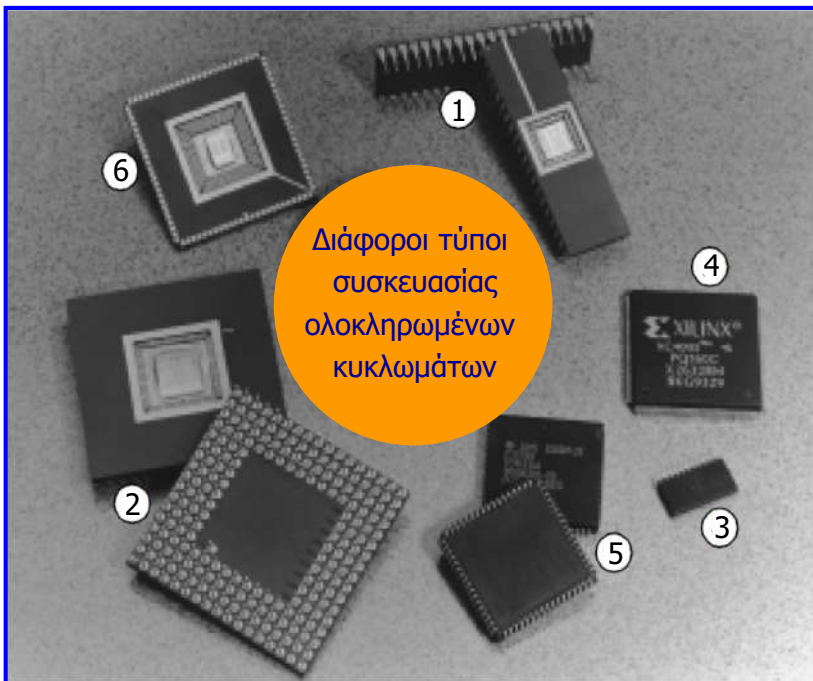


Τοποθέτηση συσκευασίας σε κάρτα (mounting)

- Ακόμα και η συσκευασία τοποθέτησης επιφανείας δεν μπορεί να ικανοποιήσει τη ζήτηση για ακόμη υψηλότερο αριθμό ακροδεκτών.
- Όταν απαιτούνται περισσότερες από 300 συνδέσεις εισόδων/εξόδων, οι **μπάλες από καλάι** αντικαθιστούν τους ακροδέκτες ως το προτιμότερο μέσο διασύνδεσης μεταξύ της συσκευασίας και κάρτας.
- Μια τέτοια προσέγγιση που αναφέρεται ως **κεραμική διάταξη πλέγματος με μπάλες (ball grid array, BGA)**, χρησιμοποιεί κολλήσεις καλάι για τη σύνδεση της ψηφίδα στο υπόστρωμα της συσκευασίας και μπάλες καλάι για τη σύνδεση συσκευασίας και κάρτας.
- Με την προσέγγιση αυτή μπορεί να επιτευχθεί απόσταση μεταξύ των μπαλών έως 0.8 mm, ώστε να είναι εφικτή η κατασκευή συσκευασιών με πολλούς ακροδέκτες.



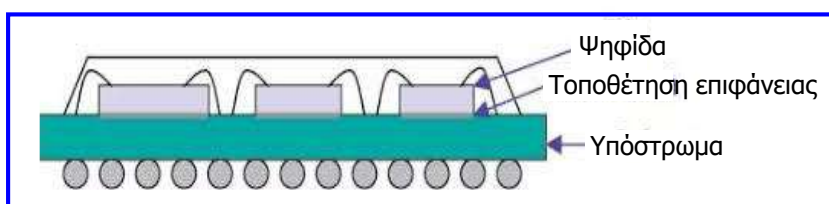
Τοποθέτηση συσκευασίας σε κάρτα (mounting)



- 1: **DIP**
- 2: **PGA**
- 3: **SOP** (small outline package, συσκευασία μικρού περιγράμματος με ακροδέκτες στις 2 πλευρές)
- 4: **QFP** (quad flat package, συσκευασία επίπεδου πακέτου με ακροδέκτες στις 4 πλευρές για τοποθέτηση επιφάνειας)
- 5: **PLCC** (plastic leaded chip carrier, πλαστικός φορέας ψηφίδας με ακροδέκτες σχήματος J για τοποθέτηση επιφάνειας)
- 6: **LCC** (leadless chip carrier, φορέας ψηφίδας χωρίς ακροδέκτες, με μεταλλικά πέλματα για τοποθέτηση επιφάνειας)

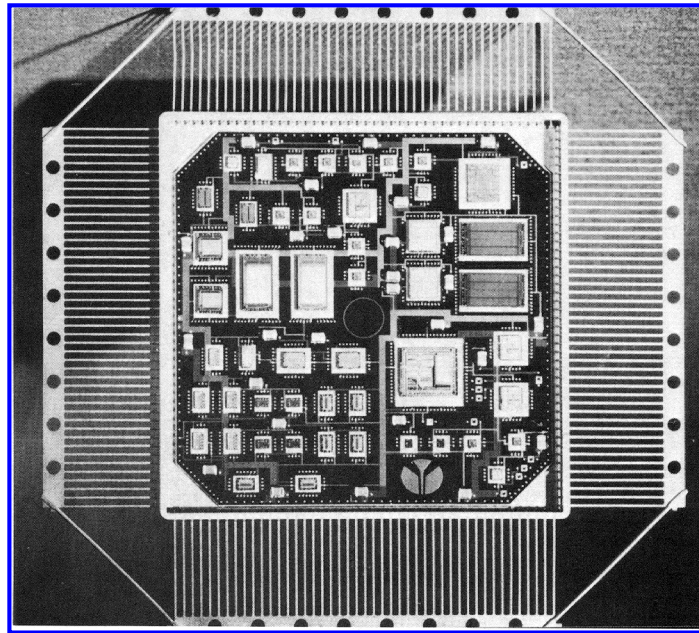
Μονάδες πολλαπλών ολοκληρωμένων κυκλωμάτων

- Η απομάκρυνση ενός επιπέδου στην ιεραρχία της συσκευασίας με την τοποθέτηση της ψηφίδας απευθείας σε κάρτα ή υπόστρωμα, προσφέρει ένα σημαντικό κέρδος όταν το ζητούμενο είναι η απόδοση ή η πυκνότητα.
- Η προσέγγιση αυτή αναφέρεται ως **τεχνική μονάδας πολλαπλών ολοκληρωμένων κυκλωμάτων (multichip module technique, MCM)** και έχει ως αποτέλεσμα μία ουσιαστική αύξηση στην πυκνότητα συσκευασίας και βελτίωση στις επιδόσεις.
- Οι τεχνικές τοποθέτησης ψηφίδας που αναφέρθηκαν προηγουμένως μπορούν να προσαρμοστούν για την τοποθέτηση ψηφίδων απευθείας πάνω σε υπόστρωμα.
- Το υπόστρωμα μπορεί να κατασκευαστεί από διάφορα υλικά, όπως είναι τα εποξικά υποστρώματα (παρόμοια με τις κάρτες υπολογιστών), το μέταλλο, τα κεραμικά και το πυρίτιο (προσέγγιση που αναφέρεται ως **πυρίτιο-σε-πυρίτιο, silicon-to-silicon**).
- Το πυρίτιο έχει το πλεονέκτημα ότι παρουσιάζει τέλεια ταύτιση όσον αφορά τις μηχανικές και θερμικές ιδιότητες με το υλικό της ψηφίδας.



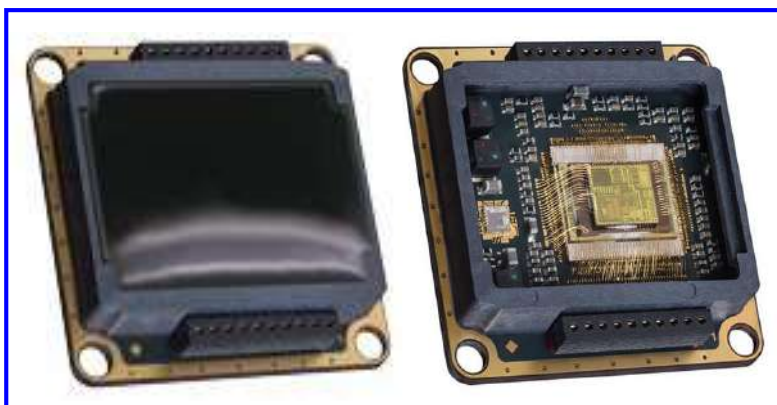
Μονάδες πολλαπλών ολοκληρωμένων κυκλωμάτων

Παράδειγμα μονάδας MCM σε υπόστρωμα πυριτίου: υλοποίηση επεξεργαστή για αεροπορικές εφαρμογές (Rockwell) που περιέχει 53 ολοκληρωμένα κυκλώματα και 40 διακριτά στοιχεία σε ένα 5.6 x 5.6 cm υπόστρωμα με διασύνδεση πολυμιδιούχου αλουμινίου



Σύστημα σε μια συσκευασία (system-in-a-package)

- Με την τεχνική MCM γίνεται εφικτή η ολοκλήρωση στο ίδιο σύστημα κυκλωμάτων που έχουν κατασκευαστεί με διαφορετικές τεχνολογίες.
- Μειονέκτημα της τεχνικής MCM αποτελεί το υψηλό κόστος, αφού απαιτεί πρόσθετα κατασκευαστικά βήματα.
- Τα τελευταία χρόνια έχουν αναπτυχθεί συσκευασίες πολλαπλών ολοκληρωμένων κυκλωμάτων υψηλής πυκνότητας που υλοποιούν συνολικά το σύστημα λειτουργιών που απαιτεί μια εφαρμογή (**σύστημα σε μία συσκευασία, system-in-a-package, SiP**).



SiP επιφάνειας 5 cm²,
με μικροεπεξεργαστή,
μνήμη, ADC και εξωτερική
σύνδεση με τη μνήμη

Σύστημα σε μια συσκευασία (system-in-a-package)

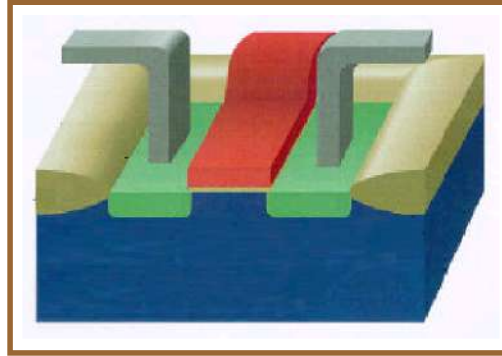


Apple i-watch 4:

Περιέχει SIP με 2 επεξεργαστές (CPU: ARM7 32-bit και GPU), μνήμες DRAM και Flash, μονάδα ασύρματης φόρτισης, κυκλώματα υλοποίησης Bluetooth και Wi-Fi, γυροσκόπιο, ελεγκτή οθόνης αφής, μονάδα διαχείρισης ενέργειας

Συμπεράσματα

- Η διεργασία κατασκευής των ολοκληρωμένων κυκλωμάτων απαιτεί πολλά βήματα, κάθε ένα από τα οποία περιλαμβάνει μία σειρά από βασικές λειτουργίες.
- Ένας αριθμός από αυτά τα βήματα, όπως η φωτολιθογραφική έκθεση και ανάπτυξη, η εναπόθεση υλικού και η χάραξη, εκτελούνται επαναληπτικά κατά τη διεργασία της κατασκευής.
- Οι μάσκες αποτελούν το μέσο επικοινωνίας μεταξύ των εσωτερικών χαρακτηριστικών της διεργασίας κατασκευής και του σχεδιασμού που πρόκειται να μεταφερθεί στο πυρίτιο.
- Το σύνολο των κανόνων σχεδιασμού καθορίζει τους περιορισμούς που πρέπει να ακολουθεί ο σχεδιασμός του ολοκληρωμένου κυκλώματος, ώστε το κύκλωμα που προκύπτει να είναι πλήρως λειτουργικό.
- Οι κανόνες σχεδιασμού αποτελούν το μέσο επικοινωνίας μεταξύ του σχεδιαστή κυκλωμάτων και του μηχανικού διεργασίας.
- Έχουν εφαρμοστεί αρκετές σημαντικές εξελίξεις ή βελτιώσεις της διεργασίας κατασκευής που αφορούν την κατασκευή ή την δομή των τρανζίστορ, αλλά και την κατασκευή των διασυνδέσεων.
- Η συσκευασία αποτελεί το μέσο επικοινωνίας μεταξύ του κυκλώματος που υλοποιείται στο πυρίτιο και του εξωτερικού κόσμου και έτσι έχει σημαντική επίδραση στην επίδοση, την αξιοπιστία, την αντοχή και το κόστος του ολοκληρωμένου κυκλώματος.



3^η ενότητα: ΤΟ ΤΡΑΝΖΙΣΤΟΡ MOSFET



Περιεχόμενα 3^{ης} ενότητας

- Εισαγωγή στο τρανζίστορ MOSFET
- Τάση κατωφλίου (threshold voltage) του MOSFET
- Περιοχές λειτουργίας των τρανζίστορ NMOS και PMOS
- Υπολογισμός ρεύματος του τρανζίστορ NMOS
- Εκφράσεις ρεύματος των τρανζίστορ NMOS και PMOS
- Χαρακτηριστικές καμπύλες των τρανζίστορ NMOS και PMOS
- Διαμόρφωση μήκους καναλιού
- Φαινόμενα μικρού μήκους καναλιού: κορεσμός ταχύτητας και υποβάθμιση κινητικότητας των φορέων, αγωγή υποκατωφλίου, φαινόμενο DIBL, παρασιτικές αντιστάσεις πηγής και υποδοχής, φαινόμενο θερμών φορέων, ρεύμα διαρροής πύλης
- Ισοδύναμη αντίσταση του τρανζίστορ MOSFET
- Χωρητικότητες στο τρανζίστορ MOSFET
- Μοντέλα MOSFET κυκλωματικών προσομοιωτών
- Μεταβολές διεργασίας
- Συμπεράσματα

Εισαγωγή στο τρανζίστορ MOSFET

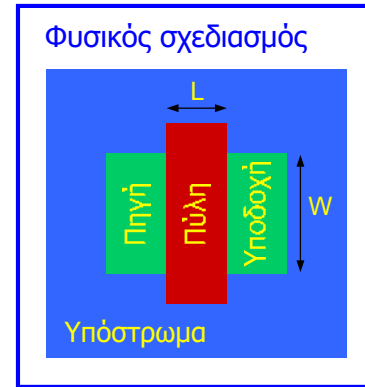
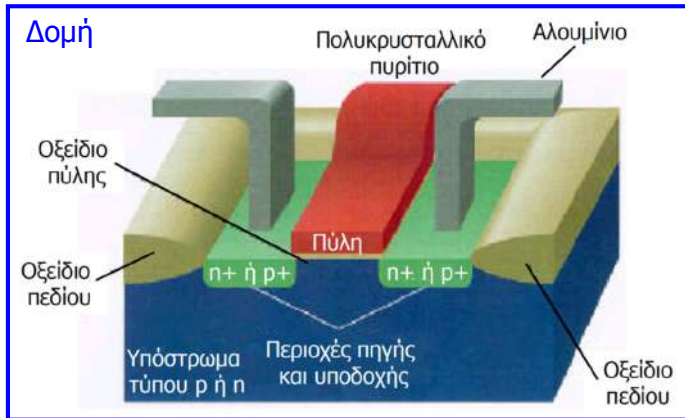
- Η σύλληψη μίας σύνθετης κατασκευής χωρίς να γίνει προηγουμένως κατανόηση των βασικών εξαρτημάτων που την αποτελούν, οδηγεί σε αποτυχία. Αυτό ασφαλώς ισχύει και στο σχεδιασμό ψηφιακών κυκλωμάτων.
- Το βασικό εξάρτημα (ημιαγωγικό στοιχείο) των σημερινών ψηφιακών κυκλωμάτων είναι το **τρανζίστορ μετάλλου-οξειδίου-ημιαγωγού φαινομένου-πεδίου (metal-oxide-semiconductor field-effect, MOSFET)**.
- Ο σχεδιαστής κυκλωμάτων θα πρέπει να γνωρίζει τον τρόπο λειτουργίας του, τις βασικές ιδιότητες και παραμέτρους του, που είναι σημαντικές για τα ψηφιακά κυκλώματα.
- Για την κατανόηση της λειτουργίας των MOSFETs και την επίδρασή τους στον σχεδιασμό ψηφιακών κυκλωμάτων, χρησιμοποιούνται **μοντέλα της συμπεριφοράς του**.
- Η υψηλή πολυπλοκότητα των μοντέλων που λαμβάνουν υπόψη όλους τους παράγοντες που επιδρούν στη λειτουργία ενός MOSFET, τα καθιστούν δύσχρηστα.
- Χρησιμοποιώντας όμως **αφαιρετικά μοντέλα συμπεριφοράς**, είναι δυνατό να επιτευχθεί **εξισορρόπηση** μεταξύ **ακρίβειας** και **πολυπλοκότητας**.
- Ένα **απλό μοντέλο** για ανάλυση με το χέρι, διαθέτει περιορισμένη ακρίβεια, αλλά βοηθάει στην **κατανόηση της λειτουργίας του MOSFET και των βασικών παραμέτρων** του.
- Όταν απαιτείται ακριβέστερη μοντελοποίηση της συμπεριφοράς, χρησιμοποιούνται σύνθετα μοντέλα συνδεδεμένα με προσομοίωση με τη βοήθεια υπολογιστή.

Εισαγωγή στο τρανζίστορ MOSFET

- Το βασικό πλεονέκτημα του **MOSFET**, από ψηφιακή άποψη, είναι ότι λειτουργεί πολύ καλά ως **διακόπτης** και ότι εισάγει σχετικά **λίγα παρασιτικά φαινόμενα**.
- Άλλα σημαντικά πλεονεκτήματά του είναι η **πυκνότητα ολοκλήρωσης** σε συνδυασμό με τη **σχετικά απλή κατασκευαστική διεργασία** του, τα οποία κάνουν δυνατή την παραγωγή μεγάλων και σύνθετων κυκλωμάτων με οικονομικό τρόπο.
- Το MOSFET διαθέτει **4 ακροδέκτες**: η τάση στον ακροδέκτη **πύλης (gate)** καθορίζει εάν και πόσο ρεύμα ρέει μεταξύ των ακροδεκτών **πηγής (source)** και **υποδοχής (drain)**.
- Ο 4ος ακροδέκτης αντιστοιχεί στο **υπόστρωμα (substrate, body, bulk)** και η λειτουργία του είναι δευτερεύουσα επειδή εξυπηρετεί μονάχα στη διαμόρφωση των παραμέτρων και των χαρακτηριστικών του στοιχείου.
- Στο πιο απλό μοντέλο συμπεριφοράς το τρανζίστορ θεωρείται ως **διακόπτης**: όταν εφαρμοστεί τάση στην πύλη μεγαλύτερη από μία δεδομένη τιμή (**τάση κατωφλίου, threshold voltage, V_T**), δημιουργείται αγωγίμο κανάλι μεταξύ της υποδοχής και της πηγής και προκαλείται ροή ηλεκτρικού ρεύματος μεταξύ τους.
- Η αγωγιμότητα του καναλιού διαμορφώνεται από την τάση πύλης: όσο μεγαλύτερη είναι η τάση μεταξύ πύλης και πηγής, τόσο μικρότερη είναι η αντίσταση του καναλιού και μεγαλύτερο το ρεύμα.
- Όταν η τάση πύλης είναι μικρότερη από την τάση κατωφλίου, δεν υπάρχει κανάλι και ο διακόπτης θεωρείται ανοιχτός.

Εισαγωγή στο τρανζίστορ MOSFET

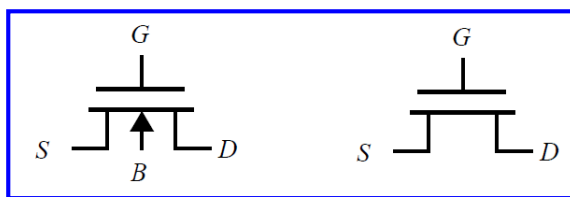
- Υπάρχουν 2 τύποι MOSFET:
 - ✓ το **NMOS** αποτελείται από περιοχές υποδοχής και πηγής με νόθευση τύπου **n+** που ενσωματώνονται σε υπόστρωμα τύπου **p**. Το ρεύμα μεταφέρεται από ηλεκτρόνια που κινούνται μέσω **καναλιού τύπου n** μεταξύ της πηγής και της υποδοχής.
 - ✓ το **PMOS** με περιοχές υποδοχής και πηγής νόθευσης τύπου **p+** και υπόστρωμα τύπου **n**. Το ρεύμα μεταφέρεται από οπές που κινούνται μέσω **καναλιού τύπου p**.



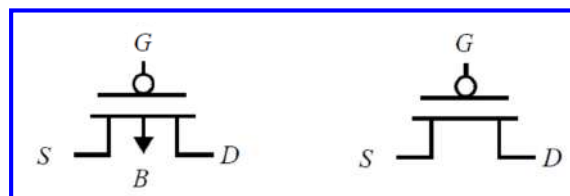
- Όπως αναφέρθηκε στις 2 προηγούμενες ενότητες, στη **συμπληρωματική τεχνολογία MOS (CMOS)**, συνυπάρχουν και οι δύο τύποι MOSFET.

Εισαγωγή στο τρανζίστορ MOSFET

Κυκλωματικά σύμβολα των MOSFETs



Σύμβολο NMOS με 4 και 3 ακροδέκτες



Σύμβολο PMOS με 4 και 3 ακροδέκτες

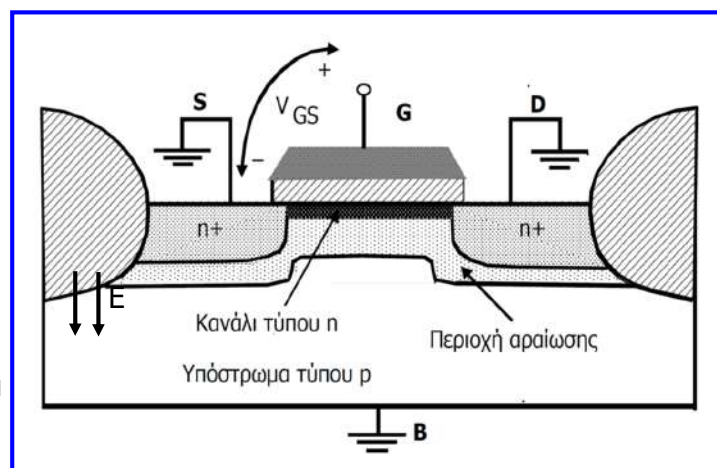
Επειδή το υπόστρωμα (B) συνδέεται συνήθως σε τροφοδοσία συνεχούς ρεύματος που είναι πανομοιότυπη σε όλα τα στοιχεία ίδιου τύπου (γείωση για NMOS, τάση τροφοδοσίας για PMOS), πολύ συχνά δεν εμφανίζεται ως ακροδέκτης στα κυκλωματικά διαγράμματα, αλλά θεωρείται ότι είναι συνδεδεμένος στη γείωση ή την τροφοδοσία

Τάση κατωφλίου (threshold voltage) του MOSFET

- Σε ένα τρανζίστορ NMOS, όταν $V_{GS} = 0$, οι περιοχές πηγής και υποδοχής (τύπου n+) σχηματίζουν επαφές με το υπόστρωμα (τύπου p) που είναι ανάστροφα πολωμένες, συνεπώς δεν υπάρχει ροή ρεύματος μεταξύ πηγής και υποδοχής.
- Για να δημιουργηθεί αγωγίμο κανάλι μεταξύ των περιοχών πηγής και υποδοχής, πρέπει να εφαρμοστεί μια θετική τάση μεταξύ πύλης και πηγής.
- Η πύλη και το υπόστρωμα σχηματίζουν τις πλάκες ενός πυκνωτή που έχει ως διηλεκτρικό το οξειδίο της πύλης.
- Όταν εφαρμόζεται μια μικρή θετική τάση στην πύλη, δημιουργείται κατακόρυφο ηλεκτρικό πεδίο με κατεύθυνση προς το υπόστρωμα που απωθεί τις οπές (φορείς πλειονότητας) από την περιοχή κάτω από το οξειδίο πύλης, οι οποίες αφήνουν πίσω τους αρνητικά ιόντα.
- Έτσι, σχηματίζεται μία **περιοχή αραίωσης (depletion region)** κάτω από την πύλη, η οποία είναι σχεδόν απαλλαγμένη από κινούμενους φορείς.
- Όσο η τάση πύλης αυξάνεται, η πυκνότητα των ηλεκτρονίων στην περιοχή κάτω από το οξειδίο γίνεται μεγαλύτερη από την πυκνότητα των οπών, αφού η θετική πόλωση της πύλης προσελκύει ηλεκτρόνια από το υπόστρωμα.
- Έτσι, όταν το δυναμικό στην επιφάνεια του πυριτίου φθάνει σε μία κρίσιμη τιμή, η λεπτή περιοχή κάτω από το οξειδίο πύλης, αντιστρέφεται και γίνεται τύπου n. Η κατάσταση αυτή αντιστοιχεί στην έναρξη της **ισχυρής αντιστροφής (strong inversion)**.

Τάση κατωφλίου (threshold voltage) του MOSFET

- Η τιμή της τάσης V_{GS} που απαιτείται ώστε η συγκέντρωση ηλεκτρονίων να ξεπεράσει τοπικά (κάτω από το οξειδίο πύλης) αυτήν των οπών, για να δημιουργηθεί κανάλι αγωγής, αναφέρεται ως **τάση κατωφλίου (V_T)**.
- Επιπλέον αύξηση της τάσης πύλης δεν προκαλεί περαιτέρω αλλαγές στο πλάτος της περιοχής αραίωσης, αλλά έχει ως αποτέλεσμα να συσσωρεύονται πρόσθετα ηλεκτρόνια στην στρώση αντιστροφής κάτω από το οξειδίο πύλης.



- Αυτό έχει ως αποτέλεσμα το σχηματισμό ενός συνεχόμενου **αγωγίμου καναλιού** τύπου n μεταξύ των περιοχών πηγής και υποδοχής, η αγωγιμότητα του οποίου διαμορφώνεται από την τάση πύλης-πηγής.
- Το κανάλι παρέχει ηλεκτρική σύνδεση μεταξύ των περιοχών πηγής και υποδοχής και επιτρέπει τη ροή ρεύματος εφόσον εφαρμοστεί τάση (διαφορά δυναμικού) μεταξύ τους.
- Οποιαδήποτε τάση V_{GS} , μικρότερη από την V_T , δεν επαρκεί για να σχηματίσει στρώμα αντιστροφής και έτσι δεν είναι επιτρεπτή η ροή ρεύματος μεταξύ πηγής και υποδοχής.

Τάση κατωφλίου (threshold voltage) του MOSFET

- Η τάση κατωφλίου προσδιορίζει την τιμή της τάσης V_{GS} κάτω από την οποία το ρεύμα μεταξύ υποδοχής και πηγής (I_D) γίνεται πολύ μικρό, πρακτικά αμελητέο.
- Η τάση κατωφλίου εξαρτάται κυρίως από: το υλικό και το πάχος του μονωτικού (οξειδίου) της πύλης, την πυκνότητα συγκέντρωσης των προσμειξεων στο υπόστρωμα και την τάση μεταξύ πηγής και υποστρώματος (V_{SB})
- Η τάση κατωφλίου δίδεται από τη σχέση:

$$V_T = V_{T0} \pm \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right)$$

$$\gamma = \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2q\epsilon_{Si}N}$$

V_{T0} : τάση κατωφλίου για $V_{SB}=0$, γ : συντελεστής φαινομένου σώματος, ϕ_F : δυναμικό Fermi, t_{ox} , ϵ_{ox} : πάχος και διηλεκτρική σταθερά οξειδίου, q : φορτίο του ηλεκτρονίου, ϵ_{Si} : διηλεκτρική σταθερά πυριτίου, N : πυκνότητα συγκέντρωσης προσμειξεων υποστρώματος.

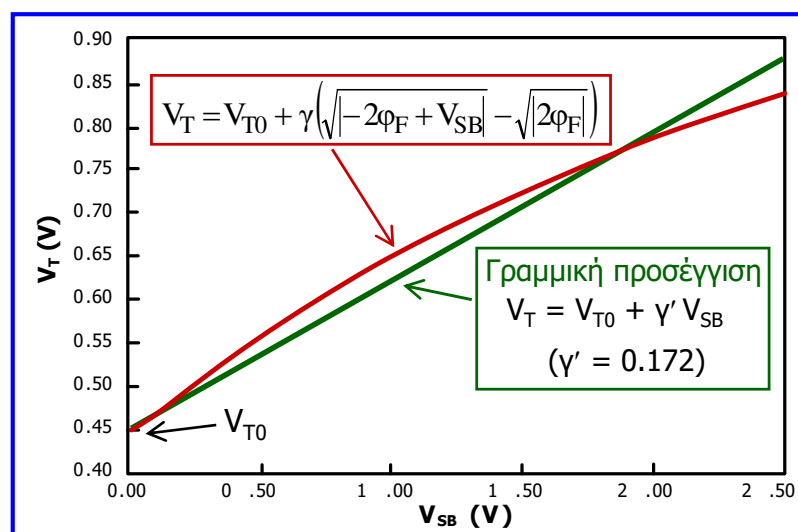
- Μια γραμμική προσέγγιση της παραπάνω σχέσης, μπορεί να γραφτεί ως εξής:

$$V_T = V_{T0} \pm \gamma' V_{SB} \quad \gamma' = \frac{\gamma}{3\sqrt{|2\phi_F|}}$$

- Η τάση κατωφλίου στα NMOS είναι θετική και στα PMOS αρνητική και το +/- στις παραπάνω σχέσεις αναφέρεται σε NMOS / PMOS τρανζίστορ, αντίστοιχα.

Παράδειγμα 1

- Σχεδιάζουμε την επίδραση της τάσης πηγής-υποστρώματος στην τάση κατωφλίου ενός τρανζίστορ NMOS, με βάση τις σχέσεις υπολογισμού της τάσης κατωφλίου.
- Δεδομένα: $| -2\phi_F | = 0.6 \text{ V}$, $\gamma = 0.4 \text{ V}^{0.5}$, $V_{T0} = 0.45 \text{ V}$ και V_{SB} από 0 έως 2.5 V.



- Παρατηρούμε ότι προκαλείται αύξηση της τάσης κατωφλίου από 0.45 V (για $V_{SB} = 0$) σε περίπου 0.85 V (για $V_{SB} = 2.5$ V).

Παράδειγμα 2

- Η τάση κατωφλίου ενός τρανζίστορ PMOS για μηδενική πόλωση πηγής-υποστρώματος είναι -0.4 V .
- Εάν $2\phi_F = 0.6\text{ V}$, $t_{ox} = 6\text{ nm}$, $N = 1.65 \cdot 10^{17}\text{ cm}^{-3}$, $q = 1.6 \cdot 10^{-19}\text{ C}$, $\epsilon_{ox} = 3.5 \cdot 10^{-11}\text{ F/m}$, $\epsilon_{Si} = 1.05 \cdot 10^{-10}\text{ F/m}$, υπολογίζουμε αρχικά το συντελεστή φαινομένου σώματος (γ) και έπειτα την τάση κατωφλίου του τρανζίστορ για τάση πηγής-υποστρώματος -2.5 V .

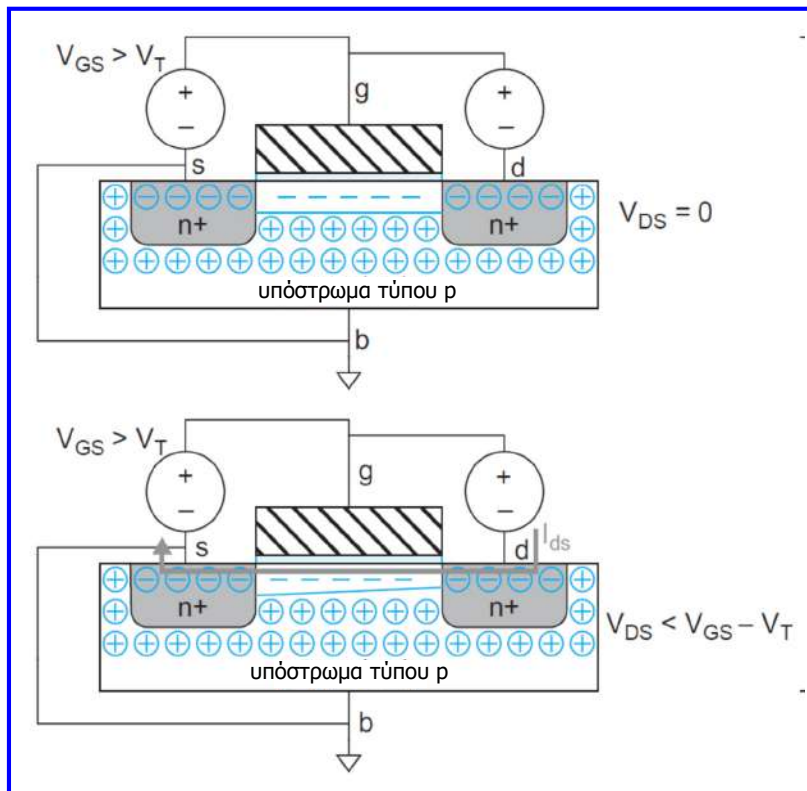
$$\gamma = \frac{t_{ox}}{\epsilon_{ox}} \sqrt{2q\epsilon_{Si}N} \Rightarrow \gamma = \frac{6 \cdot 10^{-9}\text{ m}}{3.5 \cdot 10^{-11} \frac{\text{F}}{\text{m}}} \cdot \sqrt{2 \cdot 1.6 \cdot 10^{-19}\text{ C} \cdot 1.05 \cdot 10^{-10} \frac{\text{F}}{\text{m}} \cdot 1.65 \cdot 10^{17} \cdot 10^6\text{ m}^{-3}} \Rightarrow$$
$$\Rightarrow \gamma = 1.71 \cdot 10^2 \frac{\text{m}^2}{\text{F}} \cdot \sqrt{5.54 \cdot 10^{-6} \frac{\text{C} \cdot \text{F}}{\text{m}^4}} \Rightarrow \gamma = 1.71 \cdot 10^2 \frac{\text{m}^2}{\text{F}} \cdot 2.35 \cdot 10^{-3} \frac{\text{C}^{0.5} \cdot \text{F}^{0.5}}{\text{m}^2} \Rightarrow \gamma = 0.4\text{ V}^{0.5}$$

$$V_T = V_{T0} - \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right) \Rightarrow$$
$$V_T = -0.4 - 0.4 \times [(|-0.6 - 2.5|)^{0.5} - 0.6^{0.5}] \Rightarrow$$
$$V_T = -0.4 - 0.4 \times [3.1^{0.5} - 0.6^{0.5}] \Rightarrow$$
$$V_T = -0.4 - 0.4 \times [1.76 - 0.77] \Rightarrow$$
$$V_T = -0.4 - 0.4 \times 0.396 \Rightarrow V_T = -0.796\text{ V}$$

Περιοχές λειτουργίας του τρανζίστορ NMOS

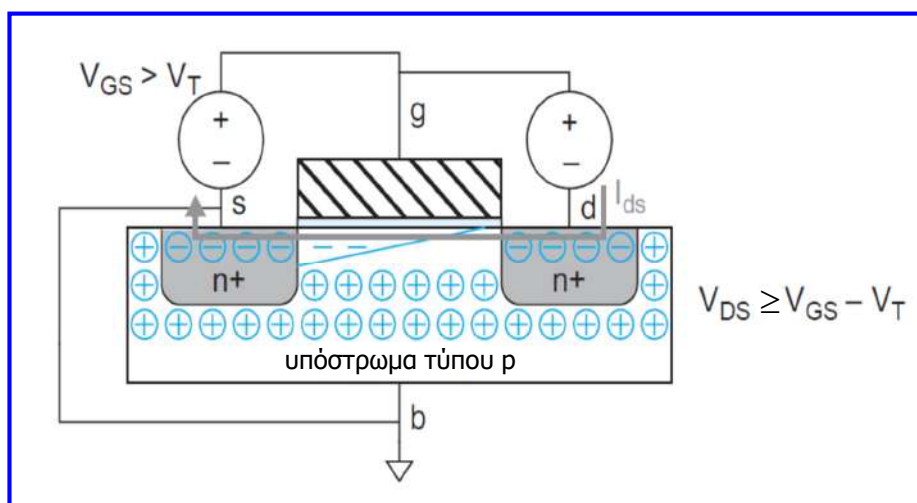
- Όπως προαναφέρθηκε, όταν $V_{GS} \leq V_T$, το ρεύμα μεταξύ υποδοχής και πηγής (I_D) είναι πρακτικά αμελητέο και τότε το τρανζίστορ λειτουργεί στην **περιοχή αποκοπής**.
- Η διαφορά δυναμικού μεταξύ υποδοχής και πηγής είναι $V_{DS} = V_{GS} - V_{GD}$. Εάν $V_{DS} = 0$, δηλαδή $V_{GS} = V_{GD}$, δεν υφίσταται οριζόντιο ηλεκτρικό πεδίο για τη δημιουργία ρεύματος από την υποδοχή προς την πηγή.
- Όταν εφαρμόζεται μικρή θετική τάση V_{DS} , τότε ξεκινάει η ροή ρεύματος από την υποδοχή προς την πηγή διαμέσου του καναλιού και το τρανζίστορ λειτουργεί την **γραμμική περιοχή (linear region)**.
- Στην περιοχή αυτή, το ρεύμα αυξάνεται όσο αυξάνονται οι V_{DS} και V_{GS} και το τρανζίστορ λειτουργεί σχεδόν ως αντίσταση, στην οποία το I_D μεταβάλλεται γραμμικά με την V_{DS} .
- Όταν η τάση V_{DS} αυξηθεί επαρκώς έτσι ώστε $V_{GD} < V_T$, δηλαδή $V_{DS} > V_{GS} - V_T$, το **κανάλι** δεν υπόκειται πια σε αντιστροφή κοντά στην υποδοχή και **εξαντλείται (pinched off)**.
- Ωστόσο, υπάρχει ακόμη αγωγή που προκαλείται από την ολίσθηση ηλεκτρονίων λόγω της επίδρασης της θετικής τάσης υποδοχής. Τα ηλεκτρόνια που φθάνουν στο τέλος του καναλιού εγχέονται στην περιοχή αραιώσης κοντά στην υποδοχή και στη συνέχεια επιταχύνονται προς την υποδοχή.
- Υπό αυτές τις συνθήκες, το τρανζίστορ λειτουργεί την **περιοχή κορεσμού (saturation region)**, της οποίας το κύριο χαρακτηριστικό είναι ότι το ρεύμα καναλιού ελέγχεται από την τάση πύλης και είναι σχεδόν ανεξάρτητο από την τάση υποδοχής.

Περιοχές λειτουργίας του τρανζίστορ NMOS



Στη γραμμική περιοχή λειτουργίας σχηματίζεται το κανάλι και το ρεύμα I_D αυξάνεται με την τάση V_{DS}

Περιοχές λειτουργίας του τρανζίστορ NMOS



Στην περιοχή κορεσμού το κανάλι εξαντλείται και το ρεύμα I_D είναι σχεδόν ανεξάρτητο από την τάση V_{DS}

Περιοχές λειτουργίας του τρανζίστορ PMOS

- Το τρανζίστορ pMOS λειτουργεί με αντίθετο τρόπο από το τρανζίστορ NMOS.
- Το υπόστρωμα τύπου n συνδέεται στην τάση τροφοδοσίας (υψηλή στάθμη) με αποτέλεσμα οι επαφές του με τις περιοχές πηγής και υποδοχής (τύπου p) να είναι ανάστροφα πολωμένες και όταν η τάση πύλης είναι λιγότερο αρνητική από την τάση κατωφλίου δεν υφίσταται ρεύμα μεταξύ υποδοχής και πηγής.
- Όταν η τάση πύλης γίνει περισσότερο αρνητική από την τάση κατωφλίου ($V_{GS} < V_T$), έλκονται οπές στην περιοχή κάτω από το οξειδίο πύλης και σχηματίζουν κανάλι τύπου p, επιτρέποντας την ροή ρεύματος μεταξύ της πηγής και της υποδοχής πηγής.
- Όταν λοιπόν εφαρμόζεται μικρή αρνητική τάση V_{DS} , τότε ξεκινάει η ροή ρεύματος από την υποδοχή προς την πηγή διαμέσου του καναλιού και το τρανζίστορ λειτουργεί την **γραμμική περιοχή**. Στην περιοχή αυτή, το ρεύμα I_D μεταβάλλεται γραμμικά με την V_{DS} .
- Όταν η τάση V_{DS} γίνει επαρκώς πιο αρνητική έτσι ώστε $V_{DS} < V_{GS} - V_T$, το **κανάλι** κοντά στην υποδοχή **εξαντλείται**.
- Ωστόσο, υπάρχει ακόμη αγωγή που προκαλείται από την ολίσθηση οπών λόγω της επίδρασης της τάσης υποδοχής. Οι οπές στο τέλος του καναλιού εγχέονται στην περιοχή αραιώσης κοντά στην υποδοχή και τη συνέχεια επιταχύνονται προς την υποδοχή.
- Τότε το τρανζίστορ λειτουργεί την **περιοχή κορεσμού**, όπου το ρεύμα I_D ελέγχεται από την τάση πύλης και είναι σχεδόν ανεξάρτητο από την τάση υποδοχής.

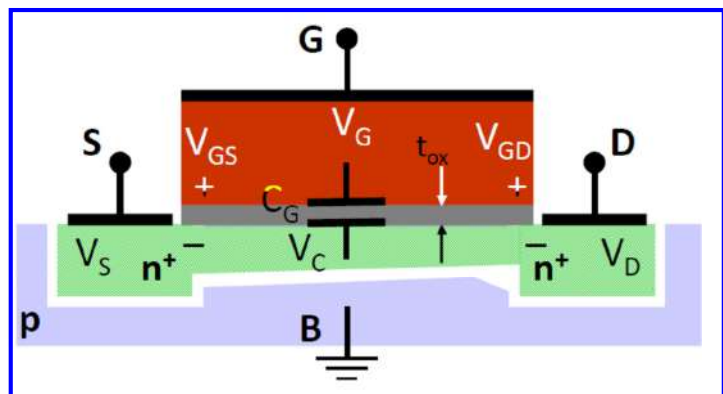
Υπολογισμός ρεύματος του τρανζίστορ NMOS

Το φορτίο στο κανάλι είναι:

$$Q_C = C_G (V_{GC} - V_{TN}) \quad (1)$$

Η μέση τιμή του δυναμικού στο κανάλι είναι:

$$V_C = \frac{V_S + V_D}{2} = \frac{V_S + V_D - V_S + V_S}{2} = V_S + \frac{V_{DS}}{2} \quad (2)$$



Η μέση διαφορά δυναμικού πύλης-καναλιού είναι:

$$V_{GC} = V_G - V_C = V_{GS} - \frac{V_{DS}}{2} \quad (3)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

Για τη χωρητικότητα μεταξύ πύλης-καναλιού μπορούμε να γράψουμε:

$$C_G = \epsilon_{ox} \frac{WL}{t_{ox}} = C_{ox} WL \quad (4)$$

ϵ_{ox} = διηλεκτρική σταθερά οξειδίου = $3.97 \cdot \epsilon_0 = 3.5 \cdot 10^{-11}$ F/m

t_{ox} = πάχος οξειδίου πύλης
W, L = διαστάσεις καναλιού

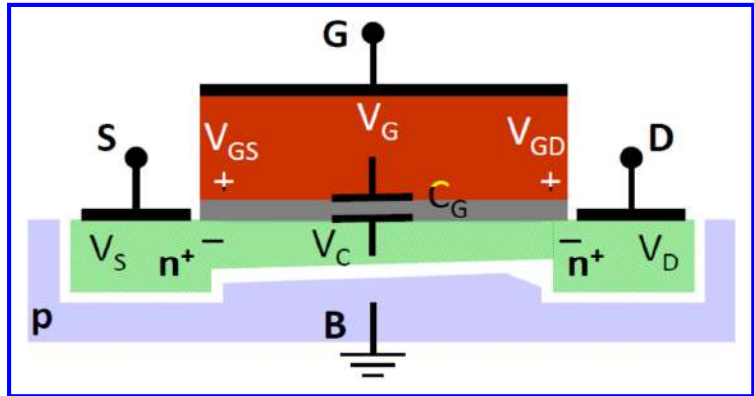
Υπολογισμός ρεύματος του τρανζίστορ NMOS

Υπό την επίδραση του οριζόντιου πεδίου, η μέση ταχύτητα των φορέων στο κανάλι είναι:

$$v = \mu_n E \quad (5)$$

μ_n = κινητικότητα ηλεκτρονίων
 E = ένταση ηλεκτρικού πεδίου

Ισχύει:
$$E = \frac{V_{DS}}{L} \quad (6)$$



Το ρεύμα υποδοχής του τρανζίστορ θα είναι:

$$I_D = \frac{Q_C}{T} = \frac{Q_C}{L/v} = \frac{Q_C}{L} \mu_n E = \frac{Q_C}{L^2} \mu_n V_{DS} = \mu_n C_{ox} \frac{W}{L} \left(V_{GS} - V_{TN} - \frac{V_{DS}}{2} \right) V_{DS} \Rightarrow$$

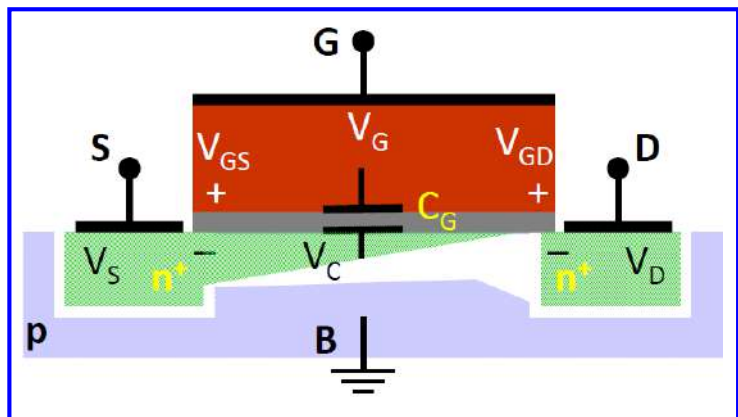
$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TN}) V_{DS} - \frac{V_{DS}^2}{2} \right] = k_n \left[(V_{GS} - V_{TN}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad k_n = \mu_n C_{ox} \frac{W}{L}$$

k_n = συντελεστής κέρδους του τρανζίστορ

Υπολογισμός ρεύματος του τρανζίστορ NMOS

Για $V_{DS} > V_{DSsat} = V_{GS} - V_{TN}$ (κορεσμός) το κανάλι εξαντλείται και το ρεύμα δεν εξαρτάται από τη V_{DS}

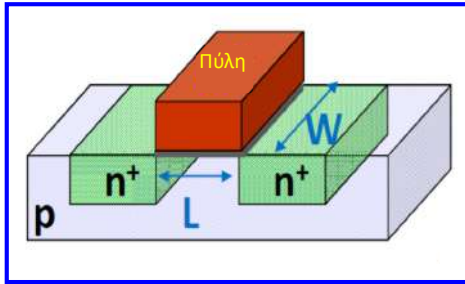
Συνεπώς, στην εξίσωση ρεύματος η V_{DS} αντικαθίσταται από την V_{DSsat} και ισχύει:



$$I_D = k_n \left[(V_{GS} - V_{TN}) V_{DSat} - \frac{V_{DSat}^2}{2} \right] \Rightarrow$$

$$I_D = k_n \left[(V_{GS} - V_{TN})(V_{GS} - V_{TN}) - \frac{(V_{GS} - V_{TN})^2}{2} \right] \Rightarrow I_D = \frac{k_n}{2} (V_{GS} - V_{TN})^2$$

Εκφράσεις ρεύματος του τρανζίστορ NMOS

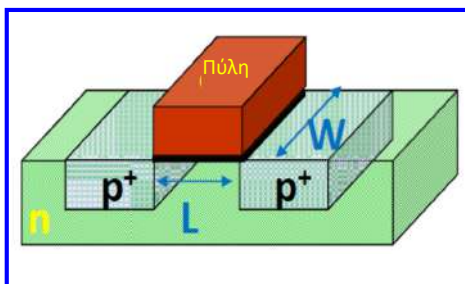


Συντελεστής κέρδους του NMOS $k_n = \mu_n \cdot C_{ox} \cdot \frac{W}{L} = \mu_n \cdot \frac{\epsilon_{ox}}{t_{ox}} \cdot \frac{W}{L}$

$$I_D = \begin{cases} 0 & V_{GS} \leq V_{TN} & \text{Αποκοπή} \\ k_n \left[(V_{GS} - V_{TN})V_{DS} - \frac{V_{DS}^2}{2} \right] & 0 < V_{GS} - V_{TN} > V_{DS} & \text{Γραμμική περιοχή} \\ \frac{k_n}{2} (V_{GS} - V_{TN})^2 & 0 < V_{GS} - V_{TN} \leq V_{DS} & \text{Περιοχή κορεσμού} \end{cases}$$

Οι εκφράσεις ισχύουν για τρανζίστορ με μεγάλο μήκος καναλιού

Εκφράσεις ρεύματος του τρανζίστορ PMOS



Συντελεστής κέρδους του PMOS $k_p = \mu_p \cdot C_{ox} \cdot \frac{W}{L} = \mu_p \cdot \frac{\epsilon_{ox}}{t_{ox}} \cdot \frac{W}{L}$

Ισχύει ότι: $\mu_p < \mu_n$

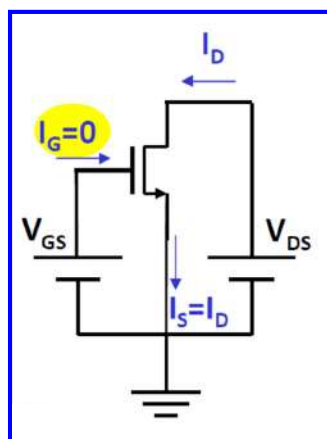
$$I_D = \begin{cases} 0 & V_{GS} \geq V_{TP} & \text{Αποκοπή} \\ k_p \left[(V_{GS} - V_{TP})V_{DS} - \frac{V_{DS}^2}{2} \right] & 0 > V_{DS} > V_{GS} - V_{TP} & \text{Γραμμική περιοχή} \\ \frac{k_p}{2} (V_{GS} - V_{TP})^2 & 0 > V_{GS} - V_{TP} \geq V_{DS} & \text{Περιοχή κορεσμού} \end{cases}$$

Οι εκφράσεις ισχύουν για τρανζίστορ με μεγάλο μήκος καναλιού

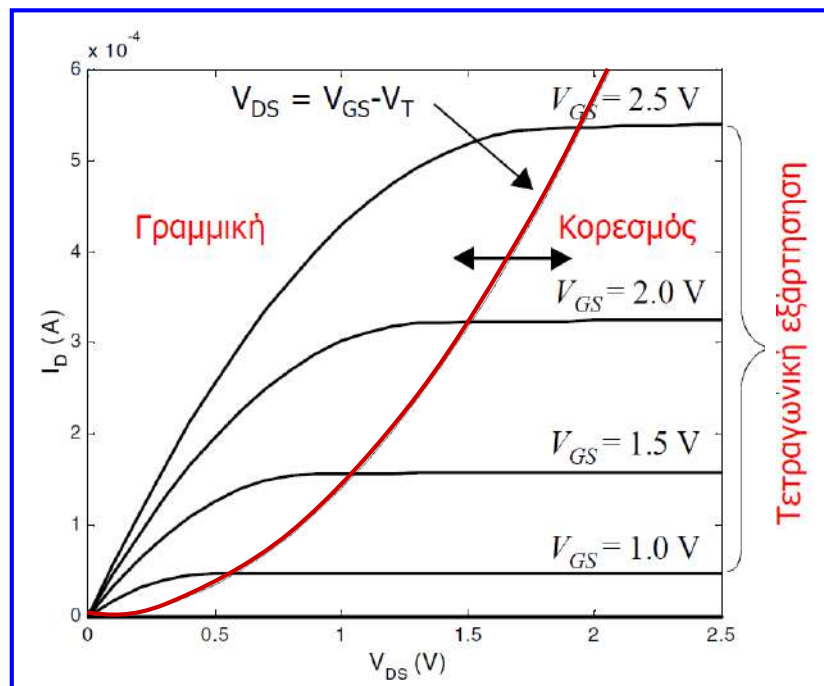
Παράγοντες που επηρεάζουν το ρεύμα των MOSFET

- Η απόσταση μεταξύ πηγής και υποδοχής (μήκος καναλιού του τρανζίστορ, L)
- Το πλάτος καναλιού του τρανζίστορ (W)
- Η τάση κατωφλίου (V_T)
- Το πάχος του μονωτικού (οξειδίου) της πύλης του τρανζίστορ (t_{ox})
- Η διηλεκτρική σταθερά του μονωτικού (οξειδίου) της πύλης του τρανζίστορ (ϵ)
- Η κινητικότητα των φορέων του καναλιού (μ)

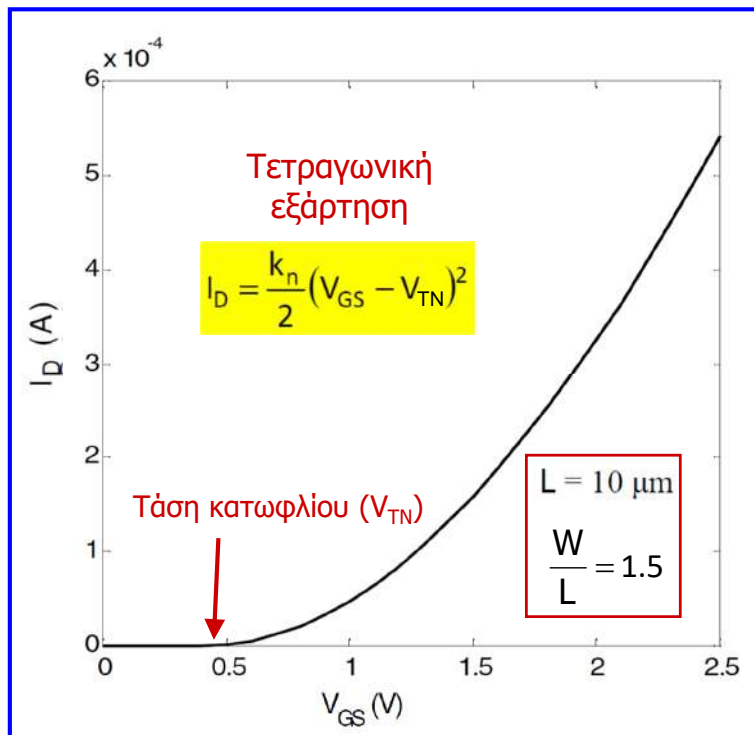
Χαρακτηριστικές $I_D - V_{DS}$ τρανζίστορ NMOS



$$L = 10 \mu\text{m}$$
$$\frac{W}{L} = 1.5$$

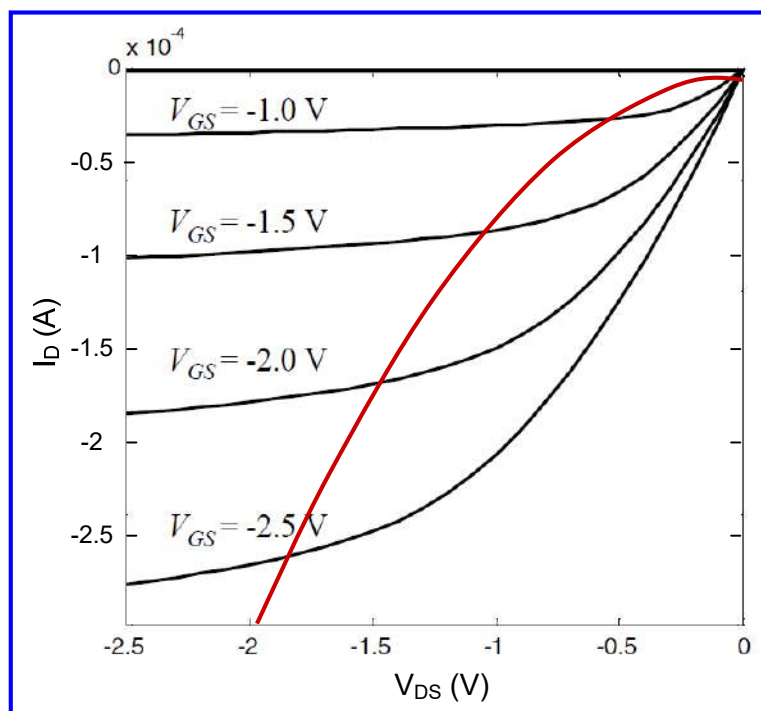


Χαρακτηριστική κορεσμού $I_D - V_{GS}$ τρανζίστορ NMOS



Χαρακτηριστικές $I_D - V_{DS}$ τρανζίστορ PMOS

$$\begin{aligned} L &= 10 \mu\text{m} \\ \frac{W}{L} &= 1.5 \\ \frac{\mu_n}{\mu_p} &= 2 \end{aligned}$$



Διαμόρφωση μήκους καναλιού

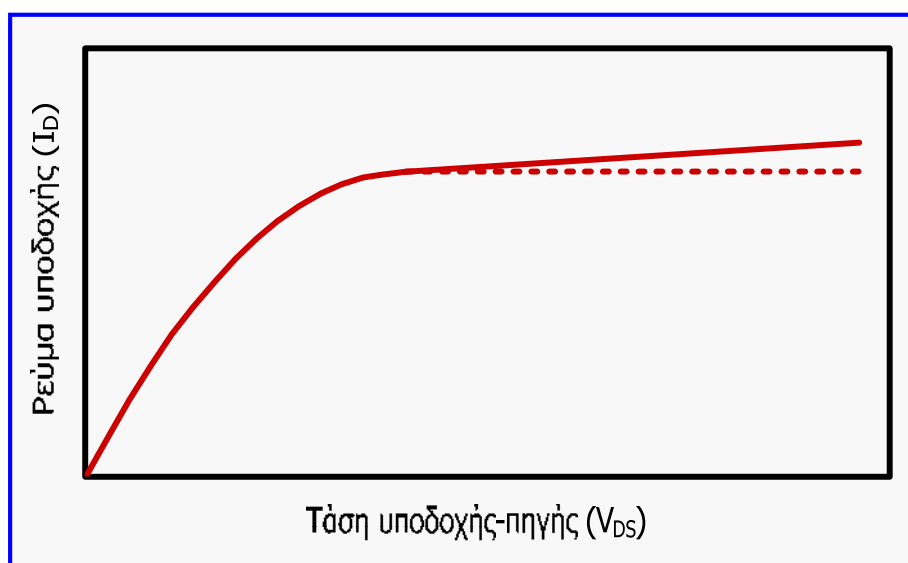
- Η έκφραση του ρεύματος I_D στην περιοχή κορεσμού υποδηλώνει ότι στην περιοχή αυτή, το ρεύμα μεταξύ των ακροδεκτών υποδοχής και πηγής είναι σταθερό και ανεξάρτητο από την τάση που εφαρμόζεται στους ακροδέκτες αυτούς.
- Ωστόσο, αυτό δεν ισχύει απολύτως, διότι το μήκος του αγωγίμου καναλιού διαμορφώνεται από την εφαρμοζόμενη V_{DS} . Η αύξηση της V_{DS} προκαλεί επέκταση της περιοχής αραιώσης προς την περιοχή υποδοχής και έτσι μειώνεται το μήκος του καναλιού.
- Από την έκφραση του ρεύματος I_D στην περιοχή κορεσμού, προκύπτει ότι όταν μειώνεται το μήκος καναλιού L , τότε το ρεύμα αυξάνεται.
- Συνεπώς, μία πιο ακριβής έκφραση του ρεύματος, έχει ως εξής:

$$I_D = I'_D (1 + \lambda \cdot V_{DS})$$

όπου I'_D είναι η έκφραση του ρεύματος κορεσμού που παράχθηκε προηγουμένως και λ μία εμπειρική παράμετρος που ονομάζεται **συντελεστής διαμόρφωσης μήκους καναλιού (channel-length modulation coefficient)**.

- Γενικά, ο συντελεστής λ είναι αντιστρόφως ανάλογος του μήκους καναλιού.
- Σε τρανζίστορ με **μικρό μήκος καναλιού**, η περιοχή αραιώσης της επαφής υποδοχής καταλαμβάνει μεγαλύτερο μέρος του καναλιού και το **φαινόμενο της διαμόρφωσης καναλιού** είναι πιο **έντονο**.

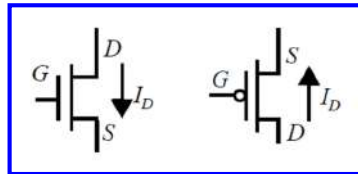
Διαμόρφωση μήκους καναλιού



Παράδειγμα 3

Για τα παρακάτω τρανζίστορ μεγάλου μήκους καναλιού NMOS και PMOS, προσδιορίζουμε την περιοχή λειτουργίας τους και το ρεύμα υποδοχής τους για δεδομένα ζεύγη τάσεων (V_{GS} , V_{DS}). Δίνονται για το NMOS $k_n = 115 \mu\text{A}/\text{V}^2$, $V_{TN0} = 0.43 \text{ V}$, $\lambda = 0.06 \text{ V}^{-1}$ και για το PMOS $k_p = -30 \mu\text{A}/\text{V}^2$, $V_{TP0} = -0.4 \text{ V}$, $\lambda = -0.1 \text{ V}^{-1}$. Θεωρήστε ότι δεν υφίσταται φαινόμενο σώματος.

$$\begin{aligned} V_{TN} &= V_{TN0} = 0.43 \text{ V} \\ V_{TP} &= V_{TP0} = -0.4 \text{ V} \end{aligned}$$



NMOS: $V_{GS} = 2.5 \text{ V}$, $V_{DS} = 2.5 \text{ V}$

$$V_{GS} - V_{TN} = (2.5 - 0.43) \text{ V} = 2.07 \text{ V} < V_{DS} = 2.5 \text{ V} \Rightarrow \text{περιοχή κορεσμού}$$

$$I_D = \frac{k_n}{2} (V_{GS} - V_{TN})^2 \cdot (1 + \lambda V_{DS}) = \frac{115 \mu\text{A}}{2 \text{ V}^2} (2.5 \text{ V} - 0.43 \text{ V})^2 \cdot (1 + 0.06 \cdot 2.5) = 283.34 \mu\text{A}$$

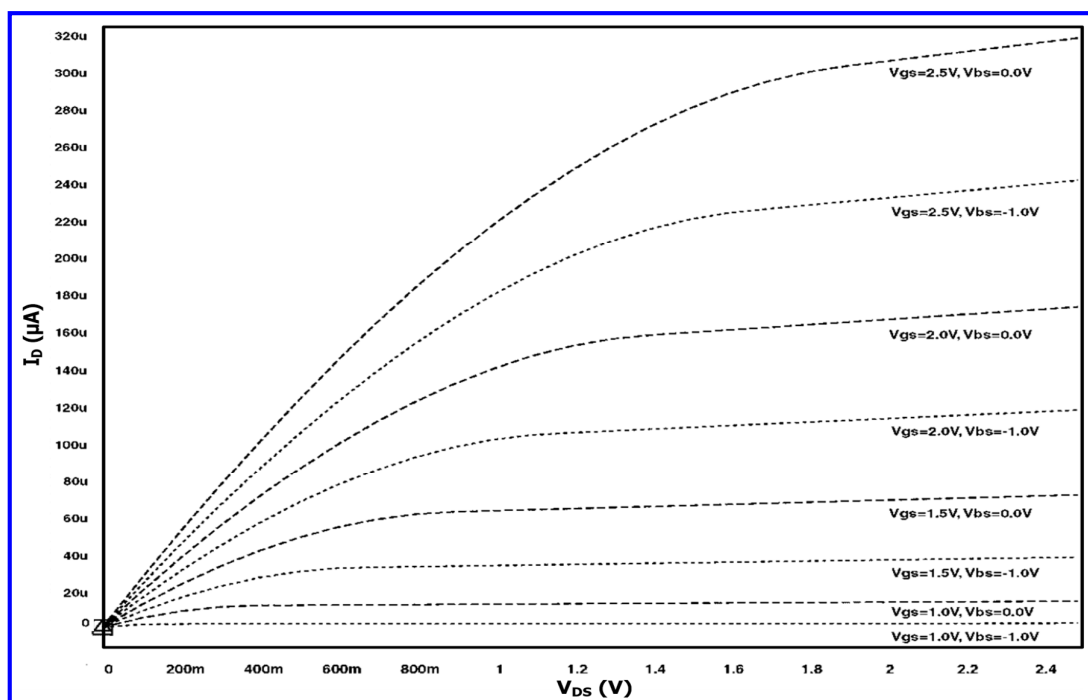
PMOS: $V_{GS} = -2.5 \text{ V}$, $V_{DS} = -1.8 \text{ V}$

$$V_{GS} - V_{TP} = (-2.5 + 0.4) \text{ V} = -2.1 \text{ V} < V_{DS} = -1.8 \text{ V} \Rightarrow \text{γραμμική περιοχή}$$

$$I_D = k_p \left[(V_{GS} - V_{TP}) V_{DS} - \frac{V_{DS}^2}{2} \right] = -30 \frac{\mu\text{A}}{\text{V}^2} \left[(-2.5 \text{ V} + 0.4 \text{ V}) \cdot (-1.8 \text{ V}) - \frac{1.8^2 \text{ V}^2}{2} \right] = -64.8 \mu\text{A}$$

Παράδειγμα 4

Δίνονται οι χαρακτηριστικές I_D - V_{DS} ενός τρανζίστορ NMOS, ότι $W/L = 5 \mu\text{m} / 5 \mu\text{m}$ και ότι $-2\Phi_F = 0.6 \text{ V}$. Υπολογίζουμε τις παραμέτρους του τρανζίστορ V_{T0} , λ και γ .



Παράδειγμα 4

Για τον υπολογισμό της V_{T0} , εντοπίζουμε στις χαρακτηριστικές που δίνονται, δύο σημεία για τα οποία $V_{SB} = 0$, δηλαδή σημεία για τα οποία δεν υφίσταται φαινόμενο σώματος. Τα σημεία αυτά θα πρέπει να ανήκουν στην ίδια περιοχή λειτουργίας του τρανζίστορ με ίδια V_{DS} :

Σημείο	V_{GS} (V)	V_{DS} (V)	I_D (μ A)	Περιοχή λειτουργίας
A	2.5	1.8	300	Κορεσμός
B	2.0	1.8	160	

$$\frac{I_{DA}}{I_{DB}} = \frac{\frac{1}{2} k_n (V_{GSA} - V_{T0})^2 (1 + \lambda V_{DSA})}{\frac{1}{2} k_n (V_{GSB} - V_{T0})^2 (1 + \lambda V_{DSB})} \Rightarrow$$
$$\frac{300}{160} = \frac{(2.5 - V_{T0})^2}{(2.0 - V_{T0})^2} \Rightarrow V_{T0} = 0.64 \text{ V}$$

Παράδειγμα 4

Για τον υπολογισμό του συντελεστή διαμόρφωσης μήκους καναλιού λ , επιλέγουμε στις χαρακτηριστικές που δίνονται, δύο σημεία στην περιοχή κορεσμού με την ίδια τάση V_{GS} :

Σημείο	V_{GS} (V)	V_{DS} (V)	I_D (μ A)	Περιοχή λειτουργίας
A	2.5	2.4	310	Κορεσμός
B	2.5	1.8	300	

$$\frac{I_{DA}}{I_{DB}} = \frac{\frac{1}{2} k_n (V_{GSA} - V_T)^2 (1 + \lambda V_{DSA})}{\frac{1}{2} k_n (V_{GSB} - V_T)^2 (1 + \lambda V_{DSB})} \Rightarrow$$
$$\frac{310}{300} = \frac{1 + \lambda \cdot 2.4}{1 + \lambda \cdot 1.8} \Rightarrow \lambda = 0.0617 \text{ V}^{-1}$$

Παράδειγμα 4

Για τον υπολογισμό του **συντελεστή φαινομένου σώματος γ** , επιλέγουμε δύο σημεία στις χαρακτηριστικές που δίνονται, με διαφορετική τάση V_{SB} και ίδιες τις υπόλοιπες τάσεις:

Σημείο	V_{SB} (V)	V_{GS} (V)	V_{DS} (V)	I_D (μ A)	Περιοχή λειτουργίας
A	1.0	2.0	1.2	105	Κορεσμός
B	0.0	2.0	1.2	150	

$$\frac{I_{DA}}{I_{DB}} = \frac{\frac{1}{2}k_n(V_{GSA} - V_T)^2(1 + \lambda V_{DSA})}{\frac{1}{2}k_n(V_{GSB} - V_{T0})^2(1 + \lambda V_{DSB})} \Rightarrow$$
$$\frac{105}{150} = \frac{(2.0 - V_T)^2}{(2.0 - 0.64)^2} \Rightarrow V_T = 0.862V$$

$$V_T = V_{T0} + \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right) \Rightarrow$$
$$V_T - V_{T0} = \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right) \Rightarrow$$
$$0.862 - 0.64 = \gamma \left(\sqrt{0.6 + 1} - \sqrt{0.6} \right) \Rightarrow$$
$$0.222 = \gamma \cdot 0.49 \Rightarrow \gamma = 0.453 V^{0.5}$$

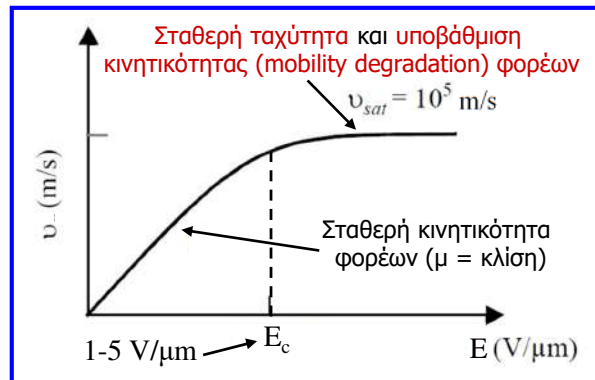
Φαινόμενα μικρού μήκους καναλιού

- Η λειτουργία ενός σύγχρονου τρανζίστορ μπορεί να παρουσιάσει ορισμένες σημαντικές αποκλίσεις από το μοντέλο που παρουσιάστηκε.
- Οι αποκλίσεις αυτές γίνονται ιδιαίτερα έντονες όταν πρόκειται για τρανζίστορ με πολύ μικρά μήκη καναλιού (**τρανζίστορ μικρού μήκους καναλιού - short-channel devices**) με διαστάσεις που φθάνουν πολύ χαμηλότερα από το ένα μικρόμετρο.
- Οι «ένοχοι» για την ανεπάρκεια αυτή των μοντέλων είναι μια σειρά από **φαινόμενα μικρού μήκους καναλιού (short-channel effects)** με κυριότερο το **φαινόμενο κορεσμού της ταχύτητας των φορέων (velocity saturation effect)**.
- Άλλα τέτοια φαινόμενα είναι: η αγωγή υποκατωφλίου, το φαινόμενο DIBL, η παρασιτική αντίσταση πηγής-υποδοχής, το φαινόμενο θερμών φορέων και το ρεύμα διαρροής πύλης.
- Η κατανόηση μερικών από τα φαινόμενα αυτά, που αναφέρονται και ως **φαινόμενα δεύτερης τάξης** και της επίδρασής τους στη συμπεριφορά του στοιχείου, είναι χρήσιμη για το σχεδιασμό των σύγχρονων ψηφιακών κυκλωμάτων, επομένως αξίζει να συζητηθούν.
- Ωστόσο, δεν είναι δυνατό να συμπεριλάβουμε τις επιδράσεις όλων αυτών των φαινομένων σε ένα απλό μοντέλο για ανάλυση με το χέρι.
- Η επίδραση τους μπορεί να μελετηθεί χρησιμοποιώντας εργαλεία προσομοίωσης με τη βοήθεια υπολογιστή, που χρησιμοποιούν πιο ακριβή μοντέλα για τα τρανζίστορ.

Κορεσμός ταχύτητας και υποβάθμιση κινητικότητας των φορέων

- Με βάση τη σχέση $U = \mu \cdot E$ που χρησιμοποιήθηκε κατά τον υπολογισμό του ρεύματος σε ένα MOSFET, η ταχύτητα των φορέων είναι ανάλογη προς το ηλεκτρικό πεδίο και η κινητικότητα των φορέων είναι σταθερή.
- Ωστόσο, για υψηλές εντάσεις του οριζώντιου ηλεκτρικού πεδίου, η ταχύτητα των φορέων δεν ακολουθεί το γραμμικό αυτό μοντέλο.
- Όταν το οριζόντιο ηλεκτρικό πεδίο φθάσει μία κρίσιμη τιμή E_c , η ταχύτητα των φορέων τείνει να κορεστεί (σταθεροποιείται) και η κινητικότητα τους υποβαθμίζεται, λόγω των φαινομένων διασποράς, δηλαδή των συγκρούσεων που υφίστανται μεταξύ των φορέων.

Αφού $E \sim V_{DS} / L$, σε MOSFET με μικρό μήκος καναλιού, η κρίσιμη τιμή του οριζώντιου ηλεκτρικού πεδίου και συνεπώς ο κορεσμός της ταχύτητας φορέων (carriers' velocity saturation), συμβαίνει για μικρότερες τιμές τάσης υποδοχής-πηγής (V_{DS})



Κορεσμός ταχύτητας και υποβάθμιση κινητικότητας των φορέων

- Το κάθετο ηλεκτρικό πεδίο που οφείλεται στην τάση πύλης, σπρώχνει τους φορείς προς το οξειδίο πύλης.
- Η κινητικότητα των φορέων υποβαθμίζεται περαιτέρω, λόγω των συγκρούσεων των φορέων στην διεπαφή οξειδίου καναλιού.
- Απαιτείται αναθεώρηση του υπολογισμού ρεύματος του MOSFET.
- Ταχύτητα φορέων:

$$\begin{aligned} v &= \mu \cdot E && \text{for } E \leq E_c \\ &= v_{sat} = \mu \cdot E_c && \text{for } E \geq E_c \end{aligned}$$

- Τάση υποδοχής-πηγής στην οποία συμβαίνει κορεσμός της ταχύτητας των φορέων:

$$V_{DSAT} = L \cdot E_c = \frac{L \cdot v_{sat}}{\mu}$$

Κορεσμός ταχύτητας και υποβάθμιση κινητικότητας των φορέων

- Η έκφραση ρεύματος για την γραμμική περιοχή δεν αλλάζει και παραμένει ως έχει στο μοντέλο μεγάλου μήκους καναλιού.
- Όταν εμφανίζεται μεταξύ υποδοχής και πηγής τάση ίση με V_{DSAT} , δεχόμαστε **κατά προσέγγιση ότι το ρεύμα περνάει απότομα σε κατάσταση κορεσμού με τιμή I_{DSAT}** .
- Το **ρεύμα στην περιοχή κορεσμού** μπορεί να υπολογιστεί εισάγοντας την τάση κορεσμού (V_{DSAT}) της ταχύτητας των φορέων στην έκφραση ρεύματος της γραμμικής περιοχής.

$$I_{DSAT} = \mu C_{ox} \frac{W}{L} \left((V_{GS} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$$

$$I_{DSAT} = v_{sat} C_{ox} W \left(V_{GS} - V_T - \frac{V_{DSAT}}{2} \right)$$

$$V_{DSAT} = L \cdot v_{sat} / \mu \Rightarrow$$

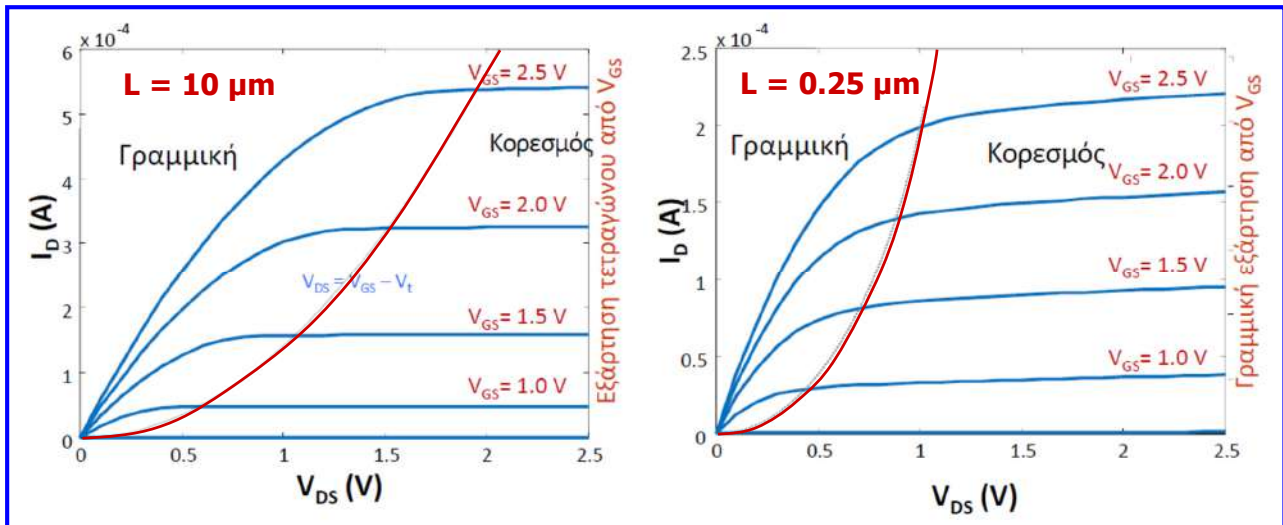
$$\mu = L \cdot v_{sat} / V_{DSAT}$$

- Το **μοντέλο** είναι **απλοποιημένο** και οδηγεί σε αποκλίσεις στη ζώνη μετάβασης μεταξύ της γραμμικής περιοχής και της περιοχής κορεσμού της ταχύτητας των φορέων.
- Το σημαντικό όμως είναι ότι οι εξισώσεις αυτές είναι συνδεδεμένες με τις εξισώσεις μεγάλου μήκους καναλιού και παρέχουν στον ψηφιακό σχεδιαστή ένα εργαλείο για την κατανόηση και ερμηνεία του φαινομένου κορεσμού της ταχύτητας των φορέων.

Κορεσμός ταχύτητας και υποβάθμιση κινητικότητας των φορέων

- Στα τρανζίστορ **MOSFET μικρού μήκους καναλιού** ισχύει ότι $V_{DSAT} < V_{GS} - V_T$, με αποτέλεσμα αυτά να παρουσιάζουν **εκτεταμένη περιοχή κορεσμού** και να τείνουν να λειτουργούν περισσότερο στην περιοχή κορεσμού από ότι τα αντίστοιχα τρανζίστορ μεγάλου μήκους καναλιού, **λόγω του κορεσμού της ταχύτητας των φορέων**.
- Το **ρεύμα κορεσμού (I_{DSAT})** παρουσιάζει **γραμμική εξάρτηση** σε σχέση με την **τάση πύλης-πηγής (V_{GS})**, η οποία έρχεται σε αντίθεση με την τετραγωνική εξάρτηση που ισχύει στα τρανζίστορ μεγάλου μήκους καναλιού.
- Αυτό μειώνει την ποσότητα ρεύματος που μπορεί να παραδώσει ένα τρανζίστορ για δεδομένη τάση ελέγχου (V_{GS}).
- Απ' την άλλη πλευρά, η μείωση της τάσης λειτουργίας δεν έχει τόσο μεγάλη επίδραση σε τρανζίστορ μικρού μήκους καναλιού σε σχέση με εκείνη που έχει σε τρανζίστορ μεγάλου μήκους καναλιού.

Κορεσμός ταχύτητας και υποβάθμιση κινητικότητας των φορέων



Τα δύο τρανζίστορ είναι κατασκευασμένα στην ίδια τεχνολογία (0.25 μm) και ο λόγος W/L και των δύο είναι ο ίδιος (1.5)

Κορεσμός ταχύτητας και υποβάθμιση κινητικότητας των φορέων

- Ένα επίσης απλοποιημένο μοντέλο που λαμβάνει υπόψη τον κορεσμό της ταχύτητας και την υποβάθμιση της κινητικότητας των φορέων, βασίζεται στο γεγονός ότι όταν τα τρανζίστορ MOSFET μικρού μήκους καναλιού λειτουργούν στην περιοχή κόρου, το ρεύμα υποδοχής είναι ανάλογο με τον όρο $(V_{GS} - V_T)^a$, όπου a : δείκτης κορεσμού της ταχύτητας των φορέων (velocity saturation index) που λαμβάνει τιμές μεταξύ 1 και 2.
- Οι εκφράσεις ρεύματος του μοντέλου, που αναφέρεται ως μοντέλο MOSFET δύναμης του a (alpha-power law MOSFET model), έχει ως εξής:

$$I_D = B(V_{GS} - V_T)^a \frac{V_{DS}}{V'_{DO}} \quad \text{ή} \quad I_D = B(V_{GS} - V_T)^a \left(2 - \frac{V_{DS}}{V'_{DO}}\right) \frac{V_{DS}}{V'_{DO}} \quad V_{DS} \leq V'_{DO} \quad \text{Γραμμική περιοχή}$$

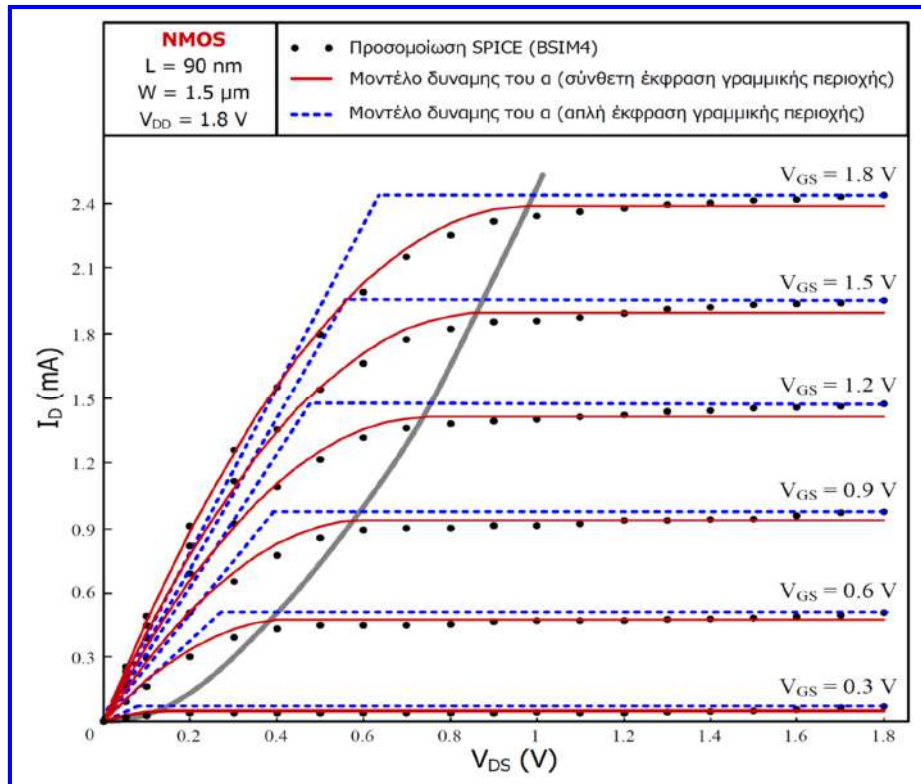
$$I_D = B(V_{GS} - V_T)^a \quad V_{DS} > V'_{DO} \quad \text{Περιοχή κορεσμού}$$

$$V'_{DO} = K(V_{GS} - V_T)^{a/2} \quad (\text{η τάση } V'_{DO} \text{ είναι αντίστοιχη με τη } V_{DSAT})$$

Κορεσμός ταχύτητας και υποβάθμιση κινητικότητας

των φορέων

Η ακρίβεια του μοντέλου βελτιώνεται εάν ληφθεί υπόψη η επίδραση της διαμόρφωσης μήκους καναλιού, δηλαδή εάν γίνει προσθήκη του όρου $(1 + \lambda V_{DS})$



Παράδειγμα 5

Τα δεδομένα μετρήσεων του παρακάτω πίνακα αφορούν τρανζιστορ NMOS μικρού μήκους καναλιού με $V_{DSAT} = 0.6 \text{ V}$ και $\mu_n \cdot C_{ox} = 100 \text{ } \mu\text{A/V}^2$. Υπολογίζουμε τις παραμέτρους V_{TON} , λ , $|2\phi_f|$ και γ , καθώς και το λόγο διαστάσεων του τρανζιστορ W/L . Θεωρήστε ότι όλες οι μετρήσεις ελήφθησαν με το τρανζιστορ να λειτουργεί στην περιοχή κορεσμού.

Μέτρηση	V_{GS} (V)	V_{DS} (V)	V_{SB} (V)	I_D (μA)
1	2.5	1.8	0	1812
2	2	1.8	0	1297
3	2	2.5	0	1361
4	2	1.8	1	1146
5	2	1.8	2	1039

Στην περιοχή κορεσμού ισχύει:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TN}) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right] (1 + \lambda V_{DS})$$

Παράδειγμα 5

Από τις μετρήσεις 1 και 2, όπου δεν υφίσταται φαινόμενο σώματος ($V_{SB} = 0$):

$$1812 = \mu_n C_{ox} \frac{W}{L} \left[(2.5 - V_{TN0}) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 1.8)$$
$$1297 = \mu_n C_{ox} \frac{W}{L} \left[(2 - V_{TN0}) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 1.8)$$

Διαιρούμε τις παραπάνω σχέσεις κατά μέλη για να υπολογίσουμε την V_{TN0} :

$$\frac{1812}{1297} = \frac{(2.5 - V_{TN0}) \cdot 0.6 - \frac{0.6^2}{2}}{(2 - V_{TN0}) \cdot 0.6 - \frac{0.6^2}{2}} \Rightarrow 1.4 = \frac{1.32 - 0.6 \cdot V_{TN0}}{1.02 - 0.6 \cdot V_{TN0}} \Rightarrow V_{TN0} = 0.44 \text{ V}$$

Παράδειγμα 5

Από τις μετρήσεις 2 και 3, μπορούμε με τον ίδιο τρόπο να υπολογίσουμε την παράμετρο λ :

$$1297 = \mu_n C_{ox} \frac{W}{L} \left[(2.5 - V_{TN0}) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 1.8)$$
$$1361 = \mu_n C_{ox} \frac{W}{L} \left[(2.5 - V_{TN0}) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 2.5)$$

Διαιρούμε τις παραπάνω σχέσεις κατά μέλη και υπολογίζουμε εύκολα το συντελεστή διαμόρφωσης μήκους καναλιού (λ):

$$\frac{1297}{1361} = \frac{1 + \lambda \cdot 1.8}{1 + \lambda \cdot 2.5} \Rightarrow 0.95 = \frac{1 + \lambda \cdot 1.8}{1 + \lambda \cdot 2.5} \Rightarrow \lambda = 0.08 \text{ V}^{-1}$$

Παράδειγμα 5

Από τις μετρήσεις 2 και 4, όπου στη πρώτη δεν υφίσταται φαινόμενο σώματος ($V_{SB} = 0$) και στην δεύτερη υφίσταται ($V_{SB} = 1 \text{ V}$), μπορούμε να υπολογίσουμε την V_{TN} για $V_{SB} = 1 \text{ V}$:

$$1297 = \mu_n C_{ox} \frac{W}{L} \left[(2 - 0.44) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 1.8)$$

$$1146 = \mu_n C_{ox} \frac{W}{L} \left[(2 - V_{TN}) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 1.8)$$

Διαιρούμε τις παραπάνω σχέσεις κατά μέλη για να υπολογίσουμε την V_{TN} για $V_{SB} = 1 \text{ V}$:

$$\frac{1297}{1146} = \frac{(2 - 0.44) \cdot 0.6 - \frac{0.6^2}{2}}{(2 - V_{TN}) \cdot 0.6 - \frac{0.6^2}{2}} \Rightarrow 1.132 = \frac{0.756}{1.02 - 0.6 \cdot V_{TN}} \Rightarrow V_{TN} = 0.587 \text{ V}$$

Παράδειγμα 5

Από τις μετρήσεις 2 και 5, όπου στη πρώτη δεν υφίσταται φαινόμενο σώματος ($V_{SB} = 0$) και στην δεύτερη υφίσταται ($V_{SB} = 2 \text{ V}$), μπορούμε να υπολογίσουμε την V'_{TN} για $V_{SB} = 2 \text{ V}$:

$$1297 = \mu_n C_{ox} \frac{W}{L} \left[(2 - 0.44) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 1.8)$$

$$1039 = \mu_n C_{ox} \frac{W}{L} \left[(2 - V'_{TN}) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + \lambda \cdot 1.8)$$

Διαιρούμε τις παραπάνω σχέσεις κατά μέλη για να υπολογίσουμε την V'_{TN} για $V_{SB} = 2 \text{ V}$:

$$\frac{1297}{1039} = \frac{(2 - 0.44) \cdot 0.6 - \frac{0.6^2}{2}}{(2 - V'_{TN}) \cdot 0.6 - \frac{0.6^2}{2}} \Rightarrow 1.248 = \frac{0.756}{1.02 - 0.6 \cdot V'_{TN}} \Rightarrow V'_{TN} = 0.691 \text{ V}$$

Παράδειγμα 5

$$V_{TN} = V_{TN0} + \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right)$$

Η παραπάνω σχέση για τις μετρήσεις 4 και 5, έχει ως εξής:

$$V_{TN} = 0.44 + \gamma \left(\sqrt{|-2\phi_F + 1|} - \sqrt{|2\phi_F|} \right) \Rightarrow 0.587 - 0.44 = \gamma \left(\sqrt{|-2\phi_F + 1|} - \sqrt{|2\phi_F|} \right)$$

$$V'_{TN} = 0.44 + \gamma \left(\sqrt{|-2\phi_F + 2|} - \sqrt{|2\phi_F|} \right) \Rightarrow 0.691 - 0.44 = \gamma \left(\sqrt{|-2\phi_F + 2|} - \sqrt{|2\phi_F|} \right)$$

Διαιρούμε τις παραπάνω σχέσεις κατά μέλη για να υπολογίσουμε την παράμετρο $|2\phi_F|$:

$$\frac{0.147}{0.251} = \frac{\sqrt{|-2\phi_F + 1|} - \sqrt{|2\phi_F|}}{\sqrt{|-2\phi_F + 2|} - \sqrt{|2\phi_F|}} \Rightarrow 0.585 = \frac{\sqrt{|-2\phi_F + 1|} - \sqrt{|2\phi_F|}}{\sqrt{|-2\phi_F + 2|} - \sqrt{|2\phi_F|}} \Rightarrow \dots \Rightarrow |2\phi_F| = 0.6$$

Στη συνέχεια από την μέτρηση 4, υπολογίζουμε την παράμετρο γ :

$$V_{TN} = V_{TN0} \pm \gamma \left(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right) \Rightarrow 0.587 = 0.44 + \gamma \left(\sqrt{0.6 + 1} - \sqrt{0.6} \right) \Rightarrow \gamma = 0.3$$

Παράδειγμα 5

Από τη μέτρηση 2, μπορούμε πλέον εύκολα να υπολογίσουμε το λόγο W/L του MOSFET:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TN0}) \cdot V_{DSAT} - \frac{V_{DSAT}^2}{2} \right] (1 + \lambda \cdot V_{DS}) \Rightarrow$$

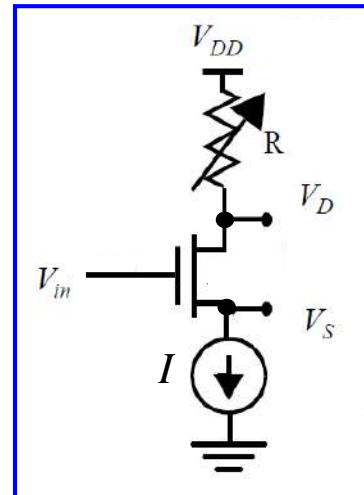
$$1297 = 100 \frac{W}{L} \left[(2 - 0.44) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + 0.08 \cdot 1.8) \Rightarrow$$

$$\frac{W}{L} = \frac{1297}{100 \left[(2 - 0.44) \cdot 0.6 - \frac{0.6^2}{2} \right] (1 + 0.08 \cdot 1.8)} \Rightarrow \frac{W}{L} = 15$$

Παράδειγμα 6

Ένα τρανζίστορ NMOS συνδέεται στο παρακάτω κύκλωμα, το οποίο λαμβάνει τάση εισόδου $V_{in} = 2 \text{ V}$ και τροφοδοσία $V_{DD} = 2.5 \text{ V}$. Η πηγή ρεύματος παράγει σταθερό ρεύμα $50 \mu\text{A}$. Η αντίσταση R είναι μεταβλητή και λαμβάνει τιμές μεταξύ $10 \text{ k}\Omega$ και $30 \text{ k}\Omega$. Για το τρανζίστορ, στο οποίο επιδρά το φαινόμενο κορεσμού της ταχύτητας των φορέων, δίνονται οι παράμετροι: $\mu_n \cdot C_{ox} = 110 \mu\text{A}/\text{V}^2$, $V_T = 0.4 \text{ V}$, $V_{DSAT} = 0.6 \text{ V}$, $W/L = 2.5 \mu\text{m} / 0.25 \mu\text{m}$. Υποθέτουμε ότι η επίδραση του φαινομένου σώματος και του φαινομένου διαμόρφωσης μήκους καναλιού είναι αμελητέες (δηλαδή, $\lambda = \gamma = 0$).

1. Όταν $R = 10 \text{ k}\Omega$ προσδιορίζουμε την περιοχή λειτουργίας του τρανζίστορ, καθώς και τα δυναμικά των ακροδεκτών του τρανζίστορ D και S .
2. Όταν $R = 30 \text{ k}\Omega$ επαναλαμβάνουμε τα ζητούμενα του προηγούμενου ερωτήματος.



Παράδειγμα 6

1.

$$V_D = V_{DD} - I \cdot R \Rightarrow V_D = (2.5 - 50 \cdot 10^{-6} \cdot 10 \cdot 10^3) \text{ V} \Rightarrow V_D = 2 \text{ V}$$

Αρχικά υποθέτουμε ότι το τρανζίστορ λειτουργεί στην περιοχή κορεσμού, όπου ισχύει:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TN}) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right] \Rightarrow$$
$$50 = 110 \cdot 10 \cdot \left[(V_{GS} - V_T) \cdot 0.6 - \frac{0.6^2}{2} \right] \Rightarrow V_{GS} - V_T = 0.375 \text{ V} \Rightarrow V_{GS} = 0.775 \text{ V}$$

$$V_{GS} = V_G - V_S \Rightarrow V_S = V_G - V_{GS} \Rightarrow V_S = V_{in} - V_{GS} \Rightarrow V_S = (2 - 0.775) \text{ V} \Rightarrow V_S = 1.225 \text{ V}$$

$$V_{DS} = V_D - V_S \Rightarrow V_{DS} = 2 - 1.225 \Rightarrow V_{DS} = 0.775 \text{ V} > 0.6 \text{ V} = V_{DSAT} \Rightarrow \text{Κορεσμός}$$

Παράδειγμα 6

2.

$$V_D = V_{DD} - I \cdot R \Rightarrow V_D = (2.5 - 50 \cdot 10^{-6} \cdot 30 \cdot 10^3) \text{ V} \Rightarrow V_D = 1 \text{ V}$$

Αρχικά υποθέτουμε ότι το τρανζίστορ λειτουργεί στην γραμμική περιοχή, όπου ισχύει:

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{GS} - V_{TN}) V_{DS} - \frac{V_{DS}^2}{2} \right] \Rightarrow$$
$$50 = 110 \cdot 10 \cdot \left[(V_G - V_S - 0.4) \cdot (V_D - V_S) - \frac{(V_D - V_S)^2}{2} \right] \Rightarrow$$
$$0.045 = (V_{in} - V_S - 0.4) \cdot (1 - V_S) - \frac{(1 - V_S)^2}{2} \Rightarrow$$
$$0.045 = (2 - V_S - 0.4) \cdot (1 - V_S) - \frac{(1 - V_S)^2}{2} \Rightarrow V_S = 0.93 \text{ V}$$

$$V_{DS} = V_D - V_S \Rightarrow V_{DS} = 1 - 0.93 \Rightarrow V_{DS} = 0.07 \text{ V} < 0.6 \text{ V} = V_{DSAT} \Rightarrow \text{Γραμμική περιοχή}$$

Αγωγή υποκατωφλίου

- Τα τρανζίστορ MOSFET παρουσιάζουν μερική αγωγή για $|V_{GS}| \leq |V_T|$. Το φαινόμενο αυτό αναφέρεται ως **αγωγή υποκατωφλίου (subthreshold conduction)** ή αγωγή ασθενούς αντιστροφής (weak-inversion conduction).
- Έναρξη ισχυρής αντιστροφής σημαίνει ότι άφθονοι φορείς είναι διαθέσιμοι για αγωγή, αλλά αυτό δε σημαίνει ότι δεν ρέει καθόλου ρεύμα για τάσεις πύλης-πηγής χαμηλότερες από την τάση κατωφλίου, αν και τα επίπεδα ρεύματος κάτω από αυτές τις συνθήκες είναι μικρά.
- Συνεπώς, η μετάβαση του στοιχείου από την κατάσταση αγωγής (on) στην κατάσταση αποκοπής (off) δεν είναι απότομη αλλά βαθμιαία.
- Η τιμή του ρεύματος για $|V_{GS}| \leq |V_T|$ δεν πέφτει αμέσως στο 0, αλλά εξασθενεί εκθετικά.
- Αυτό οφείλεται διότι κατά την απουσία αγωγίμου καναλιού, οι περιοχές πηγής (n+), υποστρώματος (p) και υποδοχής (n+) σχηματίζουν ένα παρασιτικό διπολικό τρανζίστορ.
- Το **ρεύμα υποκατωφλίου (subthreshold current)** προσεγγίζεται ως εξής:

$$I_D = I_S e^{\frac{V_{GS}}{n k T / q}} \left(1 - e^{-\frac{V_{DS}}{k T / q}} \right)$$

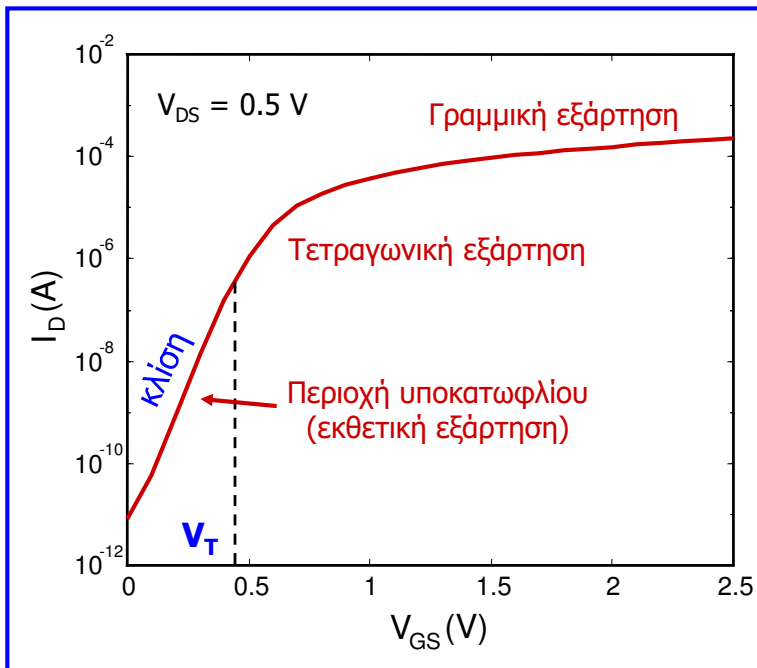
$$n = 1 + \frac{C_D}{C_{ox}}$$

τυπικές τιμές του $n \sim 1.5$

$k T / q$: θερμοκή τάση
(26 mV στους 27 °C)

I_S : εμπειρική παράμετρος (I_D για $V_{GS} = 0$, $V_{DS} = V_{DD}$), k : σταθερά Boltzman $1.38 \cdot 10^{-23} \text{ J/}^\circ\text{K}$, q : φορτίο ηλεκτρονίου, T : θερμοκρασία, C_D : χωρητικότητα περιοχής υποδοχής.

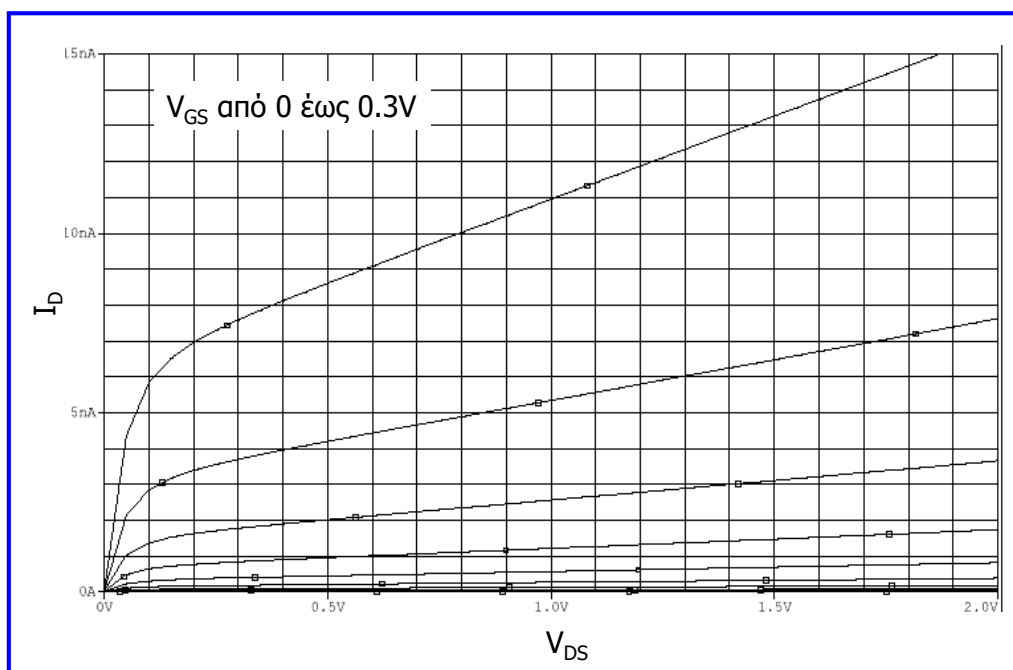
Αγωγή υποκατωφλίου



- Η παρουσία του ρεύματος υποκατωφλίου είναι ανεπιθύμητη επειδή προκαλεί απόκλιση από την ιδανική διακοπτική συμπεριφορά του τρανζίστορ.
- Είναι λοιπόν επιθυμητή η γρήγορη πτώση του ρεύματος όταν η V_{GS} πέφτει κάτω από την V_T .
- Ο ρυθμός εξασθένησης του ρεύματος σε σχέση με την τάση V_{GS} κάτω από την V_T , που προσδιορίζεται από την κλίση μείωσης του ρεύματος, αποτελεί μέτρο ποιότητας για το τρανζίστορ.
- Η κλίση αυτή μείωσης του ρεύματος μειώνεται με την αύξηση της θερμοκρασίας λειτουργίας.

Αγωγή υποκατωφλίου

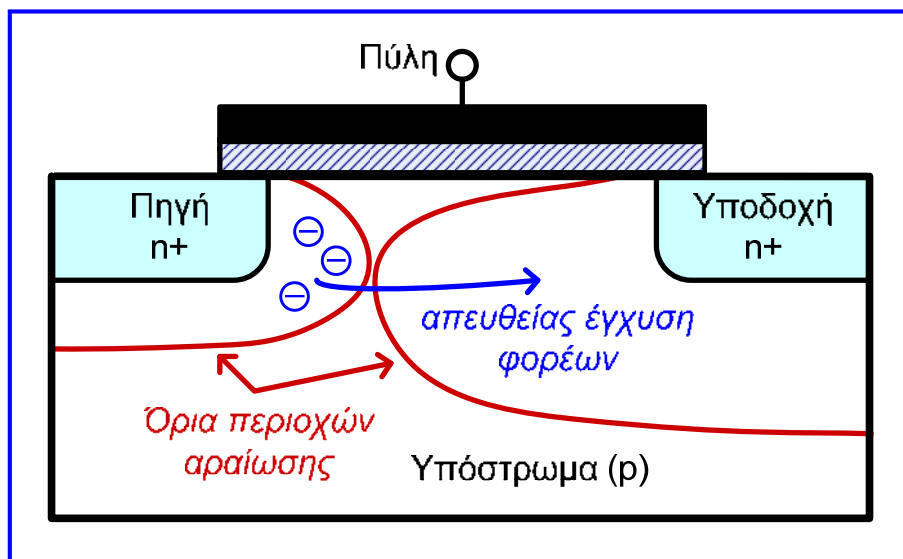
Χαρακτηριστικές υποκατωφλίου τρανζίστορ NMOS ($L = 0.25 \mu\text{m}$)



Μείωση φράγματος επαγόμενης υποδοχής (DIBL)

- Μέχρι τώρα διαπιστώσαμε ότι η τάση κατωφλίου είναι συνάρτηση μόνο της τεχνολογίας κατασκευής και της εφαρμοζόμενης τάσης V_{SB} .
- Όσο το μήκος καναλιού των τρανζίστορ μειώνεται, το μοντέλο αυτό της V_T γίνεται ανακριβές και η τάση κατωφλίου γίνεται συνάρτηση και της V_{DS} .
- Στην εξαγωγή της σχέσης της τάσης κατωφλίου ελήφθη υπόψη μόνο η περιοχή αραίωσης του καναλιού που οφείλεται αποκλειστικά στην εφαρμοζόμενη τάση πύλης.
- Όταν μειώνεται το μήκος καναλιού, με την αύξηση της τάσης υποδοχής-πηγής αυξάνεται το εύρος της περιοχής αραίωσης που δημιουργείται στην υποδοχή και το ηλεκτρικό πεδίο της υποδοχής εισχωρεί στην περιοχή αραίωσης που δημιουργείται στην πηγή, υποβοηθώντας έτσι την έναρξη της ισχυρής αντιστροφής.
- Το φαινόμενο αυτό αναφέρεται ως **μείωση φράγματος επαγόμενης υποδοχής (drain induced barrier lowering, DIBL)**.
- Αυτό έχει ως αποτέλεσμα, όταν αυξάνεται η V_{DS} , να προκαλείται **μείωση της τάσης κατωφλίου** και κατά συνέπεια **αύξηση του ρεύματος του τρανζίστορ**.
- Το φαινόμενο DIBL επιδρά στις χαρακτηριστικές του τρανζίστορ προκαλώντας αύξηση του ρεύματος υποδοχής κυρίως για αυξημένες τιμές της V_{DS} (περιοχή κορεσμού).
- Η αύξηση αυτή του ρεύματος προστίθεται σε εκείνη που οφείλεται στη διαμόρφωση του μήκους καναλιού.

Μείωση φράγματος επαγόμενης υποδοχής (DIBL)



Λόγω του φαινομένου DIBL **μειώνεται η τάση κατωφλίου κατά $\eta_{DIBL} \cdot V_{DS}$** (τυπικές τιμές συντελεστή $\eta_{DIBL} \sim 0.1 - 0.2$) και **αυξάνεται η κλίση των χαρακτηριστικών $I_D - V_{DS}$** του τρανζίστορ κυρίως στην περιοχή κορεσμού

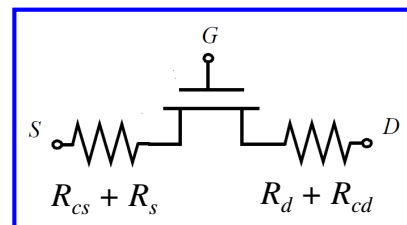
Παρασιτικές αντιστάσεις πηγής-υποδοχής

- Η επίδοση ενός κυκλώματος CMOS επηρεάζεται από τις παρασιτικές αντιστάσεις των περιοχών και επαφών υποδοχής και πηγής.
- Στα τρανζίστορ μεγάλου μήκους καναλιού, οι παρασιτικές αυτές αντιστάσεις είναι αμελητέες συγκρινόμενες με την αντίσταση του καναλιού.
- Η επίδρασή τους όμως είναι πιο έντονη όταν έχουμε σμίκρυνση του μήκους καναλιού των τρανζίστορ, αφού τότε αποτελούν αξιοσημείωτο μέρος της αντίστασης καναλιού και μπορούν να προκαλέσουν σημαντική υποβάθμιση του ρεύματος του τρανζίστορ.
- Η υποβάθμιση αυτή είναι πιο σημαντική στην γραμμική περιοχή λειτουργίας (μικρές τιμές V_{DS}), αφού σε αυτή η αντίσταση καναλιού είναι μικρή (μεγάλη κλίση των χαρακτηριστικών $I_D - V_{DS}$).

$$I_D = \frac{V_{DS}}{R_{ch} + R_{sd}} \quad R_{ch} = \frac{V_{DS}}{I_{D- \text{χωρίς } R_{sd}}} \quad I_D = \frac{I_{D- \text{χωρίς } R_{sd}}}{1 + (R_{sd} I_{D- \text{χωρίς } R_{sd}}) / V_{DS}}$$

$$R_{sd} = R_s + R_{cs} + R_d + R_{cd}$$

R_s και R_d : αντιστάσεις περιοχών
 R_{cs} και R_{cd} : αντιστάσεις επαφών



Παρασιτικές αντιστάσεις πηγής-υποδοχής

- Οι παρασιτικές αντιστάσεις πηγής και υποδοχής προκαλούν μείωση της επίδοσης του στοιχείου, επειδή μειώνουν το ρεύμα υποδοχής για δεδομένη τάση ελέγχου (πύλης).
- Επομένως, η διατήρηση της τιμής τους σε όσο το δυνατόν χαμηλότερα επίπεδα είναι σημαντικός στόχος.
- Μία δημοφιλής επιλογή σε πολλές σύγχρονες διεργασίες είναι η κάλυψη των περιοχών υποδοχής και πηγής με υλικά χαμηλής ειδικής αντίστασης όπως το τιτάνιο και το βολφράμιο.
- Η διεργασία αυτή ονομάζεται **διεργασία πυριτιούχου υλικού (silicidation)** και μειώνει δραστικά τις παρασιτικές αντιστάσεις
- Μία άλλη δυνατότητα είναι η **κατασκευή των τρανζίστορ με μεγαλύτερο πλάτος** από όσο απαιτείται.
- Συνεπώς, με μία διεργασία κατασκευής που περιλαμβάνει τη διεργασία πυριτιούχου υλικού, καθώς και με την απαραίτητη προσοχή κατά το φυσικό σχεδιασμό, μειώνεται σημαντικά η επίδραση των παρασιτικών αντιστάσεων.

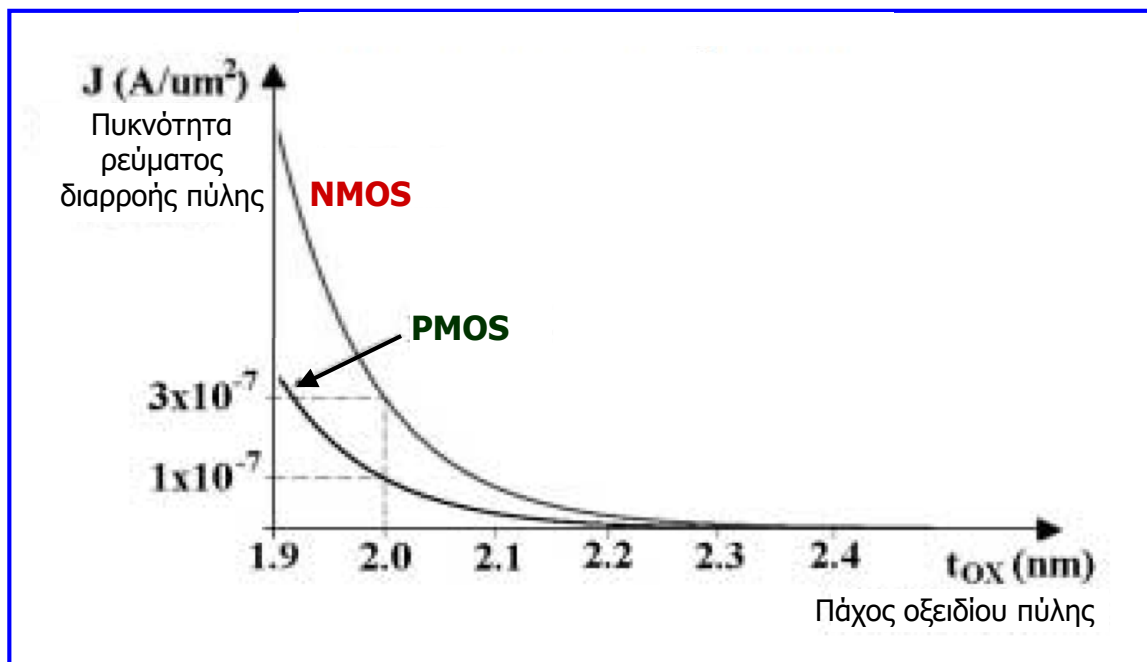
Φαινόμενο θερμών φορέων

- Κατά τις περασμένες δεκαετίες, οι διαστάσεις των τρανζίστορ μειωνόταν συνεχώς, αλλά η τάση τροφοδοσίας τους δεν μειώνονταν ανάλογα.
- Με την μείωση του μήκους καναλιού, αυξάνεται η ένταση του ηλεκτρικού πεδίου με συνέπεια την αυξημένη ταχύτητα των φορέων, οι οποίοι μπορούν να εγκαταλείψουν το πυρίτιο και να διεισδύσουν στο οξειδίο της πύλης όταν αποκτήσουν αρκετή ενέργεια.
- Οι παγιδευμένοι στο οξειδίο φορείς αλλάζουν, με το πέρασμα του χρόνου, την τάση κατωφλίου (τυπικά την αυξάνουν στα NMOS, ενώ τη μειώνουν στα PMOS τρανζίστορ).
- Το φαινόμενο αυτό αναφέρεται ως **φαινόμενο θερμών φορέων (hot-carrier effect)**.
- Για να γίνει ένα ηλεκτρόνιο θερμό, απαιτείται πεδίο τουλάχιστον 10^4 V/cm, συνθήκη η οποία ικανοποιείται εύκολα σε τρανζίστορ με μήκος καναλιού μικρότερου του 1 μm .
- Το φαινόμενο των θερμών ηλεκτρονίων μπορεί να οδηγήσει μακροπρόθεσμα σε προβλήματα αξιοπιστίας, δηλαδή σε υποβαθμισμένη λειτουργία των τρανζίστορ.
- Έτσι, οι υπερσύγχρονες τεχνολογίες MOSFET χρησιμοποιούν **ειδικά κατασκευασμένες περιοχές υποδοχής και πηγής**, ώστε να εξασφαλίζονται περιορισμένες μέγιστες τιμές ηλεκτρικών πεδίων και να αποτρέπεται η προσέγγιση τιμών ενέργειας από τους φορείς, που θα τους επέτρεπαν να γίνουν θερμοί.
- Η **μειωμένη τάση τροφοδοσίας** που εφαρμόζεται στις τεχνολογίες πολύ μικρού μήκους καναλιού, αποδίδεται και στην ανάγκη να ελεγχθεί το φαινόμενο θερμών φορέων.

Ρεύμα διαρροής πύλης

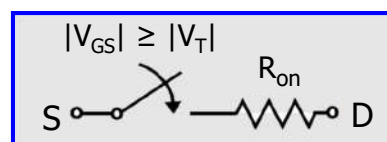
- Ένα από τα αποτελέσματα της αλματώδους κλιμάκωσης της τεχνολογίας CMOS τα τελευταία χρόνια, είναι η μείωση του πάχους του οξειδίου της πύλης των τρανζίστορ σε τιμές μικρότερες από 2 nm.
- Βασικό πρόβλημα που προκαλεί η συνεχής μείωση του πάχους του οξειδίου πύλης, είναι η αύξηση του **ρεύματος διαρροής πύλης (gate-leakage current)**.
- Το **ρεύμα διαρροής πύλης** αυξάνεται με την **αύξηση της τάσης πύλης** και την **μείωση του πάχους του οξειδίου πύλης**.
- Το ρεύμα διαρροής πύλης στα τρανζίστορ NMOS είναι 3 έως 10 φορές μεγαλύτερο από εκείνο των τρανζίστορ PMOS της ίδιας τεχνολογίας.
- Για τιμές πάχους του οξειδίου της πύλης μικρότερου των 2 nm, το ρεύμα διαρροής πύλης αυξάνεται κατά 2.5 – 3 φορές για κάθε 0.1 nm μείωσης του πάχους του οξειδίου πύλης.

Ρεύμα διαρροής πύλης



Ισοδύναμη αντίσταση του τρανζίστορ MOSFET

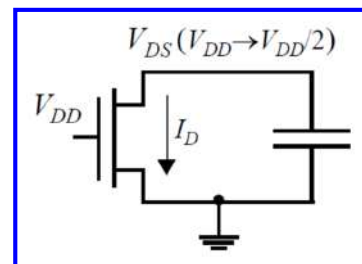
- Οι εκφράσεις ρεύματος στις οποίες καταλήξαμε για τρανζίστορ μεγάλου ή μικρού μήκους καναλιού, συνιστούν την μοντελοποίηση του τρανζίστορ ως πηγή ρεύματος.
- Το **μοντέλο πηγής ρεύματος** είναι πολύ χρήσιμο στην ανάλυση βασικών παραμέτρων των ψηφιακών πυλών, ωστόσο η **μη γραμμικότητά** του το καθιστά **δύσχρηστο**.
- Έτσι, εισάγουμε ένα **απλό γραμμικό μοντέλο** που βασίζεται στην υπόθεση ότι το **τρανζίστορ είναι διακόπτης** με άπειρη αντίσταση αποκοπής και **πεπερασμένη αντίσταση αγωγής R_{on}** .



- Το κύριο πρόβλημα με το μοντέλο αυτό είναι το ότι η **αντίσταση αγωγής** είναι **μεταβλητή στο χρόνο**, **μη γραμμική** και **εξαρτημένη από την περιοχή λειτουργίας** του τρανζίστορ.
- Όταν μελετάμε ψηφιακά κυκλώματα, κατά τη μετάβαση μεταξύ των δύο λογικών καταστάσεων, μπορούμε να θεωρήσουμε ότι η **αντίσταση αγωγής** είναι μία **σταθερή και γραμμική αντίσταση R_{eq}** , επιλεγμένη έτσι ώστε το τελικό αποτέλεσμα να είναι παρόμοιο με αυτό που θα λαμβανόταν από το πραγματικό τρανζίστορ.
- Μία εύλογη προσέγγιση είναι να χρησιμοποιήσουμε τη **μέση τιμή των αντιστάσεων αγωγής στα δύο άκρα μιας μετάβασης**.

Ισοδύναμη αντίσταση του τρανζίστορ MOSFET

- Θεωρώντας την εκφόρτιση ενός πυκνωτή από την τάση τροφοδοσίας (V_{DD}) στη γείωση, μέσω ενός τρανζίστορ NMOS και ότι ιδιαίτερο ενδιαφέρον παρουσιάζει το σημείο όπου η τάση του πυκνωτή φθάνει στο μισό της τάσης τροφοδοσίας (στο οποίο υπολογίζεται η καθυστέρηση), μπορούμε να υπολογίσουμε την ισοδύναμη (μέση) αντίσταση αγωγής.
- Στην πύλη του τρανζίστορ εφαρμόζεται τάση ίση με την τάση τροφοδοσίας.
- Επειδή η τάση τροφοδοσίας είναι αρκετά μεγαλύτερη από την τάση V_{DSAT} , το τρανζίστορ λειτουργεί στην περιοχή κορεσμού, κατά τη διάρκεια της μετάβασης που μας ενδιαφέρει.



$$R_{eq} = \frac{R_{on}(t_1) + R_{on}(t_2)}{2}$$

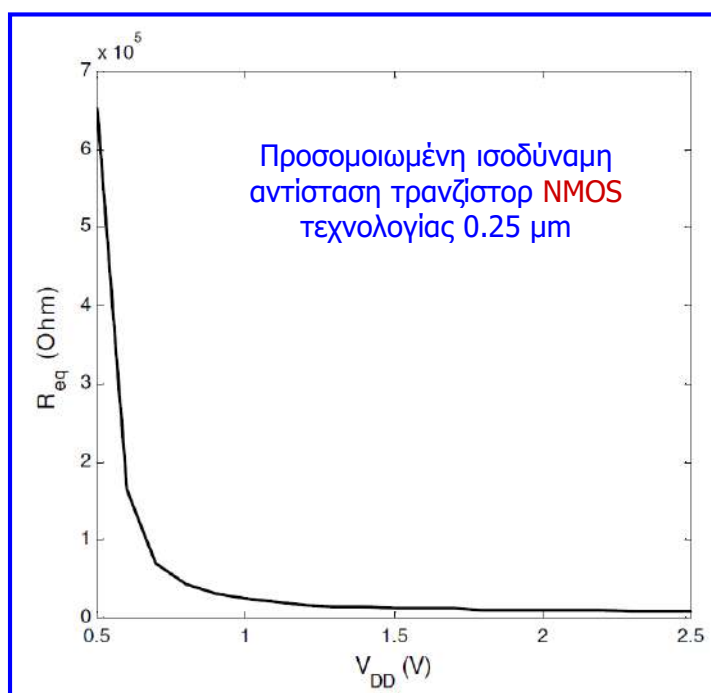
$$I_{DSAT} = v_{sat} C_{ox} W \left(V_{DD} - V_T - \frac{V_{DSAT}}{2} \right)$$

απλοποίηση
με ανάπτυγμα
Taylor

$$R_{eq} = \frac{1}{2} \left[\frac{V_{DD}}{I_{DSAT} (1 + \lambda V_{DD})} + \frac{V_{DD}/2}{I_{DSAT} (1 + \lambda V_{DD}/2)} \right] \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{5}{6} \lambda V_{DD} \right)$$

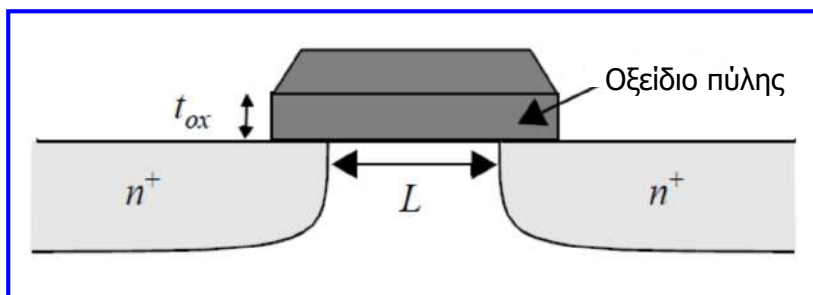
Ισοδύναμη αντίσταση του τρανζίστορ MOSFET

- Η **αντίσταση** είναι **αντιστρόφως ανάλογη** του **πλάτους καναλιού (W)** του τρανζίστορ, που σημαίνει ότι με διπλασιασμό του πλάτους του τρανζίστορ, η αντίσταση μειώνεται στο μισό.
- Για $V_{DD} \gg V_T + V_{DSAT}/2$, η **αντίσταση** του τρανζίστορ γίνεται **ανεξάρτητη από την τάση τροφοδοσίας**. Για μεγάλες τιμές της τάσης τροφοδοσίας, η αύξησή της οδηγεί σε μικρή μεταβολή της αντίστασης που οφείλεται στη διαμόρφωση μήκους καναλιού.
- Όταν η **τάση τροφοδοσίας προσεγγίζει την τάση κατωφλίου**, η **αντίσταση** παρουσιάζει **σημαντική αύξηση**.



Χωρητικότητες στο τρανζίστορ MOSFET

- Η απόκριση ενός τρανζίστορ MOSFET είναι συνάρτηση του χρόνου που διαρκεί η εκφόρτιση και η φόρτιση των **ενδογενών παρασιτικών χωρητικότητων** του καθώς και της επιπλέον χωρητικότητας που εισάγεται από τις γραμμές διασύνδεσης και το φορτίο.
- Οι χωρητικότητες αυτές προέρχονται από τρεις πηγές: τη **βασική δομή του τρανζίστορ**, το **φορτίο καναλιού** και τις **περιοχές υποδοχής** και **πηγής**.
- Εκτός από τις χωρητικότητες της δομής, οι υπόλοιπες είναι **μη γραμμικές** και μεταβάλλονται με την εφαρμοζόμενη τάση, γεγονός που δυσκολεύει την ανάλυσή τους.
- Η πύλη του τρανζίστορ απομονώνεται από το αγώγιμο κανάλι με το **οξειδίο πύλης**, το οποίο έχει μία **χωρητικότητα ανά μονάδα επιφάνειας** ίση με $C_{ox} = \epsilon_{ox} / t_{ox}$.



$$\begin{aligned}\epsilon_{ox} &= \text{διηλεκτρική σταθερά} \\ &\text{οξειδίου} = 3.97 \cdot \epsilon_0 = \\ &= 3.97 \cdot 8.85 \cdot 10^{-12} \text{ F/m} = \\ &= 3.5 \cdot 10^{-11} \text{ F/m}\end{aligned}$$

$$t_{ox} = \text{πάχος οξειδίου πύλης}$$

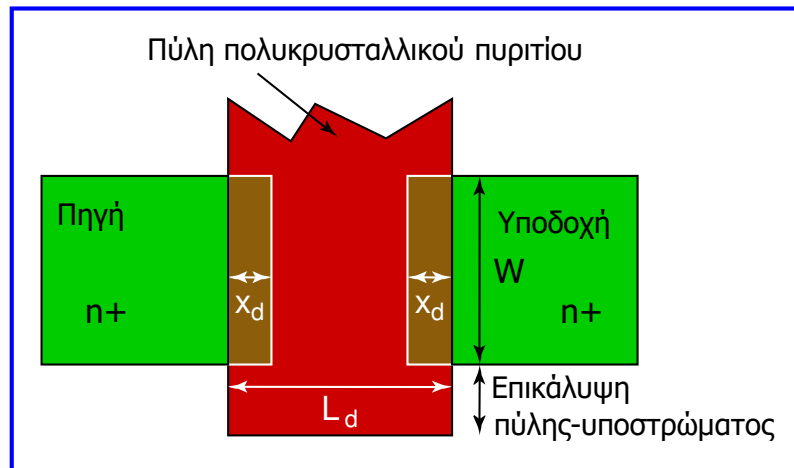
Πάχος οξειδίου πύλης 2.5 nm
μεταφράζεται σε χωρητικότητα
οξειδίου 14 fF/ μm^2

Χωρητικότητες στο τρανζίστορ MOSFET

- Η **χωρητικότητα πύλης** C_G του τρανζίστορ αποτελείται από δύο συστατικά.
- Το **πρώτο συστατικό** της C_G οφείλεται στην **δομή του τρανζίστορ**, ενώ το δεύτερο οφείλεται στο **φορτίο του καναλιού**.
- Ιδανικά, οι περιοχές διάχυσης της πηγής και της υποδοχής τελειώνουν ακριβώς στην ακμή του οξειδίου της πύλης.
- Στην πραγματικότητα, και οι δύο περιοχές τείνουν να επεκταθούν ελαφρώς κάτω από το οξειδίο κατά ένα μέγεθος x_d που ονομάζεται **πλευρική διάχυση (lateral diffusion)**.
- Έτσι, το **ενεργό μήκος του καναλιού** L_d του τρανζίστορ γίνεται μικρότερο από το μήκος με το οποίο σχεδιάστηκε αρχικά το τρανζίστορ κατά ένα παράγοντα $\Delta L = 2x_d$.
- Η επέκταση αυτή επιφέρει μία παρασιτική χωρητικότητα μεταξύ της πύλης και της πηγής και μεταξύ της πύλης και της υποδοχής, που αναφέρεται ως **χωρητικότητα επικάλυψης (overlap capacitance)**.

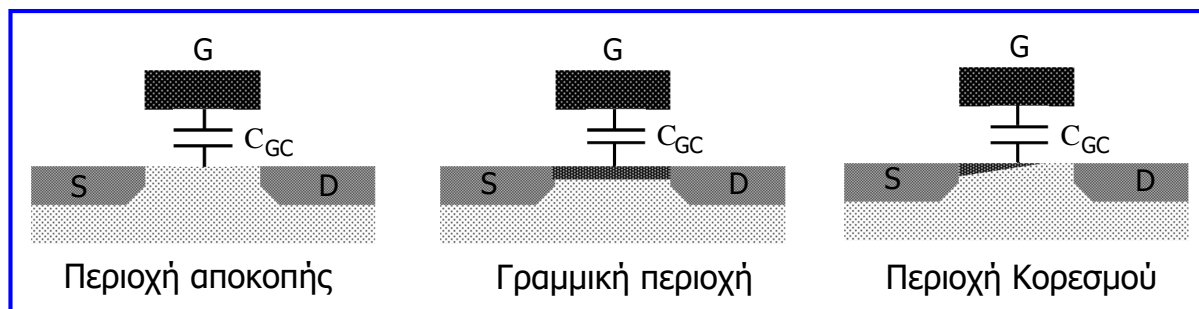
$$C_{GSO} = C_{GDO} = C_{ox} x_d W = C_{gso} W = C_{gdo} W$$

Χωρητικότητες στο τρανζίστορ MOSFET



- Το πιο σημαντικό παρασιτικό στοιχείο των κυκλωμάτων που δομούνται από MOSFET, είναι η χωρητικότητα πύλης-καναλιού C_{GC} , η οποία μεταβάλλεται σε ότι αφορά το μέγεθός της και τη διαίρεσή της σε τρεις συνιστώσες C_{GCS} , C_{GCD} και C_{GCB} (χωρητικότητες πύλης-πηγής, πύλης-υποδοχής και πύλης-υποστρώματος, αντίστοιχα), ανάλογα με την περιοχή λειτουργίας και τις τάσεις των ακροδεκτών του τρανζίστορ.
- Ένα απλουστευμένο μοντέλο χωρητικότητας πύλης-καναλιού είναι αυτό των γραμμικών τμημάτων (piecewise-linear) με σταθερή τιμή χωρητικότητας σε κάθε περιοχή λειτουργίας.

Χωρητικότητες στο τρανζίστορ MOSFET



Περιοχή λειτουργίας	C_{GCB}	C_{GCS}	C_{GCD}	C_{GC}
Αποκοπή	$C_{ox}WL$	0	0	$C_{ox}WL$
Γραμμική	0	$C_{ox}WL/2$	$C_{ox}WL/2$	$C_{ox}WL$
Κορεσμός	0	$(2/3)C_{ox}WL$	0	$(2/3)C_{ox}WL$

$$C_G = C_{GC} + C_{GDO} + C_{GSO}$$

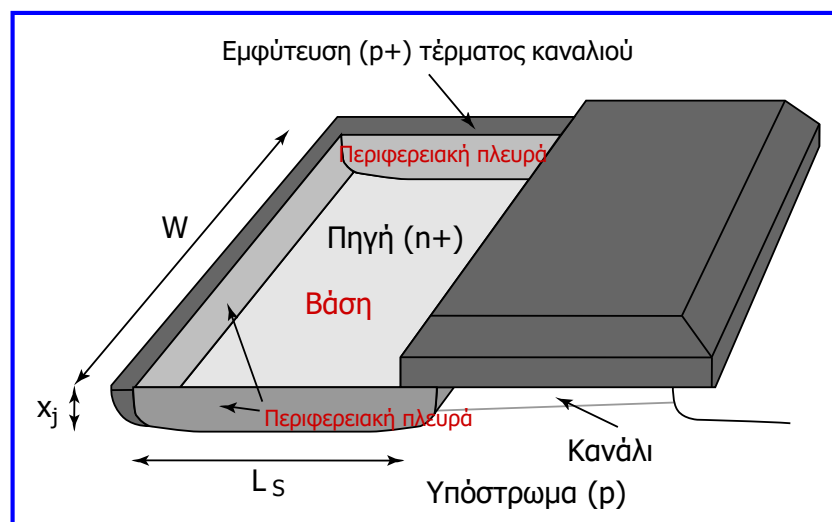
Χωρητικότητες στο τρανζίστορ MOSFET

- Παρασιτικές χωρητικότητες δημιουργούνται επίσης στις ανάστροφα πολωμένες επαφές μεταξύ πηγής και υποστρώματος και μεταξύ υποδοχής και υποστρώματος, που αναφέρονται ως χωρητικότητες διάχυσης (diffusion capacitances).
- Καθεμία από τις δύο επαφές αποτελείται από δύο μέρη:
 - ✓ την **επαφή βάσης (bottom-plate junction)**, η οποία σχηματίζεται από την περιοχή διάχυσης και το υπόστρωμα, με χωρητικότητα $C_{\text{bottom}} = C_j W L_s$, όπου C_j είναι η χωρητικότητα επαφής ανά μονάδα επιφάνειας και L_s το μήκος της επαφής.
 - ✓ την **επαφή περιφερειακών πλευρών (side-wall junction)**, που σχηματίζεται από την περιοχή διάχυσης και τις εμφυτεύσεις p+ του τέρματος καναλιού, με χωρητικότητα $C_{\text{sidewall}} = C_{jsw} (W + 2L_s)$, όπου C_{jsw} είναι η χωρητικότητα επαφής ανά μονάδα περιφέρειας.
- Για την τέταρτη πλευρά της περιοχής διάχυσης δεν προσμετράται χωρητικότητα περιφερειακής πλευράς, λόγω του ότι η πλευρά αυτή αφορά το αγωγίμο κανάλι.
- Οι χωρητικότητες C_j , C_{jsw} είναι **μη γραμμικές** και **μειώνονται με την αύξηση της πόλωσης**:

$$C_j = C_{j0} \left(1 - \frac{V_j}{\Phi_b} \right)^{-m_j}$$

V_j : τάση (πόλωση) επαφής υποστρώματος - περιοχής διάχυσης
 C_{j0} : χωρητικότητα για $V_j = 0$
 Φ_b : ενσωματωμένο δυναμικό επαφής (0.6 – 1 V)
 m_j : 0.3 – 0.5. Αντίστοιχη σχέση ισχύει για την C_{jsw} .

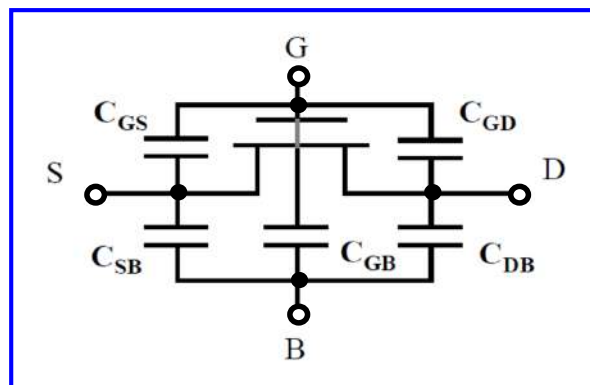
Χωρητικότητες στο τρανζίστορ MOSFET



$$C_{\text{SB(DB)}} = C_{\text{bottom}} + C_{\text{sidewall}} = C_j \times (\text{επιφάνεια βάσης επαφής}) + C_{jsw} \times (\text{περίμετρος επαφής}) \\ = C_j L_s W + C_{jsw} (2L_s + W)$$

Χωρητικότητες στο τρανζίστορ MOSFET

Συνοπτικό μοντέλο χωρητικότητων του τρανζίστορ MOSFET



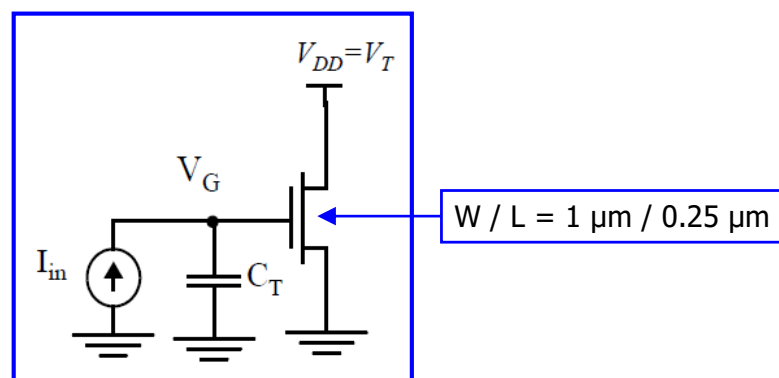
Χωρητικότητες και σχετικές παράμετροι MOSFETs διεργασίας CMOS 0.25 μm

$t_{\text{ox}} = 6 \text{ nm}$	C_{ox} (fF/ μm^2)	$C_{\text{gso/gdo}}$ (fF/ μm)	C_{j0} (fF/ μm^2)	m_{j}	ϕ_{b} (V)	C_{jsw0} (fF/ μm)	m_{jsw}	ϕ_{bsw} (V)
NMOS	6	0.31	2	0.5	0.9	0.28	0.44	0.9
PMOS	6	0.27	1.9	0.48	0.9	0.22	0.32	0.9

Παράδειγμα 7

Στο παρακάτω κύκλωμα η τάση τροφοδοσίας τίθεται στην τιμή της τάσης κατωφλίου ($V_T = 0.4 \text{ V}$) του τρανζίστορ. Υποθέτουμε ότι η αρχική τιμή της V_G είναι 0, ότι μια πηγή σταθερού ρεύματος $50 \mu\text{A}$ εφαρμόζεται στο κύκλωμα την χρονική στιγμή 0 και ότι όλες οι χωρητικότητες που αφορούν την πύλη ενσωματώνονται σε μία χωρητικότητα C_T .

- Υπολογίζουμε την τιμή της χωρητικότητας C_T μέχρι η V_G να φτάσει σε τιμή διπλάσια από την τάση κατωφλίου ($2 V_T$), σε σχέση και με την περιοχή ή τις περιοχές λειτουργίας του τρανζίστορ, χρησιμοποιώντας τις τιμές των παραμέτρων που απαιτούνται από τον πίνακα της προηγούμενης σελίδας.
- Υπολογίζουμε τον χρόνο που απαιτείται ώστε η V_G να φθάσει σε τιμή διπλάσια από την τάση κατωφλίου του τρανζίστορ ($2 V_T$)



Παράδειγμα 7

1. Οι παρασιτικές χωρητικότητες πηγής-υποστρώματος (C_{SB}) και υποδοχής-υποστρώματος (C_{DB}), δεν συμμετέχουν στην χωρητικότητα της πύλης.

Μέχρι να φτάσει η τάση πύλης στην τιμή της τάσης κατωφλίου ($0 < V_G < V_T$ **περιοχή αποκοπή**) στην χωρητικότητα πύλης συνεισφέρει η χωρητικότητα πύλης-υποστρώματος (C_{GCB}) και οι χωρητικότητες επικάλυψης. Επομένως:

$$0 < V_G < V_T: \quad C_{T1} = C_{GCB} + C_{GSO} + C_{GDO} = C_{ox} W L + C_{gso} W + C_{gdo} W = \\ = (6 \cdot 1 \cdot 0.25 + 0.31 \cdot 1 + 0.31 \cdot 1) \text{ fF} = \mathbf{2.12 \text{ fF}}$$

Όταν η τάση πύλης αυξάνεται από V_T έως $2 V_T$, το τρανζίστορ λειτουργεί στην **περιοχή κορεσμού** ($V_{DS} = V_T \geq V_{GS} - V_T > V_{DSAT}$) με αποτέλεσμα στη χωρητικότητα πύλης να συνεισφέρει η χωρητικότητα πύλης-πηγής (C_{GCS}) και οι χωρητικότητες επικάλυψης. Επομένως:

$$V_T < V_G < 2 V_T: \quad C_{T2} = C_{GCS} + C_{GSO} + C_{GDO} = 2/3 C_{ox} W L + C_{gso} W + C_{gdo} W = \\ = (0.667 \cdot 6 \cdot 1 \cdot 0.25 + 0.31 \cdot 1 + 0.31 \cdot 1) \text{ fF} = \mathbf{1.62 \text{ fF}}$$

2. Ο χρόνος ($I = \Delta Q / t \Rightarrow t = \Delta Q / I = C \cdot \Delta V / I$) που απαιτείται ώστε η V_G να φθάσει από 0 σε τιμή $2 V_T$, είναι ο χρόνος φόρτισης της C_T , η οποία όμως λαμβάνει δύο διαφορετικές τιμές:

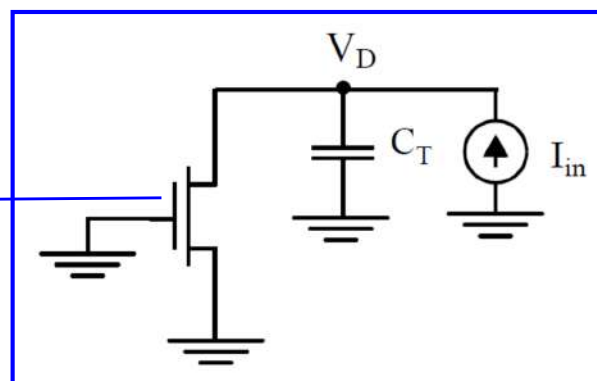
$$t = C_{T1} \cdot [(V_T - 0) / I_{in}] + C_{T2} \cdot [(2V_T - V_T) / I_{in}] = \\ = 2.12 \cdot 10^{-15} \text{ F} \cdot (0.4 \text{ V} / 50 \cdot 10^{-6} \text{ A}) + 1.62 \cdot 10^{-15} \text{ F} \cdot (0.4 \text{ V} / 50 \cdot 10^{-6} \text{ A}) = 0.03 \cdot 10^{-9} \text{ s} = \mathbf{30 \text{ ms}}$$

Παράδειγμα 8

Στο παρακάτω κύκλωμα η τάση της υποδοχής V_D είναι αρχικά 0 και αυξάνεται έως το διπλάσιο της τάσης κατωφλίου ($V_T = 0.4 \text{ V}$) του τρανζίστορ. Οι χωρητικότητες που αφορούν την υποδοχή ενσωματώνονται σε μία χωρητικότητα C_T .

Υπολογίζουμε την τιμή της χωρητικότητας C_T όταν η V_D φτάσει σε τιμή διπλάσια από την τάση κατωφλίου ($2 V_T$), σε σχέση και με την περιοχή ή τις περιοχές λειτουργίας του τρανζίστορ, χρησιμοποιώντας τις τιμές των παραμέτρων που απαιτούνται από τον πίνακα της σελίδας 69.

$$W / L = 1 \mu\text{m} / 0.25 \mu\text{m} \\ L_S = 0.5 \mu\text{m}$$



Παράδειγμα 8

Υπό τις δεδομένες συνθήκες λειτουργίας του κυκλώματος, προκύπτει ότι αυτό λειτουργεί στην **περιοχή αποκοπής** ($V_{GS} = 0 < V_T$).

Στην χωρητικότητα της υποδοχής συνεισφέρει η παρασιτική **χωρητικότητα υποδοχής-υποστρώματος** (C_{DB}), η οποία **εξαρτάται από την πόλωση της επαφής pη υποστρώματος – υποδοχής** και η χωρητικότητα επικάλυψης που αντιστοιχεί την υποδοχή.

Όταν η V_D φθάσει στην τιμή $2 V_T$, τότε η **πόλωση της επαφής pη υποστρώματος - υποδοχής είναι ανάστροφη** με τιμή $-2 V_T = -0.8 V$ (το υπόστρωμα p είναι γειωμένο). Επομένως:

$$C_D = C_{DB} + C_{GDO} = C_j \times (\text{επιφ. βάσης επαφής}) + C_{jsw} \times (\text{περίμ. επαφής}) + C_{gdo} W = \\ = C_j L_S W + C_{jsw} (2 L_S + W) + C_{gdo} W$$

Οι χωρητικότητες επαφής C_j και C_{jsw} για ανάστροφη πόλωση $-0.8 V$, υπολογίζονται ως εξής:

$$C_j = C_{j0} \left(1 - \frac{V_D}{\Phi_b}\right)^{-m_j} = 2 \cdot \left(1 + \frac{0.8}{0.9}\right)^{-0.5} \frac{\text{fF}}{\mu\text{m}^2} = 1.45 \frac{\text{fF}}{\mu\text{m}^2}$$
$$C_{jsw} = C_{jsw0} \left(1 - \frac{V_D}{\Phi_b}\right)^{-m_{jsw}} = 0.28 \cdot \left(1 + \frac{0.8}{0.9}\right)^{-0.44} \frac{\text{fF}}{\mu\text{m}} = 0.21 \frac{\text{fF}}{\mu\text{m}}$$

Επομένως: $C_D = [1.45 \cdot 0.5 \cdot 1 + 0.21 \cdot (1 + 1) + 0.31 \cdot 1] \text{ fF} = 1.46 \text{ fF}$

Μοντέλα MOSFET κυκλωματικών προσομοιωτών

- Η πολυπλοκότητα της συμπεριφοράς του τρανζίστορ MOS μικρού μήκους καναλιού και τα πολλά παρασιτικά του φαινόμενα, έχουν οδηγήσει στην ανάπτυξη πολλών μοντέλων με διαφορετικό βαθμό **ακρίβειας** και υπολογιστικής **πολυπλοκότητας**.
- Μεγαλύτερη ακρίβεια σημαίνει επίσης μεγαλύτερη πολυπλοκότητα, που έχει ως αποτέλεσμα αυξημένο χρόνο υπολογισμού.
- Το πρώτο εργαλείο προσομοίωσης λειτουργίας κυκλωμάτων που έτυχε ευρείας αποδοχής ήταν το **SPICE**, το οποίο αρχικά αναπτύχθηκε από το **Πανεπιστήμιο της Καλιφόρνιας στο Berkeley**, ενώ στη συνέχεια αναπτύχθηκαν πολλά παράγωγά του (PSPICE, HSPICE κ.ά.) που παρείχαν εμπορική υποστήριξη στο επινοημένο από το πανεπιστήμιο εργαλείο.
- Το SPICE διαθέτει αρκετά ενσωματωμένα μοντέλα MOSFET.
- Το **μοντέλο LEVEL 1** βασίζεται στις **τετραγωνικές εκφράσεις ρεύματος** για τρανζίστορ μεγάλου μήκους καναλιού που προαναφέρθηκαν και δεν μπορεί να χειριστεί φαινόμενα μικρού μήκους καναλιού.
- Το **μοντέλο LEVEL 2** χρησιμοποιεί λεπτομερή **ανάλυση της φυσικής των τρανζίστορ** για να καθορίσει τις εξισώσεις του και χειρίζεται φαινόμενα όπως: κορεσμός ταχύτητας και υποβάθμιση κινητικότητας των φορέων και DIBL. Ωστόσο, η συμπερίληψη φαινομένων δεύτερης τάξης προηγμένων διεργασιών πολύ μικρού μήκους καναλιού, σε ένα μοντέλο που βασίζεται αμιγώς στη φυσική των τρανζίστορ, γίνεται πολύπλοκη.

Μοντέλα MOSFET κυκλωματικών προσομοιωτών

- Το μοντέλο **LEVEL 3** είναι ένα ημιεμπειρικό μοντέλο που βασίζεται σε ένα **συνδυασμό αναλυτικών και εμπειρικών εκφράσεων** και χρησιμοποιεί δεδομένα μετρήσεων των τρανζιστορ για τον καθορισμό των βασικών παραμέτρων του, λειτουργώντας επαρκώς για τρανζιστορ με μήκος καναλιού κοντά στο 1 μm .
- Η υιοθέτηση του **μοντέλου BSIM (Berkeley short-channel IGFET model) 3v3 (LEVEL 49)** έλυσε το πρόβλημα χρήσης διαφορετικού μοντέλου ανά κατασκευαστή, αφού υιοθετήθηκε ως βιομηχανικό πρότυπο για τη μοντελοποίηση τρανζιστορ MOSFET με μήκος καναλιού πολύ μικρότερου του ενός μικρομέτρου.
- Ένα πλήρες μοντέλο BSIM3v3 περιλαμβάνει περίπου 200 παραμέτρους, η πλειονότητα των οποίων αφορά τη μοντελοποίηση φαινομένων δεύτερης τάξης, ωστόσο η κατανόηση της περίπλοκης μορφής όλων αυτών των παραμέτρων δεν είναι απαραίτητη για το σχεδιαστή ψηφιακών κυκλωμάτων.
- Το μοντέλο αυτό (όπως και το **BSIM4**) χρησιμοποιεί **πολλές εμπειρικές παραμέτρους**, έτσι ώστε να **απλοποιηθούν οι εξισώσεις** που μοντελοποιούν τα φαινόμενα που επιδρούν στη λειτουργία των τρανζιστορ με μήκη καναλιού πολύ μικρότερα από 1 μm (παρέχει ακρίβεια ακόμη και για τεχνολογίες με μήκος καναλιού μικρότερο από 100 nm).
- Το χαρακτηριστικό αυτό του προσδίδει στα μοντέλα BSIM3, 4 το **συνδυασμό της υπολογιστικής αποδοτικότητας και της ακρίβειας**.

Μεταβολές διεργασίας

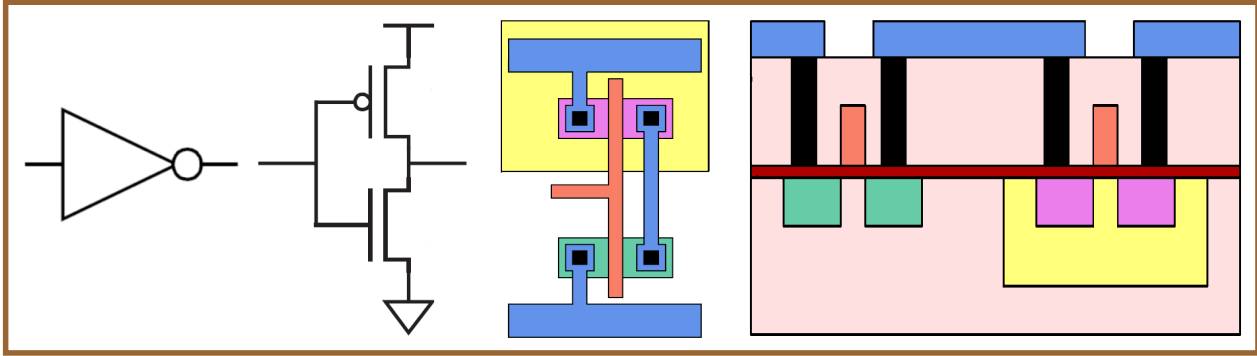
- Στην παρούσα ενότητα θεωρήθηκε ότι ένα τρανζιστορ μοντελοποιείται επαρκώς από ένα μοναδικό σύνολο παραμέτρων.
- Ωστόσο, στην πραγματικότητα, οι **παραμέτροι ενός τρανζιστορ μεταβάλλονται** από δισκίο σε δισκίο ή ακόμη και μεταξύ των τρανζιστορ της ίδιας ψηφίδας πυριτίου.
- Αυτό οφείλεται σε δύο παράγοντες:
 - ✓ **Μεταβολές στις παραμέτρους της διεργασίας**, όπως οι πυκνότητες της συγκέντρωσης των προσμείξεων, το πάχος του οξειδίου και το βάθος των διαχύσεων, που προκαλούνται από συνθήκες ανομοιομορφίας κατά την απόθεση και τη διάχυση των προσμείξεων. Οι μεταβολές αυτές οδηγούν σε αποκλίνουσες τιμές παραμέτρων όπως για παράδειγμα η τάση κατωφλίου του τρανζιστορ.
 - ✓ **Μεταβολές στις διαστάσεις**, που κυρίως οφείλονται στην περιορισμένη διακριτική δυνατότητα της φωτολιθογραφικής διεργασίας, η οποία προκαλεί αποκλίσεις στους **λόγους (W/L) των τρανζιστορ** και στα **πλάτη των γραμμών διασύνδεσης**.
- Οι **μεταβολές διεργασίας επηρεάζουν** τις παραμέτρους που καθορίζουν την **επίδοση του κυκλώματος**.
- Για υποβοήθηση του σχεδιαστή στη λήψη της απόφασης για το περιθώριο που θα πρέπει να προβλέψει, οι κατασκευαστές συνήθως παρέχουν «γρήγορα» και «αργά» μοντέλα τρανζιστορ, επιπλέον των ονομαστικών μοντέλων.

Συμπεράσματα

- Το τρανζίστορ MOSFET είναι ημιαγωγικό στοιχείο ελεγχόμενο από τάση, στο οποίο ο ακροδέκτης ελέγχου της πύλης απομονώνεται από το αγώγιμο κανάλι από διηλεκτρικό SiO_2 .
- Με βάση τις τιμές των τάσεων πύλης-πηγής, υποδοχής-πηγής και της τάσης κατωφλίου, προσδιορίζονται τρεις (3) περιοχές λειτουργίας: αποκοπή, γραμμική και κορεσμού.
- Η συνεχής μείωση των διαστάσεων των στοιχείων, έχει εισαγάγει σημαντικές αποκλίσεις από το κλασσικό μοντέλο του τρανζίστορ MOSFET μεγάλου μήκους καναλιού.
- Η πιο σημαντική είναι το φαινόμενο κορεσμού της ταχύτητας των φορέων, που αλλάζει την εξάρτηση του ρεύματος του τρανζίστορ σε σχέση με την τάση ελέγχου του (τάση πύλης-πηγής), από τετραγωνική σε γραμμική.
- Παρουσιάστηκαν κι άλλα φαινόμενα δεύτερης τάξης, όπως το σημαντικό φαινόμενο της αγωγής υποκατωφλίου, που προκαλεί αγωγή ρεύματος στα τρανζίστορ ακόμη κι όταν η τάση ελέγχου πέφτει κάτω από το κατώφλι.

Συμπεράσματα

- Μία από τις πιο ελκυστικές ιδιότητες του τρανζίστορ MOS, που το κάνει ιδιαίτερα κατάλληλο για ψηφιακό σχεδιασμό, είναι το ότι προσεγγίζει ένα διακόπτη ελεγχόμενο από τάση: όταν η τάση ελέγχου είναι χαμηλή, ο διακόπτης είναι ανοιχτός και για υψηλή τάση ελέγχου, δημιουργείται αγώγιμο κανάλι και ο διακόπτης είναι κλειστός.
- Η λειτουργία αυτή των δύο καταστάσεων είναι η βασική ιδέα της δυαδικής ψηφιακής λογικής.
- Η κύρια συνεισφορά στις χωρητικότητες του MOSFET προέρχεται από τη χωρητικότητα πύλης και τις χωρητικότητες που σχηματίζονται στις επαφές πηγής και υποδοχής.
- Η ελαχιστοποίηση των χωρητικοτήτων αυτών είναι σημαντική απαίτηση στο σχεδιασμό κυκλωμάτων υψηλών επιδόσεων.
- Συζητήθηκαν βασικά μοντέλα MOSFET κυκλωματικών προσομοιωτών (SPICE), καθώς και η επίδραση των μεταβολών διεργασίας.
- Τα τρανζίστορ MOSFET έχουν κυριαρχήσει στη σκηνή των ψηφιακών ολοκληρωμένων κυκλωμάτων.



4^η ενότητα: ΑΝΤΙΣΤΡΟΦΕΑΣ CMOS ΚΑΙ ΔΙΑΣΥΝΔΕΣΕΙΣ ΚΥΚΛΩΜΑΤΩΝ CMOS



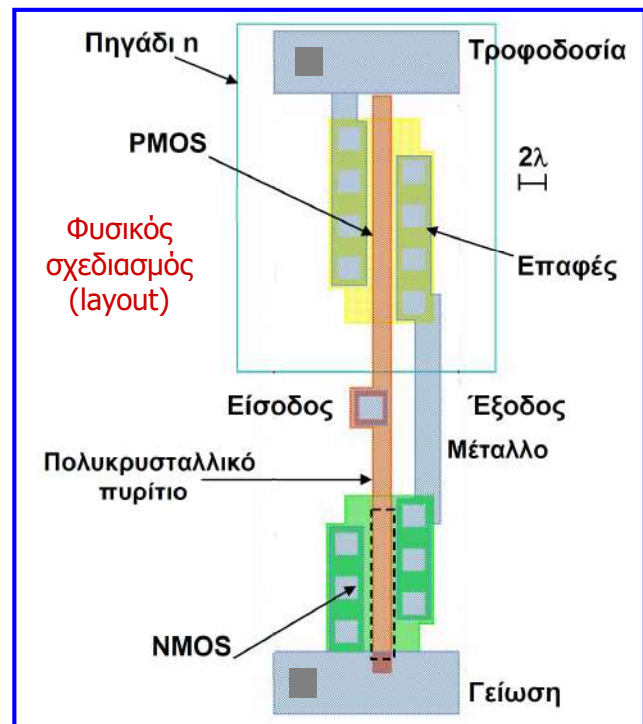
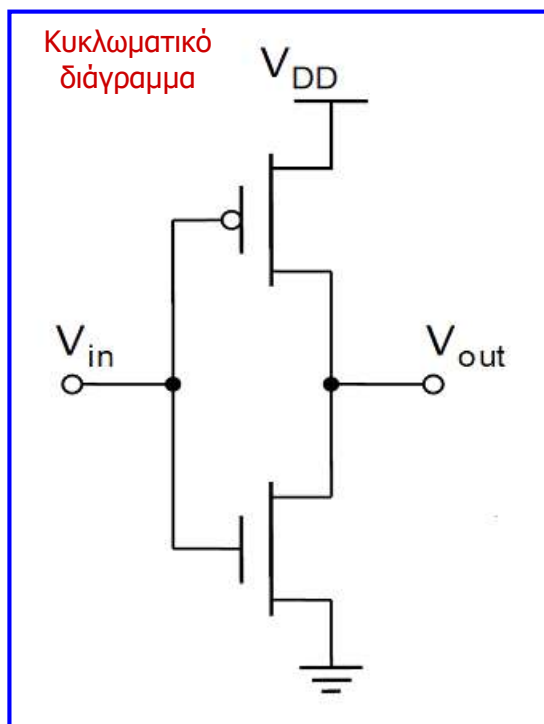
Περιεχόμενα 4^{ης} ενότητας

- Εισαγωγή και βασικά χαρακτηριστικά του αντιστροφέα CMOS
- Στατική συμπεριφορά του αντιστροφέα CMOS
- Χαρακτηριστική μεταφοράς τάσης, κατώφλι μετάβασης και περιθώρια θορύβου
- Δυναμική συμπεριφορά του αντιστροφέα CMOS
- Χωρητικότητες του αντιστροφέα CMOS
- Καθυστερήση διάδοσης και παράμετροι που την επηρεάζουν
- Καθορισμός μεγέθους αντιστροφέα CMOS για βελτίωση επίδοσης
- Καθυστερήση αλυσίδας αντιστροφέων CMOS
- Ισχύς και κατανάλωση ενέργειας του αντιστροφέα CMOS
- Δυναμική (χωρητική) κατανάλωση ενέργειας, κατανάλωση ενέργειας βραχυκυκλώματος, στατική κατανάλωση ενέργειας, γινόμενο ενέργειας-καθυστερήσης
- Διασυνδέσεις κυκλωμάτων CMOS
- Χωρητικότητα, αντίσταση και αυτεπαγωγή διασυνδέσεων
- Μοντελοποίηση διασυνδέσεων (συγκεντρωτικό μοντέλο χωρητικότητας, συγκεντρωτικό μοντέλο RC, καθυστέρηση Elmore, κατανομημένη γραμμή rc)
- Συμπεράσματα

Εισαγωγή στον αντιστροφέα CMOS

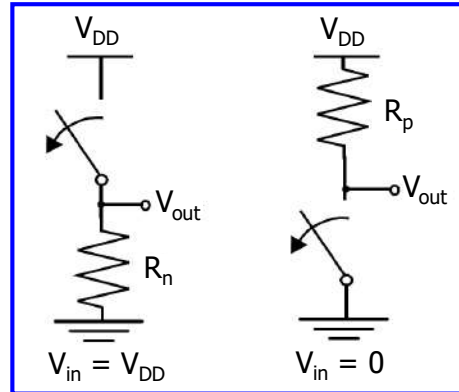
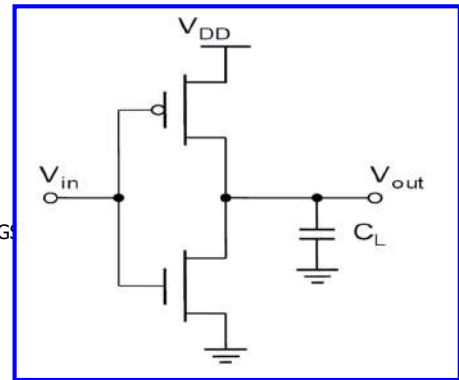
- Ο αντιστροφέας είναι το βασικότερο κυκλωματικό στοιχείο των ψηφιακών κυκλωμάτων.
- Η κατανόηση της λειτουργίας του και των ιδιοτήτων του αποτελούν βασικό εφόδιο για την κατανόηση της λειτουργίας και το σχεδιασμό πιο σύνθετων κυκλωμάτων.
- Η ανάλυση της λειτουργίας του αντιστροφέα μπορεί να επεκταθεί για να εξηγήσει τη συμπεριφορά πιο σύνθετων λογικών πυλών, οι οποίες με τη σειρά τους αποτελούν τα βασικά δομικά στοιχεία για πολύπλοκα κυκλώματα (πολλαπλασιαστές, επεξεργαστές κ.ά.).
- Το πιο βασικό κύκλωμα της τεχνολογίας CMOS, όπου συνυπάρχουν τρανζίστορ NMOS και PMOS, είναι ο **στατικός αντιστροφέας CMOS**.
- Η ανάλυση του αντιστροφέα CMOS εστιάζεται σε θέματα, όπως:
 - ✓ **Στατική συμπεριφορά** με στόχο τη μελέτη της **στιβαρότητάς** του.
 - ✓ **Δυναμική συμπεριφορά** με στόχο τη μελέτη της **επίδοσής** του.
 - ✓ **Κατανάλωση ενέργειας**.
- Στα πλαίσια της ανάλυσης λειτουργίας του αντιστροφέα προσδιορίζονται βασικές σχεδιαστικές του παράμετροι (**κατώφλι μετάβασης, περιθώρια θορύβου, χωρητικότητες, καθυστέρηση διάδοσης, μέγεθος αντιστροφέα και αλυσίδας αντιστροφέων για βελτίωση επίδοσης, κατανάλωση ενέργειας κ.ά.**)

Εισαγωγή στον αντιστροφέα CMOS



Βασικά χαρακτηριστικά αντιστροφέα CMOS

- Η αρχή λειτουργίας του αντιστροφέα κατανοείται κατανοείται εύκολα μέσω του **απλού διακοπτικού μοντέλου των τρανζίστορ MOSFET**.
- Θεωρούμε ότι το τρανζίστορ (NMOS ή PMOS) είναι διακόπτης με μία άπειρη αντίσταση αποκοπής (για $V_{GS} < |V_T|$) και πεπερασμένη αντίσταση αγωγής (για $V_{GS} > |V_T|$).
- Όταν η V_{in} είναι στην υψηλή στάθμη και ίση με V_{DD} , το NMOS άγει και το PMOS είναι σε αποκοπή.
- Τότε δημιουργείται αγωγή διαδρομή μεταξύ της V_{out} και της γείωσης, που έχει ως αποτέλεσμα $V_{out} = 0$.
- Όταν η V_{in} είναι στη χαμηλή στάθμη (0 V), τα NMOS και PMOS είναι σε αποκοπή και αγωγή, αντίστοιχα.
- Τότε δημιουργείται αγωγή διαδρομή μεταξύ της V_{DD} και της V_{out} , που επιφέρει την υψηλή στάθμη στην τάση εξόδου ($V_{out} = V_{DD}$).



Βασικά χαρακτηριστικά αντιστροφέα CMOS

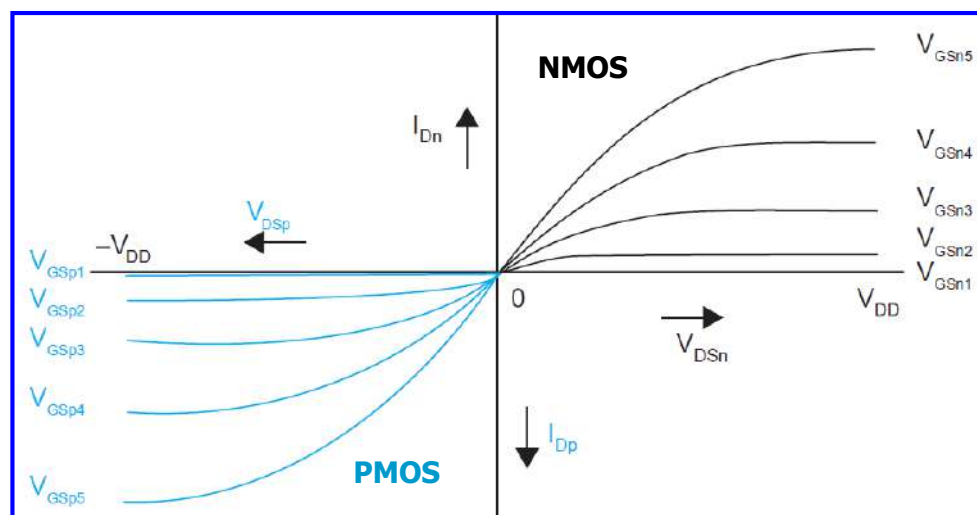
- Η υψηλή και χαμηλή στάθμη εξόδου του αντιστροφέα CMOS είναι V_{DD} και 0 (γείωση), αντίστοιχα, δηλαδή το **εύρος τάλαντευσης τάσης** είναι ίσο με την **τάση τροφοδοσίας** με αποτέλεσμα υψηλά περιθώρια θορύβου.
- Οι λογικές στάθμες δεν εξαρτώνται από τα σχετικά μεγέθη των τρανζίστορ κι έτσι αυτά μπορούν να έχουν το ελάχιστο μέγεθος.
- Οι πύλες με την ιδιότητα αυτή ονομάζονται **μη εξαρτημένες από τον λόγο μεγεθών των τρανζίστορ (ratioless)**, σε αντίθεση με την εξαρτημένη λογική από τον λόγο μεγεθών των τρανζίστορ (ratioed logic), όπου οι λογικές στάθμες καθορίζονται από τα σχετικά μεγέθη των τρανζίστορ που στοιχειοθετούν τις πύλες.
- **Δεν υπάρχει αγωγή διαδρομή** μεταξύ των γραμμών **τροφοδοσίας και γείωσης** σε συνθήκες λειτουργίας **σταθερής κατάστασης** (δηλαδή όταν η είσοδος και η έξοδος παραμένουν σταθερές).
- Η απουσία ροής ρεύματος (εάν αγνοήσουμε τα ρεύματα διαρροής) σημαίνει ότι η πύλη **δεν καταναλώνει στατική ενέργεια**.
- Στη **σταθερή κατάσταση**, υπάρχει πάντα μία **διαδρομή** με πεπερασμένη αντίσταση μεταξύ της **εξόδου** και της **τροφοδοσίας** ή της **γείωσης**.

Στατική συμπεριφορά αντιστροφέα CMOS

- Η ανάλυση στατικής συμπεριφοράς του αντιστροφέα CMOS είναι η **ανάλυση της λειτουργίας του σε συνθήκες λειτουργίας σταθερής κατάστασης**, δηλαδή όταν η είσοδος και η έξοδος παραμένουν **σταθερές**.
- Αρχικό μέλημα είναι εξαγωγή και η εκτίμηση της **χαρακτηριστικής μεταφοράς τάσης (voltage transfer characteristic, VTC)**, δηλαδή της καμπύλης της τάσης εξόδου σε συνάρτηση με την τάση εισόδου του αντιστροφέα.
- Στόχος είναι ο προσδιορισμός της μεταβολής της τάσης εξόδου για τις διάφορες αλλαγές της τάσης εισόδου του αντιστροφέα.
- Στη συνέχεια είναι σημαντικό να προσδιοριστεί το **κατώφλι μετάβασης (switching threshold)**, δηλαδή το σημείο στο οποίο η **τάση εισόδου είναι ίση με την τάση εξόδου** του αντιστροφέα.
- Σημαντικό στόχο της ανάλυσης της στατικής συμπεριφοράς είναι η εκτίμηση των **περιθωρίων θορύβου (NM_H , NM_L)** του αντιστροφέα CMOS, τα οποία καθορίζουν τη **στιβαρότητα** του αντιστροφέα, δηλαδή την **ανεκτικότητά του στο θόρυβο**.
- Από την ανάλυση της στατικής συμπεριφοράς προκύπτουν συμπεράσματα για τους παράγοντες οι οποίοι επηρεάζουν τις στατικές παραμέτρους του αντιστροφέα.

Χαρακτηριστική μεταφοράς τάσης

- Η γραφική εκτίμηση της χαρακτηριστικής μεταφοράς τάσης του αντιστροφέα CMOS επιτυγχάνεται με **υπέρθυση των χαρακτηριστικών των τρανζίστορ NMOS και PMOS**.
- Το γράφημα που προκύπτει από την εν λόγω υπέρθεση αναφέρεται ως **γραφική παράσταση γραμμής φορτίου (load-line plot)**.
- Για την εξαγωγή της παράστασης αυτής απαιτείται η τοποθέτηση των χαρακτηριστικών των δύο τρανζίστορ σε ένα κοινό σύστημα συντεταγμένων.



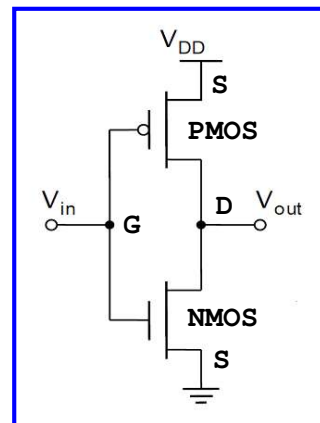
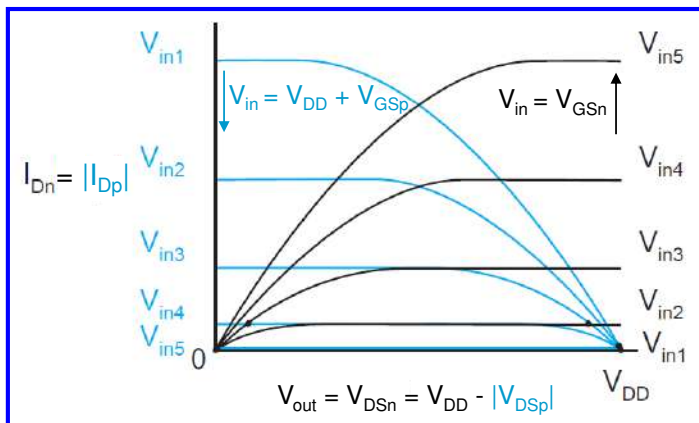
Χαρακτηριστική μεταφοράς τάσης

- Οι μεταβλητές του γραφήματος είναι η V_{in} , η V_{out} και το I_D του τρανζίστορ NMOS.
- Το ρεύμα και οι τάσεις του τρανζίστορ PMOS μεταφράζονται σε αυτό το πεδίο μεταβλητών μέσω των διπλανών σχέσεων.
- Αρχικά, σχεδιάζουμε τις συμμετρικές ως προς τον άξονα της τάσης (x) χαρακτηριστικές του PMOS (δηλαδή, θεωρούμε την **απόλυτη τιμή του I_{Dp}**) και στη συνέχεια τις ολισθαίνουμε οριζόντια κατά V_{DD} (δηλαδή, θεωρούμε την **απόλυτη τιμή της V_{Dsp}**).

$$I_{Dp} = -I_{Dn}$$

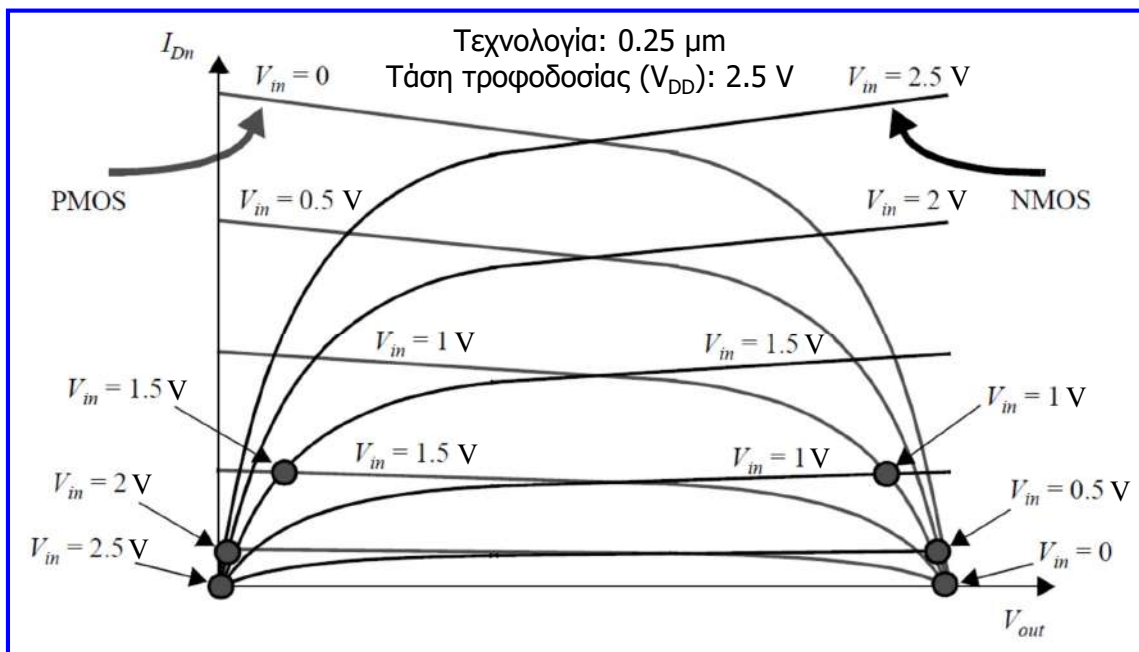
$$V_{GSn} = V_{in} ; V_{GSp} = V_{in} - V_{DD}$$

$$V_{DSn} = V_{out} ; V_{DSp} = V_{out} - V_{DD}$$



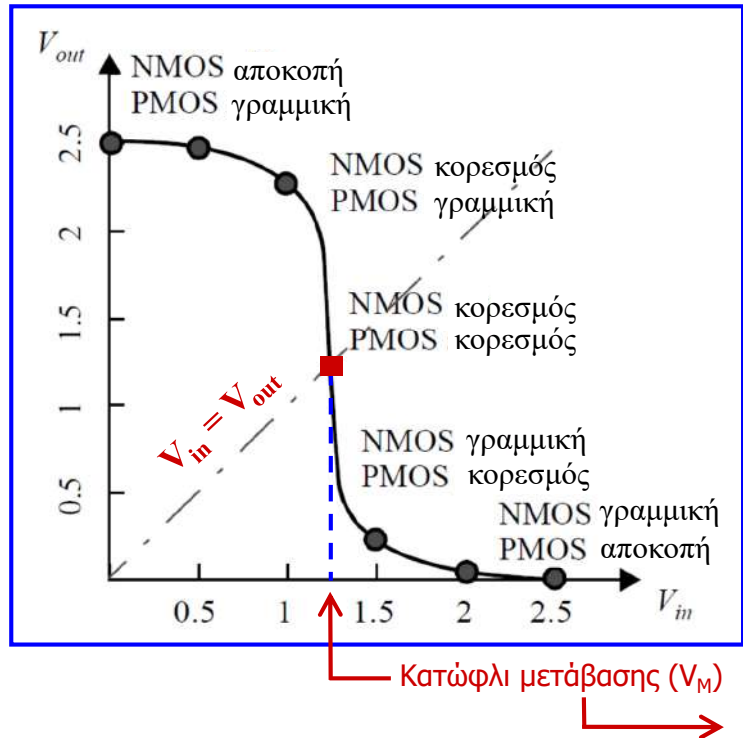
Χαρακτηριστική μεταφοράς τάσης

Επιλέγουμε έγκυρα **σημεία λειτουργίας** του αντιστροφέα (δηλαδή σημεία τομής των χαρακτηριστικών των δύο τρανζίστορ), τα οποία λαμβάνονται για την **ίδια τάση εισόδου** και για **ίσα ρεύματα των δύο τρανζίστορ**.



Χαρακτηριστική μεταφοράς τάσης

- Με βάση τα επιλεγμένα σημεία, χαράσσουμε την χαρακτηριστική μεταφοράς τάσης του αντιστροφέα CMOS.
- Παρατηρούμε ότι τα έγκυρα σημεία λειτουργίας βρίσκονται είτε σε υψηλές είτε σε χαμηλές τιμές της τάσης εισόδου.
- Κατά συνέπεια, η χαρακτηριστική μεταφοράς τάσης του αντιστροφέα παρουσιάζει **πολύ στενή ζώνη μετάβασης**.
- Σε αυτή την περιοχή λειτουργίας, όπου τα δύο τρανζίστορ άγουν ταυτόχρονα και λειτουργούν στην περιοχή κορεσμού, μια **μικρή αλλαγή στην τάση εισόδου έχει αποτέλεσμα μεγάλη μεταβολή της τάσης εξόδου** (υψηλό κέρδος στη ζώνη μετάβασης).



Κατώφλι μετάβασης

- Το **κατώφλι μετάβασης (switching threshold, V_M)** ορίζεται ως το σημείο στο οποίο $V_{in} = V_{out}$.
- Η τιμή του μπορεί να ληφθεί γραφικά από την **τομή της χαρακτηριστικής μεταφοράς τάσης με τη ευθεία** που προκύπτει από τη σχέση $V_{in} = V_{out}$.
- Στην περιοχή αυτή, και τα δύο τρανζίστορ λειτουργούν πάντα στην **περιοχή κόρου**, αφού $V_{DS} = V_{GS}$.
- Μια **έκφραση** για την V_M λαμβάνεται **εξισώνοντας τα αντίθετα ρεύματα των δύο τρανζίστορ**, με δεδομένο ότι τα τρανζίστορ λειτουργούν στην περιοχή κορεσμού ταχύτητας των φορέων ($V_{DSAT} < V_M - V_T$) και παραβλέποντας το φαινόμενο διαμόρφωσης μήκους καναλιού.

$$k_n V_{DSATn} \left(V_M - V_{Tn} - \frac{V_{DSATn}}{2} \right) + k_p V_{DSATp} \left(V_M - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right) = 0$$

$$V_M = \frac{\left(V_{Tn} + \frac{V_{DSATn}}{2} \right) + r \left(V_{DD} + V_{Tp} + \frac{V_{DSATp}}{2} \right)}{1 + r} \quad \text{με } r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}} = \frac{\mu_{satp} W_p}{\mu_{satn} W_n}$$

Για μεγάλες τιμές της V_{DD} σε σχέση με τις τάσεις κατωφλίου και κορεσμού

$$V_M \approx \frac{r V_{DD}}{1 + r}$$

Κατώφλι μετάβασης

- Προκύπτει λοιπόν, ότι το κατώφλι μετάβασης ρυθμίζεται από τον λόγο r , ο οποίος συγκρίνει τη σχετική ικανότητα οδήγησης των τρανζίστορ PMOS και NMOS.
- Γενικά είναι επιθυμητό για τη V_M να κυμαίνεται περίπου στη μέση του διαθέσιμου εύρους ταλάντευσης τάσης (ή στην τιμή $V_{DD}/2$), αφού αυτό οδηγεί σε συγκρίσιμες τιμές του χαμηλού και του υψηλού περιθωρίου θορύβου.
- Αυτό απαιτεί ο λόγος r να είναι κατά προσέγγιση 1, γεγονός που είναι ισοδύναμο με το να σχεδιάζουμε το στοιχείο PMOS έτσι ώστε:

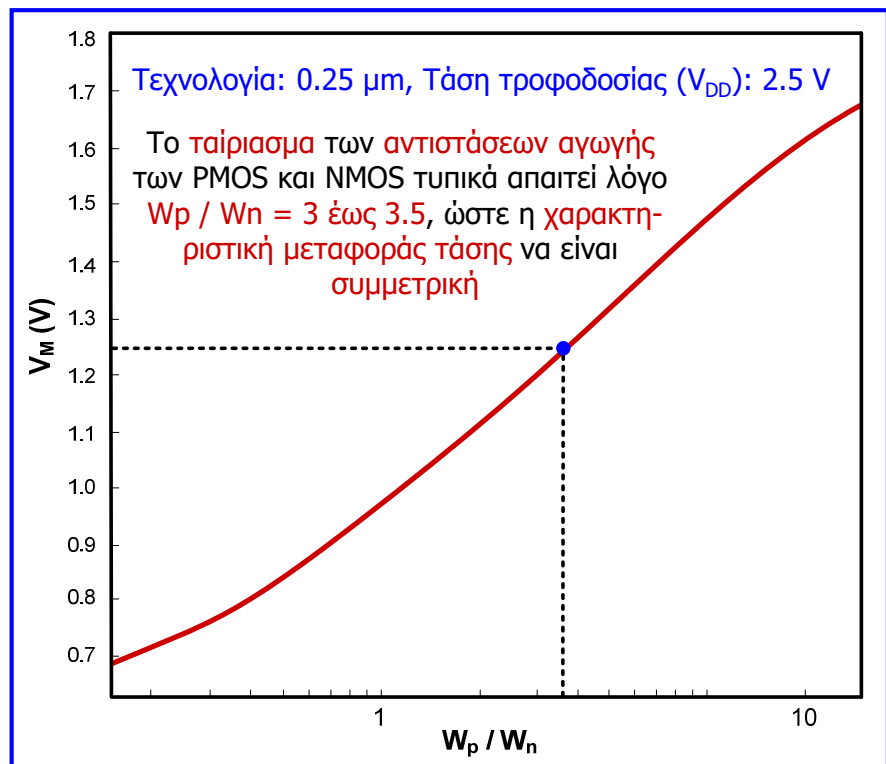
$$(W/L)_p = (W/L)_n (V_{DSATn} k'_n) / (V_{DSATp} k'_p) \quad k' = \mu C_{ox}$$

- Για να αυξηθεί η V_M , απαιτείται μεγαλύτερη τιμή του r , που σημαίνει ότι το στοιχείο PMOS πρέπει να γίνει πλατύτερο.
- Από την άλλη πλευρά, με αύξηση της ικανότητας οδήγησης του NMOS, το κατώφλι μετάβασης τείνει προς τη γείωση.
- Απαιτούμενος λόγος διαστάσεων των τρανζίστορ PMOS και NMOS, έτσι ώστε το κατώφλι μετάβασης να τεθεί σε μία επιθυμητή τιμή V_M :

$$\frac{(W/L)_p}{(W/L)_n} = \frac{k'_n V_{DSATn} (V_M - V_{Tn} - V_{DSATn}/2)}{k'_p V_{DSATp} (V_{DD} - V_M + V_{Tp} + V_{DSATp}/2)}$$

Κατώφλι μετάβασης

- Το κατώφλι μετάβασης αυξάνεται όταν αυξηθεί σημαντικά ο λόγος W_p / W_n των πλατών των τρανζίστορ του αντιστροφέα.
- Αυτό σημαίνει ότι η μεταβατική περιοχή της χαρακτηριστικής μεταφοράς τάσης του αντιστροφέα CMOS ολισθαίνει προς τα δεξιά όταν αυξάνεται ο λόγος W_p / W_n και προς τα αριστερά όταν ο λόγος αυτός μειώνεται.



Παράδειγμα 1

- Η έκφραση της V_M στην οποία καταλήξαμε στη σελίδα 12, παράχθηκε με την υπόθεση ότι τα τρανζίστορ του αντιστροφέα λειτουργούν στην περιοχή κορεσμού της ταχύτητας των φορέων ($V_{DSAT} < V_M - V_T$). Υπολογίζουμε το κατώφλι κορεσμού (V_M) όταν τα τρανζίστορ έχουν μεγάλο μήκος καναλιού και δεν συμβαίνει κορεσμός της ταχύτητας των φορέων.
- Γύρω από το σημείο λειτουργίας V_M , τα δύο τρανζίστορ λειτουργούν στην περιοχή κορεσμού. Για παράδειγμα, για το τρανζίστορ NMOS ισχύει ότι $V_{DS} = V_{out} = V_M$ και $V_{GS} = V_{in} = V_M$, συνεπώς $V_{DS} > V_{GS} - V_T$) και αντίστοιχη είναι η κατάσταση λειτουργίας του τρανζίστορ PMOS.
- Το κατώφλι μετάβασης υπολογίζεται εξισώνοντας τα αντίθετα ρεύματα που ρέουν στα τρανζίστορ, αφού παραβλέψουμε το φαινόμενο διαμόρφωσης μήκους καναλιού ($\lambda = 0$):

$$\frac{k_n}{2} (V_M - V_{Tn})^2 = -\frac{k_p}{2} (V_M - V_{DD} - V_{Tp})^2 \Rightarrow (V_M - V_{Tn})^2 = -\frac{k_p}{k_n} (V_M - V_{DD} - V_{Tp})^2 \Rightarrow$$

$$V_M - V_{Tn} = -\sqrt{-\frac{k_p}{k_n}} (V_M - V_{DD} - V_{Tp}) \quad r = \sqrt{\frac{k_p}{k_n}} \Rightarrow (1+r)V_M = V_{Tn} + r(V_{DD} + V_{Tp}) \Rightarrow$$

$$V_M = \frac{V_{Tn} + r(V_{DD} + V_{Tp})}{1+r}$$

Παράδειγμα 2

- Επιθυμούμε να σχεδιάσουμε έναν αντιστροφέα CMOS με διαστάσεις των τρανζίστορ PMOS και NMOS, έτσι ώστε το κατώφλι μετάβασης του αντιστροφέα που υλοποιείται σε τεχνολογία CMOS 0.25 μm (οι παράμετροι της οποίας δίνονται στον παρακάτω πίνακα), να βρίσκεται στο μέσο μεταξύ της τάσης τροφοδοσίας και της γείωσης. Ο λόγος του πλάτους καναλιού προς το μήκος καναλιού του τρανζίστορ με ελάχιστο μέγεθος ισούται με 1.5.

$V_{DD} = 2.5 \text{ V}$	$V_{T0} \text{ (V)}$	$V_{DSAT} \text{ (V)}$	$k' \text{ (A/V}^2\text{)}$
NMOS	0.43	0.63	$115 \cdot 10^{-6}$
PMOS	-0.4	-1	$-30 \cdot 10^{-6}$

- Χρησιμοποιούμε τη σχέση της σελίδας 13, με την οποία υπολογίζουμε το λόγο διαστάσεων των τρανζίστορ PMOS και NMOS, έτσι ώστε το κατώφλι μετάβασης να τεθεί σε μία επιθυμητή τιμή V_M και θέτουμε ως επιθυμητή τιμή την $V_M = V_{DD} / 2 = 2.5 / 2 = 1.25 \text{ V}$.

$$\frac{(W/L)_p}{(W/L)_n} = \frac{k'_n V_{DSATn} (V_M - V_{Tn} - V_{DSATn}/2)}{k'_p V_{DSATp} (V_{DD} - V_M + V_{Tp} + V_{DSATp}/2)} \Rightarrow$$

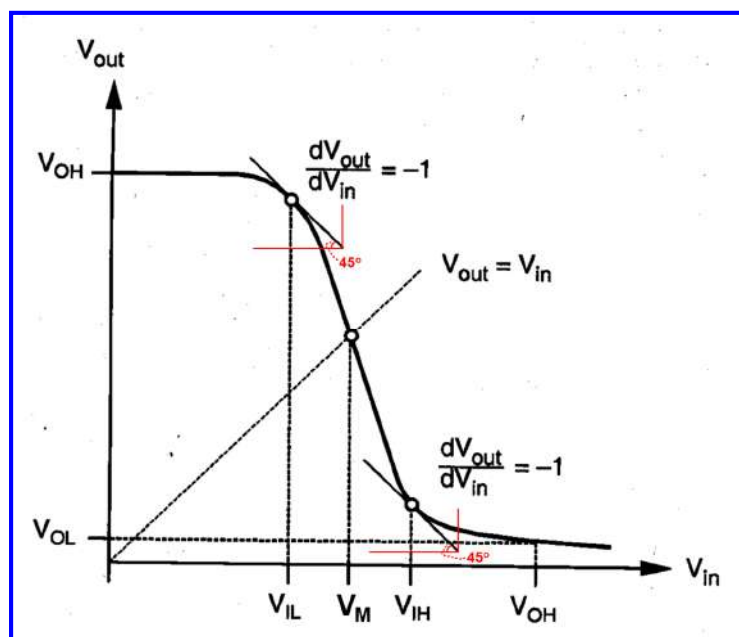
Παράδειγμα 2

$$\frac{(W/L)_p}{(W/L)_n} = \frac{115 \times 10^{-6}}{30 \times 10^{-6}} \times \frac{0.63}{1.0} \times \frac{(1.25 - 0.43 - 0.63/2)}{(1.25 - 0.4 - 1.0/2)} = 3.5$$

- Αφού ο λόγος του πλάτους καναλιού προς το μήκος καναλιού του τρανζίστορ με ελάχιστο μέγεθος ισούται με 1.5, κατά το σχεδιασμό θέτουμε τις ελάχιστες διαστάσεις στο τρανζίστορ NMOS, δηλαδή $L_n = 0.25 \mu\text{m}$, $W_n = 1.5 \times 0.25 = 0.375 \mu\text{m}$ και στο τρανζίστορ PMOS θέτουμε $L_p = 0.25 \mu\text{m}$, $W_p = 3.5 \times 0.375 = 1.3 \mu\text{m}$.
- Σχεδιάζοντας τον αντιστροφέα CMOS με τις παραπάνω διαστάσεις των τρανζίστορ, επιτυγχάνουμε το κατώφλι μετάβασης να βρίσκεται στο μέσο μεταξύ της τάσης τροφοδοσίας και της γείωσης (1.25 V).

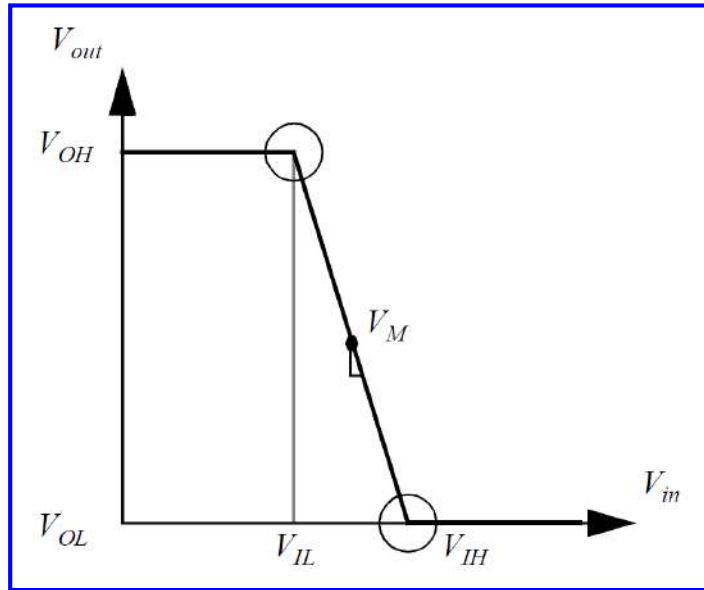
Περιθώρια θορύβου

Το **εύρος της μεταβατικής περιοχής** του αντιστροφέα οριοθετείται από τιμές της τάσης εισόδου (V_{IH} και V_{IL}), στις οποίες $dV_{out} / dV_{in} = -1$, δηλαδή, η γωνία που σχηματίζει η χαρακτηριστική μεταφοράς τάσης με τον άξονα της τάσης εισόδου είναι 45° .



Περιθώρια θορύβου

- Μία απλή προσέγγιση για τον υπολογισμό V_{IH} και V_{IL} είναι να προσεγγίσουμε την χαρακτηριστική μεταφορά τάσης με γραμμικά τμήματα.
- Η μεταβατική περιοχή προσεγγίζεται από μία ευθεία, η κλίση ή κέρδος (g) της οποίας σε σχέση με τον άξονα της τάσης εισόδου, είναι η κλίση στο κατώφλι μετάβασης V_M .
- Τα σημεία τομής της χαρακτηριστικής μεταφοράς τάσης με τις παράλληλες γραμμές που ξεκινούν από τις τιμές V_{OH} και V_{OL} (ονομαστικές τιμές υψηλής και χαμηλής στάθμης, δηλ. τροφοδοσία V_{DD} και γείωση 0), ορίζουν τις τιμές της τάσης εισόδου V_{IH} και V_{IL} .



Περιθώρια θορύβου

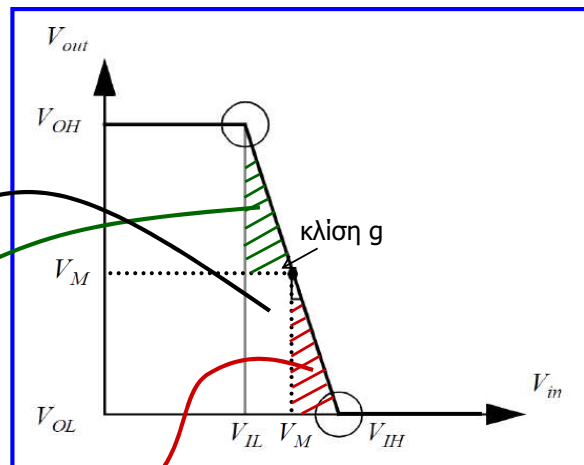
$$V_{OH} = V_{DD} \text{ και } V_{OL} = 0$$

$$NM_H = V_{OH} - V_{IH} \text{ και } NM_L = V_{IL} - V_{OL}$$

$$V_{IH} - V_{IL} = \frac{(V_{OH} - V_{OL})}{|g|} = \frac{V_{DD}}{|g|}$$

$$V_{IH} = V_M + \frac{V_M}{|g|} \text{ και } V_{IL} = V_M - \frac{V_{DD} - V_M}{|g|}$$

$$NM_H = V_{DD} - V_{IH} \text{ και } NM_L = V_{IL}$$



Περιθώρια θορύβου

Η έκφραση του g (κέρδος ή κλίση μέσου σημείου, *midpoint gain*), λαμβάνεται εάν αρχικά εξισώσουμε τα ρεύματα των δύο τρανζίστορ στην περιοχή κορεσμού ταχύτητας των φορέων:

$$k_n V_{DSATn} \left(V_{in} - V_{Tn} - \frac{V_{DSATn}}{2} \right) (1 + \lambda_n V_{out}) + k_p V_{DSATp} \left(V_{in} - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right) (1 + \lambda_p V_{out} - \lambda_p V_{DD}) = 0$$

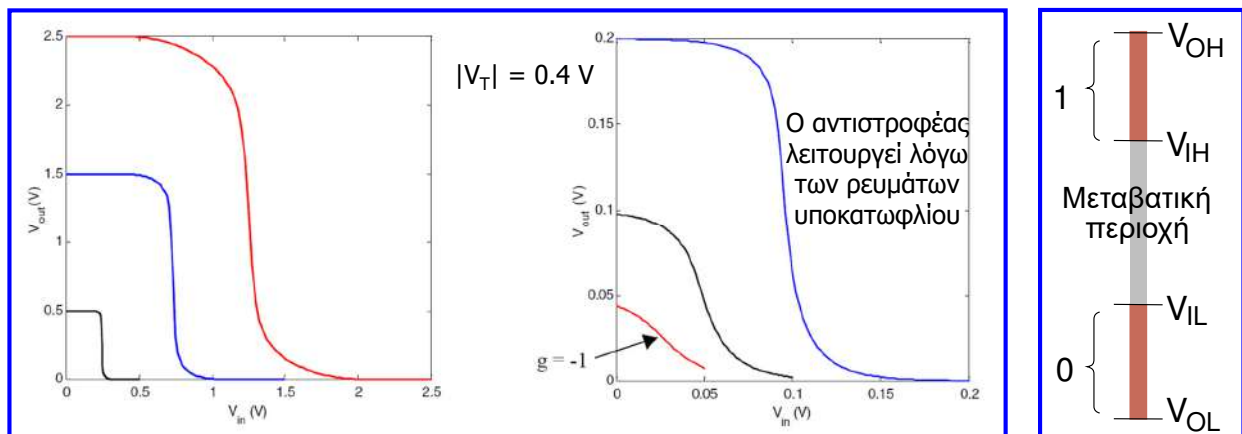
Μετά από παραγωγή και επίλυση της εξίσωσης που προκύπτει ως προς dV_{out} / dV_{in} και αφού θέσουμε $V_{in} = V_M$, μπορούμε να εξάγουμε μια απλή, αλλά προσεγγιστική σχέση για το κέρδος μέσου σημείου g , παραλείποντας μερικούς όρους δεύτερης τάξης:

$$g = \frac{dV_{out}}{dV_{in}} \Big|_{V_{in}=V_M} \approx - \frac{1+r}{(V_M - V_{Tn} - V_{DSATn}/2)(\lambda_n - \lambda_p)} \quad r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}}$$

Λόγω των απλοποιήσεων, η παραπάνω έκφραση **υπερεκτιμά την τιμή του g** .

Περιθώρια θορύβου και στιβαρότητα

- Για να είναι μία πύλη στιβαρή και αναισθητη στις διαταραχές θορύβου, οι περιοχές τάσης που αντιστοιχούν στις λογικές τιμές 0 και 1 πρέπει να είναι όσο το δυνατόν μεγαλύτερες.
- Ένα μέτρο της ευαισθησίας μίας πύλης στο θόρυβο είναι τα περιθώρια θορύβου, που καθορίζουν το εύρος των επιτρεπτών περιοχών στάθμης 0 και 1, αντίστοιχα.
- **Αυξημένη τιμή του g , οδηγεί σε αυξημένα περιθώρια θορύβου**, δηλαδή σε **μεγαλύτερη στιβαρότητα** (δυνατότητα ενός κυκλώματος να εξουδετερώνει τις πηγές θορύβου).
- Η **μείωση της τάσης τροφοδοσίας** βελτιώνει την τιμή του g , αλλά αυτό δεν συμβαίνει όταν πρόκειται για πολύ χαμηλές τιμές της τάσης τροφοδοσίας (αρκετά μικρότερες της V_T).



Παράδειγμα 3

Έχουμε σχεδιάσει έναν αντιστροφέα CMOS σε τεχνολογία 0.25 μm ($L_{n,p}$), οι παράμετροι της οποίας δίνονται στον παρακάτω πίνακα, με λόγο $W_p / W_n = 3.4$ και πλάτος του τρανζίστορ NMOS $W_n = 0.375$ μm. Η επιλογή του προαναφερόμενου λόγου πλατών έγινε έτσι ώστε το κατώφλι μετάβασης να είναι 1.25 V. Υπολογίζουμε τις παραμέτρους V_{IH} , V_{IL} , NM_H , NM_L .

$V_{DD} = 2.5$ V	V_{T0} (V)	V_{DSAT} (V)	k' (A/V ²)	λ (V ⁻¹)
NMOS	0.43	0.63	$115 \cdot 10^{-6}$	0.06
PMOS	-0.4	-1	$-30 \cdot 10^{-6}$	-0.1

Πρέπει αρχικά να υπολογίσουμε το κέρδος μέσου σημείου (g):

$$r = \frac{k_p \cdot V_{DSATp}}{k_n \cdot V_{DSATn}} \Rightarrow r = \frac{k'_p \cdot \frac{W_p}{L_p} V_{DSATp}}{k'_n \cdot \frac{W_n}{L_n} V_{DSATn}} \Rightarrow r = \frac{(-30) \cdot \frac{3.4 \cdot 0.375}{0.25} \cdot (-1)}{115 \cdot \frac{0.375}{0.25} \cdot 0.63} \Rightarrow r = 1.41$$

$$g = -\frac{1+r}{\left(V_M - V_{Tn} - \frac{V_{DSATn}}{2}\right) \cdot (\lambda_n - \lambda_p)} \Rightarrow g = -\frac{1+1.41}{\left(1.25 - 0.43 - \frac{0.63}{2}\right) \cdot (0.06 + 0.1)} \Rightarrow g = -29.8$$

Παράδειγμα 3

$$V_{OH} = V_{DD} \text{ και } V_{OL} = 0$$

$$NM_H = V_{OH} - V_{IH} \text{ και } NM_L = V_{IL} - V_{OL}$$

$$V_{IH} = V_M + \frac{V_M}{|g|} \text{ και } V_{IL} = V_M - \frac{V_{DD} - V_M}{|g|}$$

$$NM_H = V_{DD} - V_{IH} \text{ και } NM_L = V_{IL}$$

$$V_{IH} = 1.25 + 1.25 / 29.8 = 1.29 \text{ V}$$

$$V_{IL} = 1.25 - (2.5 - 1.25) / 29.8 = 1.21 \text{ V}$$

$$NM_H = 2.5 - 1.29 = 1.21 \text{ V}$$

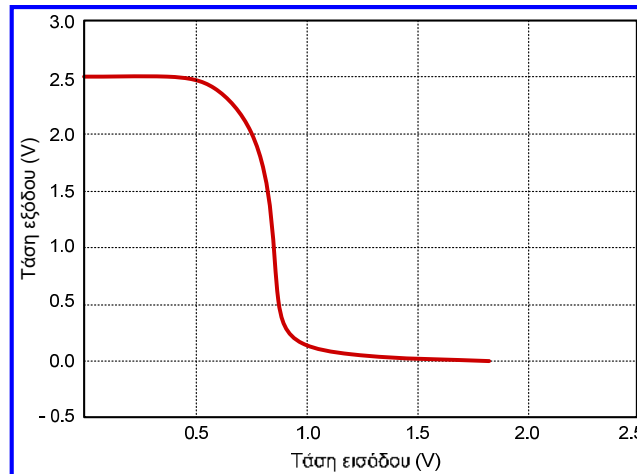
$$NM_L = 1.21 \text{ V}$$

Προέκυψαν περιθώρια θορύβου με ιδανικό εύρος, αλλά η τιμή του g που υπολογίσαμε είναι υπερεκτιμημένη

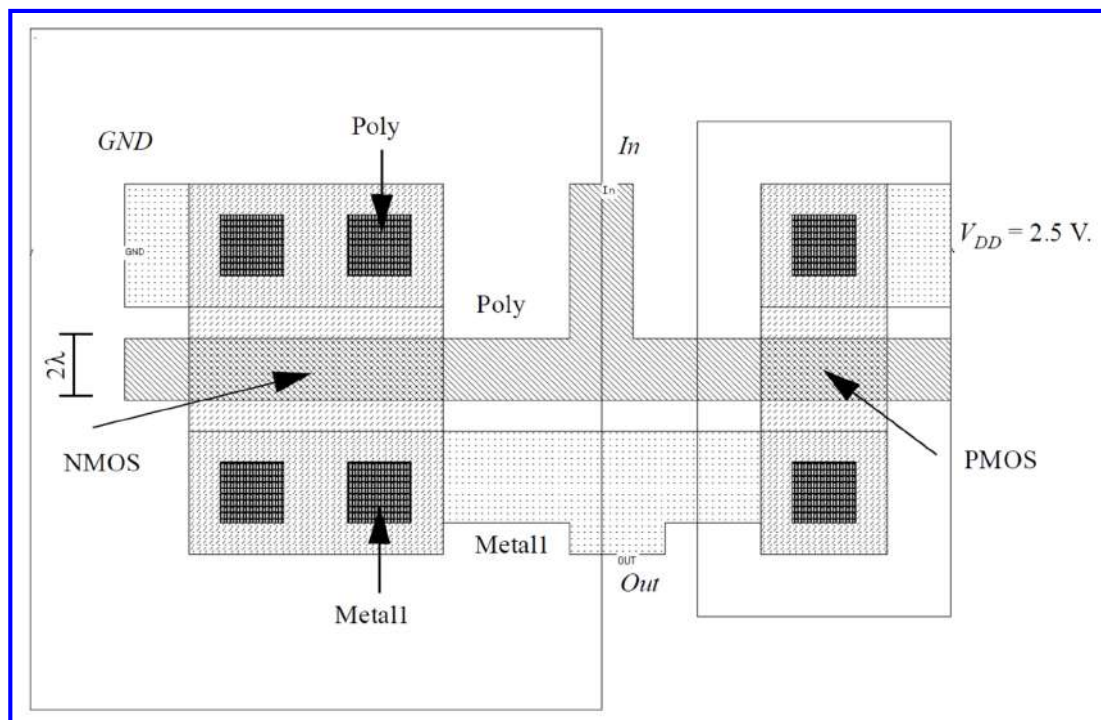
Παράδειγμα 4

Στο σχήματα που ακολουθούν δίνεται η χαρακτηριστική μεταφοράς τάσης ενός αντιστροφέα CMOS και το φυσικό του σχέδιο ($\lambda = 0.125 \mu\text{m}$).

1. Υπολογίζουμε τις διαστάσεις (W , L) των δύο τρανζίστορ.
2. Υπολογίζουμε γραφικά (με βάση τη χαρακτηριστική μεταφοράς τάσης) τις παραμέτρους: V_{OH} , V_{OL} , V_M , V_{IH} , V_{IL} , NM_H , NM_L και κατόπιν υπολογίζουμε το κέρδος μέσου σημείου (g).
3. Για να γίνει το κατώφλι μετάβασης 0.75 V , θα πρέπει να αυξήσουμε ή να μειώσουμε το πλάτος καναλιού του τρανζίστορ NMOS; Πως θα επηρεαστούν τα περιθώρια θορύβου;



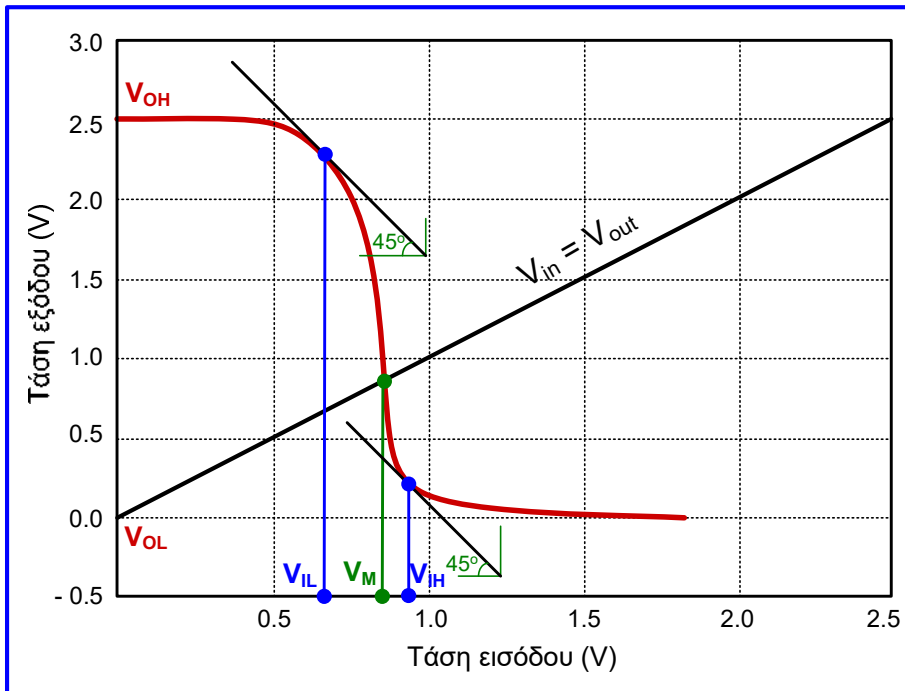
Παράδειγμα 4



1. $W_n = 8 \lambda = 1 \mu\text{m}$, $L_n = 2 \lambda = 0.25 \mu\text{m}$ και $W_p = 4 \lambda = 0.5 \mu\text{m}$, $L_p = 2 \lambda = 0.25 \mu\text{m}$

Παράδειγμα 4

2.



$$\begin{aligned}V_{OH} &= V_{DD} = 2.5 \text{ V} \\V_{OL} &= 0 \text{ V} \\V_M &= 0.85 \text{ V} \\V_{IH} &= 0.95 \text{ V} \\V_{IL} &= 0.65 \text{ V} \\NM_H &= V_{OH} - V_{IH} \\&= 1.55 \text{ V} \\NM_L &= V_{IL} - V_{OL} \\&= 0.65 \text{ V}\end{aligned}$$

$$\begin{aligned}V_{IH} &= V_M + \frac{V_M}{|g|} \Rightarrow \\|g| &= V_M / (V_{IH} - V_M) \\&\Rightarrow |g| = 8.5 \\&\Rightarrow g = -8.5\end{aligned}$$

Παράδειγμα 4

3. Το κατώφλι μετάβασης (V_M) αυξάνεται όταν αυξηθεί ο λόγος W_p / W_n των πλατών των τρανζιστορ του αντιστροφέα. Για να μειώσουμε το κατώφλι μετάβασης (V_M) από 0.85 V σε 0.75 V θα πρέπει να μειώσουμε το λόγο W_p / W_n , που σημαίνει ότι θα πρέπει να **αυξήσουμε το πλάτος καναλιού του τρανζιστορ NMOS**.

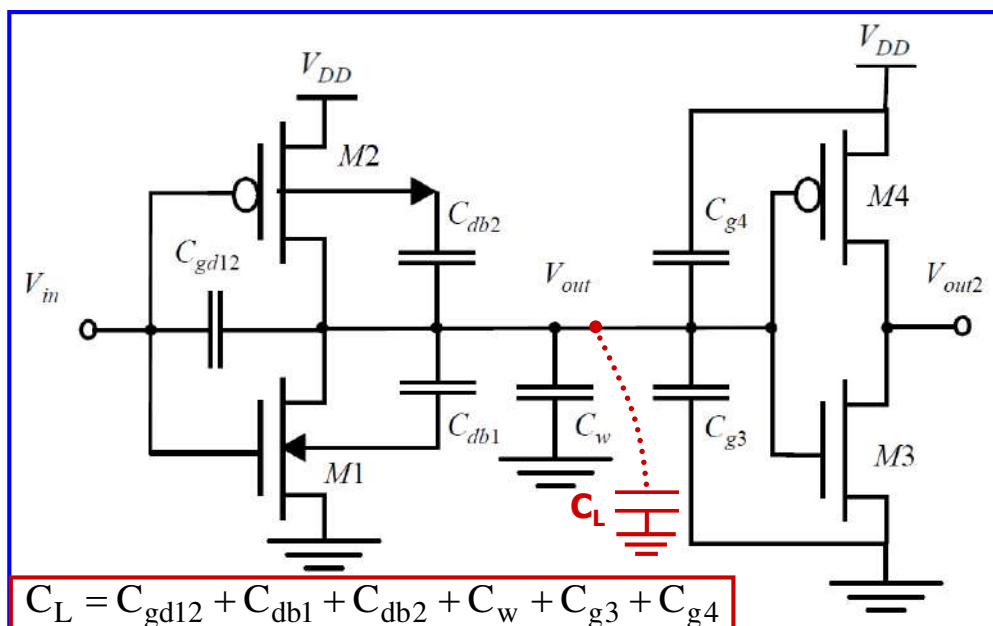
Λαμβάνοντας υπόψη το διάγραμμα της σελίδας 14, προκύπτει ότι θα πρέπει περίπου να διπλασιαστεί το πλάτος του τρανζιστορ NMOS ($W_n = 2 \mu\text{m}$), δηλαδή ο λόγος W_p / W_n να μειωθεί σε 0.25 από 0.5 που ήταν αρχικά.

Η μεταβατική περιοχή της χαρακτηριστικής μεταφοράς τάσης ολισθαίνει προς τα αριστερά όταν μειώνεται ο λόγος W_p / W_n . Επομένως, μετά την αύξηση του πλάτους του τρανζιστορ NMOS, το **περιθώριο θορύβου NM_H θα αυξηθεί** και το **περιθώριο θορύβου NM_L θα μειωθεί**.

Δυναμική συμπεριφορά αντιστροφέα CMOS

- Η **καθυστέρηση διάδοσης** (βασικό μέτρο **επίδοσης**) του αντιστροφέα CMOS καθορίζεται από το χρόνο που διαρκεί η φόρτιση και η εκφόρτιση της **χωρητικότητας εξόδου** του, μέσω των τρανζίστορ PMOS και NMOS, αντίστοιχα.
- Εκτός από την εξάρτηση από την χωρητικότητα εξόδου, η καθυστέρηση διάδοσης του αντιστροφέα εξαρτάται και από τις **αντιστάσεις αγωγής των τρανζίστορ**.
- Η επίτευξη όσο το δυνατόν μικρότερης χωρητικότητας εξόδου είναι κρίσιμη για την υλοποίηση κυκλωμάτων CMOS υψηλής επίδοσης.
- Το συνολικό **χωρητικό φορτίο (χωρητικότητα εξόδου)** ενός αντιστροφέα CMOS και γενικότερα μιας πύλης CMOS, προκύπτει από το άθροισμα της:
 - ✓ **χωρητικότητας πύλης των εισόδων που συνδέονται στην έξοδο** της πύλης,
 - ✓ **χωρητικότητας των περιοχών υποδοχής** και **χωρητικότητας πύλης-υποδοχής** που συνδέονται στην έξοδο της πύλης,
 - ✓ **χωρητικότητας των διασυνδέσεων** (που δημιουργούνται από γραμμές μετάλλου, πολυκρυσταλλικού πυριτίου ή διάχυσης) της εξόδου με τις εισόδους που αυτή οδηγεί.
- Συνεπώς, πριν την μελέτη της καθυστέρησης διάδοσης του αντιστροφέα, είναι απαραίτητο να μελετηθούν οι **συνιστώσες της χωρητικότητας εξόδου του αντιστροφέα**.

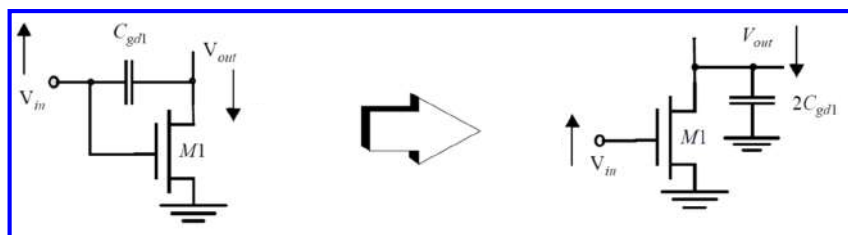
Χωρητικότητα εξόδου αντιστροφέα CMOS



Για να μειώσουμε την πολυπλοκότητα της ανάλυσης, υποθέτουμε ότι όλες οι **χωρητικότητες** που συνδέονται στην έξοδο του αντιστροφέα, **συγκεντρώνονται σε μία μόνο χωρητικότητα C_L** , που συνδέεται μεταξύ της εξόδου και της γείωσης (**συγκεντρωτικό μοντέλο**).

Χωρητικότητα πύλης-υποδοχής

- Τα τρανζίστορ M1 και M2 λειτουργούν στην περιοχή αποκοπής ή στην περιοχή κορεσμού κατά τη διάρκεια του πρώτου μισού (έως το 50%) της μετάβασης εξόδου.
- Κάτω από αυτές τις συνθήκες, οι μόνες συνιστώσες που συμμετέχουν στην C_{gd12} είναι οι **χωρητικότητες επικάλυψης των τρανζίστορ M1 και M2**.
- Η **χωρητικότητα καναλιού** των τρανζίστορ **δεν επιδρά** στο διάστημα αυτό, αφού δημιουργείται μεταξύ πύλης-υποστρώματος (αποκοπή) ή μεταξύ πύλης-πηγής (κορεσμός).
- Το συγκεντρωτικό μοντέλο επιβάλλει την αντικατάσταση της χωρητικότητας πύλης-υποδοχής από μία χωρητικότητα που συνδέεται στη γείωση.
- Κατά την διάρκεια μετάβασης από τη χαμηλή στην υψηλή ή από την υψηλή στη χαμηλή στάθμη, η τάση στα 2 άκρα της χωρητικότητας C_{gd12} κινούνται σε αντίθετες κατευθύνσεις, επομένως η **αλλαγή τάσης στην C_{gd12} είναι διπλάσια του εύρους ταλάντευσης της V_{out}** .
- Με βάση το **φαινόμενο Miller**, η χωρητικότητα που συνδέεται στη γείωση πρέπει να έχει διπλάσια τιμή από την χωρητικότητα C_{gd12} .



$$C_{gd12} = 2C_{gdon} W_n + 2C_{gdop} W_p$$

C_{gdo} : χωρητικότητα επικάλυψης ανά μονάδα πλάτους καναλιού

Χωρητικότητες περιοχών υποδοχής

- Η χωρητικότητα υποδοχής που οφείλεται στην **ανάστροφα πολωμένη επαφή pn υποστρώματος - υποδοχής**, είναι μη γραμμική και εξαρτάται από την εφαρμοζόμενη τάση.
- Συνίσταται από την **χωρητικότητα βάσης (C_j)** της επαφής και από τη χωρητικότητα **περιφερειακών πλευρών (C_{jsw})** της επαφής: $C_{db} = W L_s C_j + (W + 2 L_s) C_{jsw}$.

$$C_j = C_{j0} \left(1 - \frac{V_j}{\phi_b} \right)^{-m_j}$$

V_j : τάση (πόλωση) επαφής υποστρώματος - υποδοχής

C_{j0} : χωρητικότητα για $V_j = 0$

ϕ_b : ενσωματωμένο δυναμικό επαφής (0.6 – 1 V)

m : 0.3 – 0.5. **Αντίστοιχη σχέση ισχύει για την C_{jsw} .**

- Όταν η τάση επαφής υποστρώματος-υποδοχής μεταβάλλεται μεταξύ δύο σημείων πόλωσης (V_{high} , V_{low}), η χωρητικότητα υποδοχής μπορεί να προσεγγιστεί με την μέση τιμή των χωρητικότητων που προκύπτουν για κάθε σημείο πόλωσης:

$$C_j = C_{j0} K_{eq} = C_{j0} \frac{(1 - V_{high} / \phi_b)^{-m_j} + (1 - V_{low} / \phi_b)^{-m_j}}{2}$$

$$C_{jsw} = C_{jsw0} K_{eqsw} = C_{jsw0} \frac{(1 - V_{high} / \phi_b)^{-m_{jsw}} + (1 - V_{low} / \phi_b)^{-m_{jsw}}}{2}$$

Χωρητικότητες περιοχών υποδοχής

- Δεύτερη προσέγγιση για τον παράγοντα K_{eq} , που καταλήγει σε παρόμοια αποτελέσματα:

$$K_{eq} = \frac{\Phi_b^{-m_j}}{(V_{high} - V_{low})(1 - m_j)} [(\Phi_b - V_{high})^{1-m_j} - (\Phi_b - V_{low})^{1-m_j}]$$
$$K_{eqsw} = \frac{\Phi_b^{-m_{jsw}}}{(V_{high} - V_{low})(1 - m_{jsw})} [(\Phi_b - V_{high})^{1-m_{jsw}} - (\Phi_b - V_{low})^{1-m_{jsw}}]$$

- Η καθυστέρηση διάδοσης ορίζεται ως ο χρόνος μεταξύ του 50% των μεταβάσεων της τάσης εισόδου και της τάσης εξόδου.
- Στο 50% της μετάβασης εξόδου $V_{out} = 1.25$ V (για $V_{DD} = 2.5$ V) και κατά τη διάρκεια της μετάβασης της εξόδου από την υψηλή στη χαμηλή στάθμη, αφού το υπόστρωμα του **NMOS** συνδέεται στη γείωση, αυτό μεταφράζεται σε μία ανάστροφη πόλωση των 2.5 V στην επαφή υποστρώματος-υποδοχής ($V_{high} = -2.5$ V) και σε μια ανάστροφη πόλωση των 1.25 V ($V_{low} = -1.25$ V).
- Κατά τη διάρκεια της μετάβασης της εξόδου από τη χαμηλή στην υψηλή στάθμη, έχουμε αντίστοιχα, $V_{high} = -1.25$ V και $V_{low} = 0$ V.
- Το **PMOS** παρουσιάζει αντίστροφη συμπεριφορά, αφού το υπόστρωμά του συνδέεται σε τάση $V_{DD} = 2.5$ V (H → L: $V_{low} = 0$, $V_{high} = -1.25$ V, L → H: $V_{low} = -1.25$ V, $V_{high} = -2.5$ V).

Χωρητικότητα διασύνδεσης & χωρητικότητα φορτίου

- Η **χωρητικότητα** λόγω των **γραμμών διασύνδεσης** εξαρτάται από το μήκος και το πλάτος των γραμμών αυτών και είναι συνάρτηση της απόστασης των πυλών που οδηγούνται από την πύλη και του αριθμού αυτών των πυλών.
- Η **χωρητικότητα φορτίου (ή φόρτου) εξόδου** ισούται με τη συνολική χωρητικότητα των πυλών των τρανζίστορ M3 και M4 που οδηγούνται από τον αντιστροφέα.

$$C_{fanout} = C_{gate}(NMOS) + C_{gate}(PMOS)$$
$$= (C_{GSO_n} + C_{GDO_n} + W_n L_n C_{ox}) + (C_{GSO_p} + C_{GDO_p} + W_p L_p C_{ox})$$

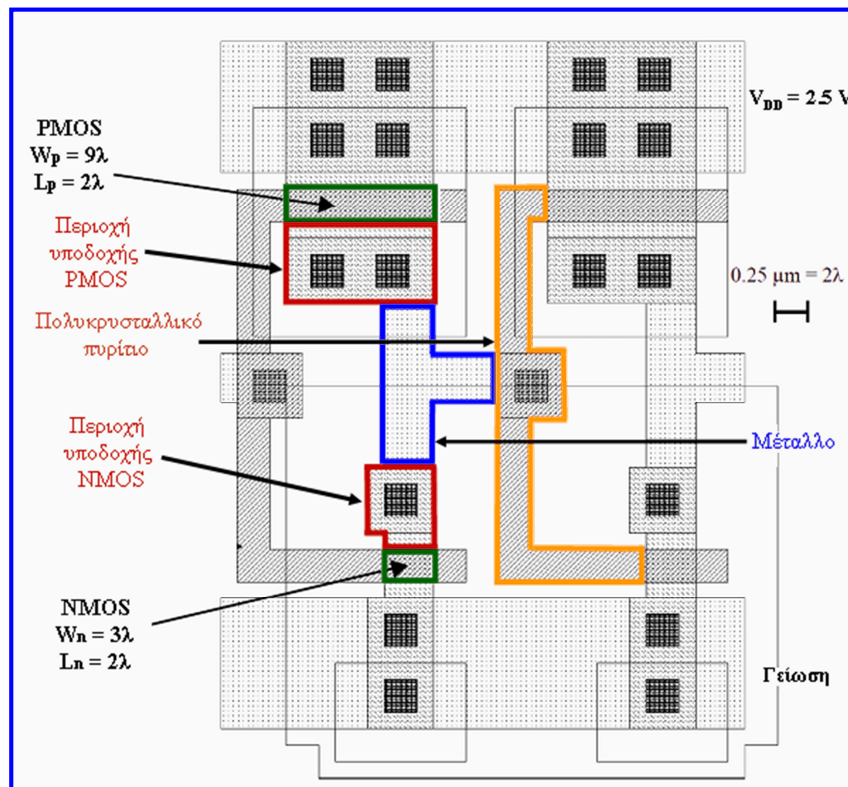
- Η παραπάνω έκφραση υποθέτει ότι η χωρητικότητα καναλιού της συνδεδεμένης πύλης είναι σταθερή στο διάστημα μετάβασης εξόδου μέχρι το 50% της τάσης τροφοδοσίας.
- Ωστόσο, η συνολική χωρητικότητα καναλιού κυμαίνεται από $(2/3) W L C_{ox}$ (περιοχή κορεσμού) έως $W L C_{ox}$ (γραμμική περιοχή και αποκοπή).
- Το σφάλμα παράβλεψης της μεταβολής της χωρητικότητας καναλιού είναι περίπου 10%.
- Η παραπάνω έκφραση υποθέτει επίσης ότι όλες οι συνιστώσες της χωρητικότητας πύλης συνδέονται μεταξύ εξόδου και γείωσης ή τροφοδοσίας και παραβλέπει το φαινόμενο Miller στις χωρητικότητες πύλης-υποδοχής.

Παράδειγμα 5

Στην επόμενη σελίδα δίνεται το φυσικό σχέδιο αλυσίδας δύο όμοιων αντιστροφών CMOS τεχνολογίας CMOS ($\lambda = 0.125 \mu\text{m}$). Οι παράμετροι που σχετίζονται με τις χωρητικότητες των τρανζίστορ δίνονται στον παρακάτω πίνακα. Επίσης, δίνεται ότι η χωρητικότητα ανά μονάδα επιφάνειας μιας γραμμής διασύνδεσης πολυκρυσταλλικού πυριτίου είναι $0.09 \text{ fF}/\mu\text{m}^2$, ενώ μιας γραμμής διασύνδεσης μετάλλου είναι $0.03 \text{ fF}/\mu\text{m}^2$. Υπολογίζουμε την χωρητικότητα εξόδου (C_L) του πρώτου αντιστροφέα της αλυσίδας.

$t_{\text{ox}} = 6 \text{ nm}$	C_{ox} (fF/ μm^2)	$C_{\text{gso/gdo}}$ (fF/ μm)	C_{j0} (fF/ μm^2)	m_j	ϕ_b (V)	C_{jsw0} (fF/ μm)	m_{jsw}	ϕ_{bsw} (V)
NMOS	6	0.31	2	0.5	0.9	0.28	0.44	0.9
PMOS	6	0.27	1.9	0.48	0.9	0.22	0.32	0.9

Παράδειγμα 5



Παράδειγμα 5

- Από το φυσικό σχέδιο μπορούμε να εξάγουμε τα παρακάτω γεωμετρικά χαρακτηριστικά των τρανζίστορ.

	W/L	AD (μm^2)	PD (μm)
NMOS	0.375/0.25	0.3 ($19 \lambda^2$)	1.875 (15λ)
PMOS	1.125/0.25	0.7 ($45 \lambda^2$)	2.375 (19λ)

- Επίσης, από το φυσικό σχέδιο συμπεραίνουμε ότι η επιφάνεια της γραμμής μετάλλου και της γραμμής πολυκρυσταλλικού πυριτίου (εκτός των τρανζίστορ) που διασυνδέουν τους δυο αντιστροφείς της αλυσίδας είναι $42\lambda^2$ και $72\lambda^2$, αντίστοιχα.
- Η ζητούμενη χωρητικότητα εξόδου του πρώτου αντιστροφέα, έχει ως εξής:

$$C_L = C_{db1} + C_{db2} + C_{gd12} + C_w + C_{fanout}$$

- Για τον υπολογισμό της **χωρητικότητας περιοχής υποδοχής του τρανζίστορ NMOS (C_{db1})**, λαμβάνουμε υπόψη ότι η καθυστέρηση διάδοσης ορίζεται ως ο χρόνος μεταξύ του 50% των μεταβάσεων της τάσης εισόδου και της τάσης εξόδου και γραμμικοποιούμε τη χωρητικότητα στο διάστημα $\{2.5 \text{ V}, 1.25 \text{ V}\}$ για τη μετάβαση από την υψηλή στη χαμηλή στάθμη και στο διάστημα $\{0, 1.25 \text{ V}\}$ για τη μετάβαση από τη χαμηλή στην υψηλή στάθμη.

Παράδειγμα 5

- Το τρανζίστορ PMOS παρουσιάζει αντίστροφη συμπεριφορά, αφού το υπόστρωμά του συνδέεται σε τάση 2.5 V.
- Έτσι, τον υπολογισμό της **χωρητικότητας περιοχής υποδοχής του τρανζίστορ PMOS (C_{db2})**, για τη μετάβαση από την υψηλή στη χαμηλή στάθμη γραμμικοποιούμε τη χωρητικότητα στο διάστημα $\{0 \text{ V}, 1.25 \text{ V}\}$ και για τη μετάβαση από την χαμηλή στην υψηλή στάθμη, γραμμικοποιούμε τη χωρητικότητα στο διάστημα $\{1.25 \text{ V}, 2.5 \text{ V}\}$.
- Οι επαφές υποστρώματος-υποδοχής είναι ανάστροφα πολωμένες.

$$C_j = C_{j0} K_{eq} = C_{j0} \frac{(1 - V_{high} / \phi_b)^{-m_j} + (1 - V_{low} / \phi_b)^{-m_j}}{2}$$

$$C_{jsw} = C_{jsw0} K_{eqsw} = C_{jsw0} \frac{(1 - V_{high} / \phi_b)^{-m_{jsw}} + (1 - V_{low} / \phi_b)^{-m_{jsw}}}{2}$$

$$C_{jH \rightarrow L} = C_{j0} K_{eq} = 2 \frac{(1 - (-2.5)/0.9)^{-0.5} + (1 - (-1.25)/0.9)^{-0.5}}{2} = 1.16 \text{ fF}/\mu\text{m}^2$$

$$C_{jswH \rightarrow L} = C_{jsw0} K_{eqsw} = 0.28 \frac{(1 - (-2.5)/0.9)^{-0.44} + (1 - (-1.25)/0.9)^{-0.44}}{2} = 0.17 \text{ fF}/\mu\text{m}^2$$

$$C_{db1 H \rightarrow L} = AD_n C_j + PD_n C_{jsw} \Rightarrow C_{db1 H \rightarrow L} = 0.3 \times 1.16 + 1.875 \times 0.17 = 0.66 \text{ fF}$$

Παράδειγμα 5

$$C_{jL \rightarrow H} = C_{j0} K_{eq} = 2 \frac{(1 - (-1.25)/0.9)^{-0.5} + (1 - 0/0.9)^{-0.5}}{2} = 1.64 \text{ fF}/\mu\text{m}^2$$

$$C_{jswL \rightarrow H} = C_{jsw0} K_{eqsw} = 0.28 \frac{(1 - (-1.25)/0.9)^{-0.44} + (1 - 0/0.9)^{-0.44}}{2} = 0.23 \text{ fF}/\mu\text{m}^2$$

$$C_{db1 L \rightarrow H} = AD_n C_j + PD_n C_{jsw} \Rightarrow C_{db1 L \rightarrow H} = 0.3 \times 1.64 + 1.875 \times 0.23 = 0.92 \text{ fF}$$

$$C_{jH \rightarrow L} = C_{j0} K_{eq} = 1.9 \frac{(1 - (-1.25)/0.9)^{-0.48} + (1 - 0/0.9)^{-0.48}}{2} = 1.57 \text{ fF}/\mu\text{m}^2$$

$$C_{jswH \rightarrow L} = C_{jsw0} K_{eqsw} = 0.22 \frac{(1 - (-1.25)/0.9)^{-0.32} + (1 - 0/0.9)^{-0.32}}{2} = 0.19 \text{ fF}/\mu\text{m}^2$$

$$C_{db2 H \rightarrow L} = AD_p C_j + PD_p C_{jsw} \Rightarrow C_{db2 H \rightarrow L} = 0.7 \times 1.57 + 2.375 \times 0.19 = 1.55 \text{ fF}$$

$$C_{jL \rightarrow H} = C_{j0} K_{eq} = 1.9 \frac{(1 - (-2.5)/0.9)^{-0.48} + (1 - (-1.25)/0.9)^{-0.48}}{2} = 1.12 \text{ fF}/\mu\text{m}^2$$

$$C_{jswL \rightarrow H} = C_{jsw0} K_{eqsw} = 0.22 \frac{(1 - (-2.5)/0.9)^{-0.32} + (1 - (-1.25)/0.9)^{-0.32}}{2} = 0.15 \text{ fF}/\mu\text{m}^2$$

$$C_{db2 L \rightarrow H} = AD_p C_j + PD_p C_{jsw} \Rightarrow C_{db2 L \rightarrow H} = 0.7 \times 1.12 + 2.375 \times 0.15 = 1.14 \text{ fF}$$

Παράδειγμα 5

- Κατά την διάρκεια μιας μετάβασης, η τάση στα 2 άκρα της χωρητικότητας C_{gd12} κινούνται σε αντίθετες κατευθύνσεις, επομένως η αλλαγή τάσης στην C_{gd12} είναι διπλάσια του εύρους ταλάντευσης της V_{out} .
- Με βάση το φαινόμενο Miller, η χωρητικότητα που συνδέεται στη γείωση πρέπει να έχει διπλάσια τιμή από την χωρητικότητα C_{gd12} .

$$C_{gd12} = 2C_{gdon} W_n + 2C_{gdop} W_p \Rightarrow C_{gd12} = 2 \times 0.31 \times 0.375 + 2 \times 0.27 \times 1.125 = 0.84 \text{ fF}$$

- Με βάση το ότι από το φυσικό σχέδιο προκύπτει ότι η επιφάνεια της γραμμής μετάλλου και της γραμμής πολυκρυσταλλικού πυριτίου που διασυνδέουν τους δυο αντιστροφείς είναι $42\lambda^2$ και $72\lambda^2$, αντίστοιχα, καθώς και το ότι η χωρητικότητα ανά μονάδα επιφάνειας μιας γραμμής διασύνδεσης πολυκρυσταλλικού πυριτίου είναι $0.09 \text{ fF}/\mu\text{m}^2$, ενώ μιας γραμμής διασύνδεσης μετάλλου είναι $0.03 \text{ fF}/\mu\text{m}^2$, υπολογίζουμε τη χωρητικότητα των γραμμών διασύνδεσης του πρώτου με τον δεύτερο αντιστροφέα:

$$C_w = 42 \times 0.125^2 \mu\text{m}^2 \times 0.03 \text{ fF}/\mu\text{m}^2 + 72 \times 0.125^2 \mu\text{m}^2 \times 0.09 \text{ fF}/\mu\text{m}^2 = 0.12 \text{ fF}$$

Παράδειγμα 5

- Η χωρητικότητα του φορτίου ισούται με τη συνολική χωρητικότητα των πυλών των τρανζίστορ του δεύτερου αντιστροφέα της αλυσίδας:

$$\begin{aligned}
 C_{fanout} &= C_{gate}(NMOS) + C_{gate}(PMOS) \\
 &= (C_{GSON} + C_{GDON} + W_n L_n C_{ox}) + (C_{GSOp} + C_{GDOp} + W_p L_p C_{ox}) \\
 &= (0.31 \times 0.375 + 0.31 \times 0.375 + 0.375 \times 0.25 \times 6) + \\
 &\quad (0.27 \times 1.125 + 0.27 \times 1.125 + 1.125 \times 0.25 \times 6) = 0.76 + 2.28 = 3.04 \text{ fF}
 \end{aligned}$$

- Η ζητούμενη **χωρητικότητα εξόδου του πρώτου αντιστροφέα**, έχει ως εξής:

$$\begin{aligned}
 C_{L(H \rightarrow L)} &= C_{db1H \rightarrow L} + C_{db2H \rightarrow L} + C_{gd12} + C_w + C_{fanout} \\
 &= 0.66 + 1.55 + 0.84 + 0.12 + 3.04 = 6.21 \text{ fF} \\
 C_{L(L \rightarrow H)} &= C_{db1L \rightarrow H} + C_{db2L \rightarrow H} + C_{gd12} + C_w + C_{fanout} \\
 &= 0.92 + 1.14 + 0.84 + 0.12 + 3.04 = 6.06 \text{ fF}
 \end{aligned}$$

Προκύπτει ισορροπία μεταξύ ενδογενούς και εξωγενούς συνιστώσας της χωρητικότητας εξόδου

Καθυστέρηση διάδοσης αντιστροφέα CMOS

- Κατά τον υπολογισμό της καθυστέρησης διάδοσης του αντιστροφέα, η **αντίσταση αγωγής των τρανζίστορ** και η **χωρητικότητα εξόδου του αντιστροφέα** θεωρούνται **σταθερά γραμμικά στοιχεία** με μέσες τιμές στο διάστημα που μας ενδιαφέρει, δηλαδή στο 50% της μετάβασης της τάσης εξόδου του αντιστροφέα.
- **Μέση αντίσταση αγωγής MOSFET** για μετάβαση τάσης εξόδου από V_{DD} έως $V_{DD} / 2$:

$$R_{eq} \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{5}{6} \lambda V_{DD} \right)$$

$$I_{DSAT} = k' \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$$

- Για **μετάβαση τάσης εξόδου από V_{DD} έως $V_{DD} / 2$** , η καθυστέρηση διάδοσης του ισοδύναμου κυκλώματος RC, που διεγείρεται από μία βηματική τάση, είναι ανάλογη της σταθεράς χρόνου του κυκλώματος, που απαρτίζεται από την αντίσταση οδήγησης (μέση αντίσταση αγωγής NMOS) προς τη γείωση και τη χωρητικότητα εξόδου.
- Παρομοίως, υπολογίζουμε την **καθυστέρηση διάδοσης για τη μετάβαση από τη χαμηλή στην υψηλή στάθμη**, χρησιμοποιώντας την μέση αντίσταση αγωγής του τρανζίστορ PMOS.

$$t_{pHL} = \ln(2) R_{eqn} C_L = 0.69 R_{eqn} C_L$$

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = 0.69 C_L \left(\frac{R_{eqn} + R_{eqp}}{2} \right)$$

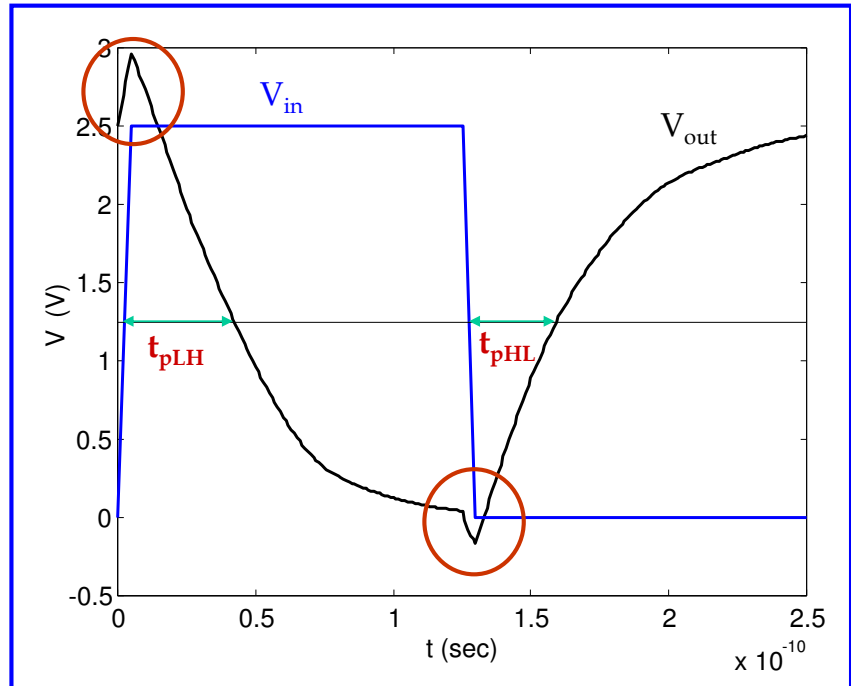
Ενότητα 1
σελίδα 70

$$t_{pLH} = 0.69 R_{eqp} C_L$$

Συνολική καθυστέρηση διάδοσης

Καθυστέρηση διάδοσης αντιστροφέα CMOS

Η **υπερβάση (overshoot)** της τάσης εξόδου σε τιμές μεγαλύτερες της τάσης τροφοδοσίας και η **καθήλωση (undershoot)** της τάσης εξόδου σε αρνητικές τιμές, προκαλούνται από τις χωρητικότητες πύλης-υποδοχής των τρανζιστορ του αντιστροφέα, που δημιουργούν απευθείας σύζευξη μεταξύ της εισόδου (η τάση της οποίας μεταβάλεται απότομα) και της εξόδου, πριν τα τρανζίστορ αρχίσουν να αντιδρούν στην μεταβολή της τάσης εισόδου.



Καθυστέρηση διάδοσης αντιστροφέα CMOS

- Συχνά είναι επιθυμητό μία πύλη να έχει **ίσες καθυστερήσεις διάδοσης** για **ανερχόμενη** και **κατερχόμενη μετάβαση**.
- Η συνθήκη αυτή θεωρητικά μπορεί να επιτευχθεί καθιστώντας **ίσες τις αντιστάσεις αγωγής των τρανζίστορ** NMOS και PMOS.
- Συνδυάζοντας τις εκφράσεις μέσης αντίστασης αγωγής και καθυστέρησης και παραβλέποντας το φαινόμενο διαμόρφωσης μήκους καναλιού ($\lambda = 0$):

$$t_{pHL} = 0.69 \frac{3 C_L V_{DD}}{4 I_{DSATn}} = 0.52 \frac{C_L V_{DD}}{(W/L)_n k'_n V_{DSATn} (V_{DD} - V_{Tn} - V_{DSATn}/2)}$$

Για μεγάλες τιμές της V_{DD} , τέτοιες ώστε: $V_{DD} \gg V_{Tn} + V_{DSATn}/2$

$$t_{pHL} \approx 0.52 \frac{C_L}{(W/L)_n k'_n V_{DSATn}}$$

- Η **καθυστέρηση μειώνεται** όταν **αυξάνεται ο λόγος W/L** και όταν **μειώνεται η χωρητικότητα εξόδου**, ενώ προκύπτει ότι για **μεγάλες τιμές της τάσης τροφοδοσίας**, η **καθυστέρηση διάδοσης γίνεται ουσιαστικά ανεξάρτητη** από την **τάση τροφοδοσίας**.
- Ωστόσο, η **αύξηση της τάσης τροφοδοσίας οδηγεί πάντα σε βελτίωση επίδοσης (μείωση καθυστέρησης)**, λόγω του μη μηδενικού παράγοντα διαμόρφωσης του μήκους καναλιού.

Παράδειγμα 6

Υπολογίζουμε την καθυστέρηση του 1ου αντιστροφέα CMOS της αλυσίδας του προηγούμενου Παραδείγματος 5. Επιπλέον των δεδομένων του προηγούμενου παραδείγματος, δίνονται οι παράμετροι των δύο τρανζίστορ του παρακάτω πίνακα, καθώς κι ότι η ισοδύναμη αντίσταση αγωγής του τρανζίστορ PMOS ανέρχεται στο 80% εκείνης του τρανζίστορ NMOS.

$V_{DD} = 2.5 \text{ V}$	$V_{T0} \text{ (V)}$	$V_{DSAT} \text{ (V)}$	$k' \text{ (A/V}^2\text{)}$	$\lambda \text{ (V}^{-1}\text{)}$
NMOS	0.43	0.63	$115 \cdot 10^{-6}$	0.06
PMOS	-0.4	-1	$-30 \cdot 10^{-6}$	-0.1

Η χωρητικότητα εξόδου (C_L) υπολογίστηκε στο Παράδειγμα 5, ενώ η ισοδύναμη αντίσταση αγωγής του τρανζίστορ NMOS υπολογίζεται με βάση την σχέση που ακολουθεί:

$$I_{DSAT} = k' \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$$

$$R_{eq} \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{5}{6} \lambda V_{DD} \right)$$

$$I_{DSATn} = 115 \cdot 10^{-6} \cdot \frac{0.375}{0.25} \cdot 0.63 \cdot (2.5 - 0.43 - 0.63/2) = 190.72 \mu\text{A}$$

$$R_{eqn} = 0.75 \cdot (2.5 / 190.72 \cdot 10^{-6}) \cdot (1 - 0.83 \cdot 0.06 \cdot 2.5) = 8.6 \text{ k}\Omega$$

$$R_{eqp} = 0.8 \cdot R_{eqn} = 6.9 \text{ k}\Omega$$

Παράδειγμα 6

Για τον υπολογισμό της καθυστέρησης διάδοσης του πρώτου αντιστροφέα του Παραδείγματος 5, χρησιμοποιούμε τις εκφράσεις για την καθυστέρηση (t_{pHL} και t_{pLH}) του αντιστροφέα CMOS:

$$t_{pHL} = \ln(2) R_{eqn} C_L = 0.69 R_{eqn} C_L = 0.69 \times 8.6 \text{ k}\Omega \times 6.21 \text{ fF} = 36.8 \text{ ps}$$

$$t_{pLH} = 0.69 R_{eqp} C_L = 0.69 \times 6.9 \text{ k}\Omega \times 6.06 \text{ fF} = 28.8 \text{ ps}$$

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = (36.8 + 28.8) / 2 = 32.8 \text{ ps}$$

Παράδειγμα 7

Υπολογίζουμε ξανά την καθυστέρηση του αντιστροφέα του προηγούμενου παραδείγματος, χρησιμοποιώντας διαφορετική προσέγγιση, κατά την οποία αντικαθιστούμε τα τρανζίστορ με πηγές ρεύματος που έχουν τιμή ίση με το μέσο ρεύμα φόρτισης ή εκφόρτισης της χωρητικότητας εξόδου στα διαστήματα που μας ενδιαφέρουν. Δίνονται οι ίδιοι παράμετροι για τα τρανζίστορ στον παρακάτω πίνακα και υπενθυμίζεται ότι οι τιμές της χωρητικότητας εξόδου του αντιστροφέα είναι 6.21 fF για μετάβαση της τάσης εξόδου από την υψηλή στην χαμηλή στάθμη και 6.06 fF για μετάβαση της εξόδου από την χαμηλή στην υψηλή στάθμη.

$V_{DD} = 2.5 \text{ V}$	$V_{T0} \text{ (V)}$	$V_{DSAT} \text{ (V)}$	$k' \text{ (A/V}^2\text{)}$	$\lambda \text{ (V}^{-1}\text{)}$
NMOS	0.43	0.63	$115 \cdot 10^{-6}$	0.06
PMOS	-0.4	-1	$-30 \cdot 10^{-6}$	-0.1

- Μπορούμε να θεωρήσουμε ότι η καθυστέρηση διάδοσης του αντιστροφέα δίνεται από την σχέση $\Delta t = \Delta Q / I$, όπου $\Delta Q = C_L \times (V_{DD} / 2)$ και I είναι το μέσο ρεύμα που φορτίζει ή εκφορτίζει τη χωρητικότητα εξόδου (C_L) του αντιστροφέα έως το 50% της V_{DD} .
- Κατά την μετάβαση της τάσης εξόδου του αντιστροφέα από την υψηλή στην χαμηλή στάθμη, η χωρητικότητα εξόδου εκφορτίζεται μέσω του τρανζίστορ NMOS, επομένως $I = I_{av-n}$, ενώ κατά τη μετάβαση της τάσης εξόδου από την χαμηλή στην υψηλή στάθμη η χωρητικότητα εξόδου του αντιστροφέα φορτίζεται μέσω του τρανζίστορ PMOS, επομένως $I = I_{av-p}$.

Παράδειγμα 7

$$I_{DSAT} = k' \frac{W}{L} \left((V_{DD} - V_T) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right) \cdot (1 + \lambda \cdot V_{DS})$$

$$I_{Dn}(V_o = 2.5V) = 115 \cdot 10^{-6} \cdot \frac{0.375}{0.25} \cdot 0.63 \cdot (2.5 - 0.43 - 0.63/2) \cdot (1 + 0.06 \cdot 2.5) = 219.3 \mu\text{A}$$

$$I_{Dn}(V_o = 1.25V) = 115 \cdot 10^{-6} \cdot \frac{0.375}{0.25} \cdot 0.63 \cdot (2.5 - 0.43 - 0.63/2) \cdot (1 + 0.06 \cdot 1.25) = 205 \mu\text{A}$$

$$I_{Dp}(V_o = 0) = 30 \cdot 10^{-6} \cdot \frac{1.125}{0.25} \cdot (-1) \cdot (-2.5 + 0.4 + 1/2) \cdot (1 + 0.1 \cdot 2.5) = 270 \mu\text{A}$$

$$I_{Dp}(V_o = 1.25V) = 30 \cdot 10^{-6} \cdot \frac{1.125}{0.25} \cdot (-1) \cdot (-2.5 + 0.4 + 1/2) \cdot (1 + 0.1 \cdot 1.25) = 243 \mu\text{A}$$

$$I_{av-n} = \frac{I_{Dn}(V_o = V_{DD}) + I_{Dn}(V_o = \frac{V_{DD}}{2})}{2}$$

$$= (219.3 + 205) / 2 = 212.15 \mu\text{A}$$

$$I_{av-p} = \frac{I_{Dp}(V_o = 0) + I_{Dp}(V_o = \frac{V_{DD}}{2})}{2}$$

$$= (270 + 243) / 2 = 256.5 \mu\text{A}$$

Παράδειγμα 7

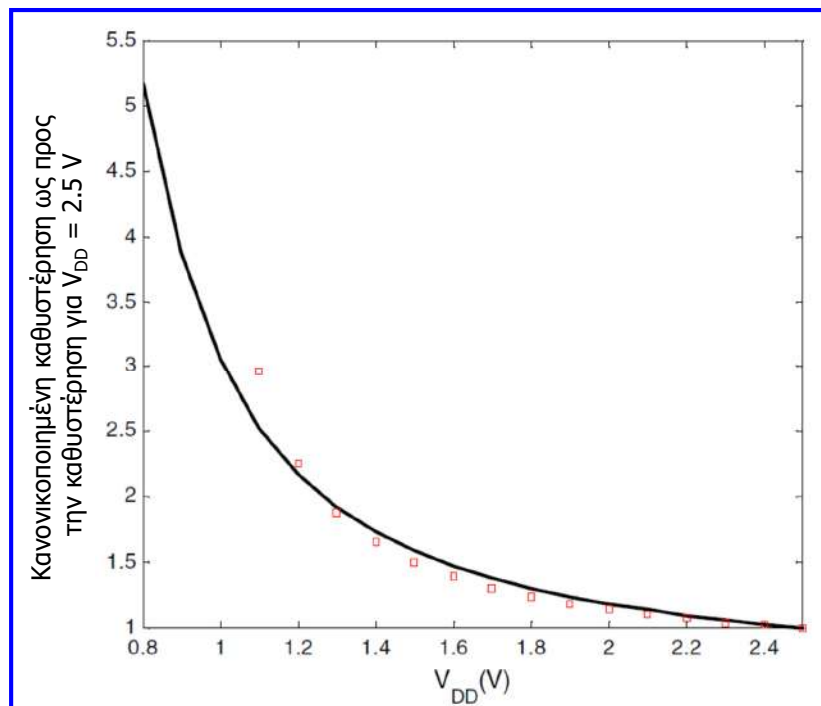
$$t_{pHL} = \frac{(V_{DD}/2) \cdot C_L}{I_{av-n}}$$
$$= (1.25 \text{ V} \times 6.21 \text{ fF}) / 212.15 \text{ } \mu\text{A}$$
$$= 36.5 \text{ ps}$$

$$t_{pLH} = \frac{(V_{DD}/2) \cdot C_L}{I_{av-p}}$$
$$= (1.25 \text{ V} \times 6.06 \text{ fF}) / 256.5 \text{ } \mu\text{A}$$
$$= 29.5 \text{ ps}$$

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = (36.5 + 29.5) / 2 = 33 \text{ ps}$$

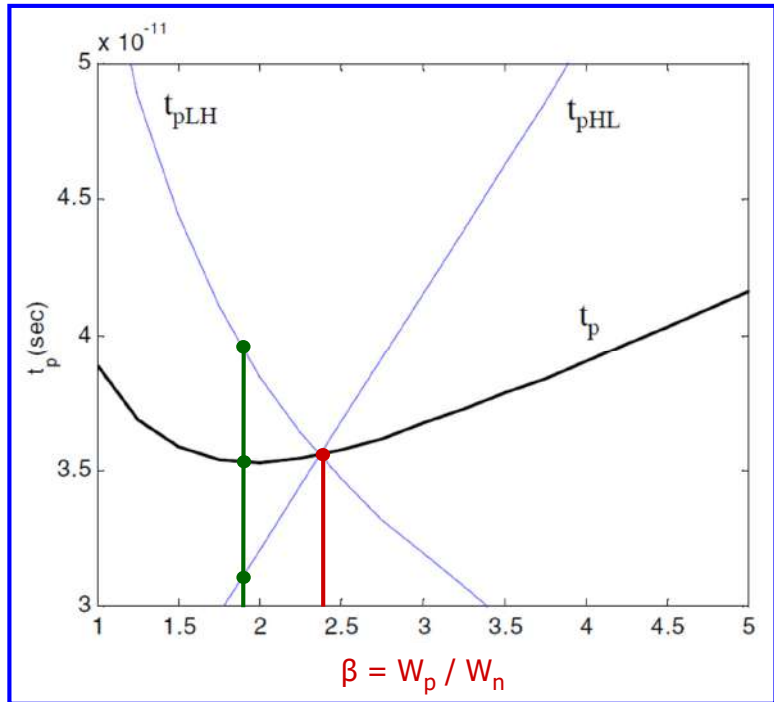
Επίδραση τάσης τροφοδοσίας στην καθυστέρηση

- Η καθυστέρηση είναι σχετικά ανεπηρέαστη από τις μεταβολές της τάσης τροφοδοσίας για υψηλές τιμές της V_{DD} , αλλά παρατηρείται απότομη αύξηση κάτω από την τιμή $V_{DD} = 2 V_T$.
- Αυτές οι συνθήκες λειτουργίας πρέπει να αποφεύγονται, όταν ο βασικός σχεδιαστικός στόχος είναι η επίτευξη υψηλής επίδοσης.



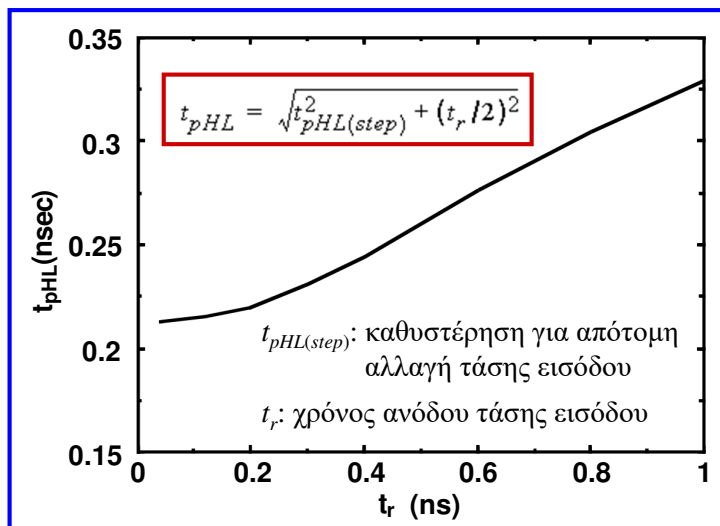
Επίδραση $\beta = W_p / W_n$ στην καθυστέρηση

- Οι καθυστερήσεις ανόδου και καθόδου είναι ίσες όταν $\beta = 2.4$ (συμμετρική μεταβατική ή δυναμική συμπεριφορά).
- Αυτό είναι και το προτιμότερο σημείο λειτουργίας, όταν το κύριο ζητούμενο από το σχεδιαστή είναι η μείωση της καθυστέρησης της πύλης, ανεξάρτητα από την κατεύθυνση της μετάβασης της τάσης εξόδου της.
- Ο λόγος των πλατών καναλιού των δύο τρανζίστορ για βέλτιστη επίδοση, είναι $\beta = 1.9$.



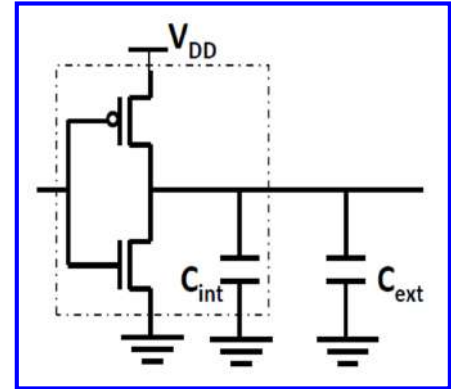
Επίδραση χρόνου μετάβασης εισόδου στην καθυστέρηση

- Οι προαναφερόμενες εκφράσεις καθυστέρησης παράχθηκαν με την υπόθεση ότι η τάση εισόδου του αντιστροφέα, αλλάζει απότομα από 0 σε V_{DD} και αντιστρόφως.
- Κατά τη διάρκεια της διαδικασίας εκφόρτισης ή εκφόρτισης της χωρητικότητας εξόδου, θεωρήθηκε ότι άγει μόνο ένα από τα τρανζίστορ του αντιστροφέα.
- Στην πραγματικότητα, η τάση εισόδου αλλάζει βαθμιαία και προσωρινά τα τρανζίστορ PMOS και NMOS άγουν ταυτόχρονα, με αποτέλεσμα να επηρεάζεται η καθυστέρηση.



Καθορισμός μεγέθους αντιστροφέα για βέλτιστη επίδοση

- Έστω ότι τα μεγέθη των τρανζίστορ είναι τέτοια, ώστε οι καθυστερήσεις ανόδου και καθόδου να είναι ίσες.
- Η χωρητικότητα εξόδου του αντιστροφέα διακρίνεται σε μία ενδογενή και σε μία εξωγενή συνιστώσα ($C_L = C_{int} + C_{ext}$) και R_{eq} είναι η αντίσταση των 2 τρανζίστορ.
- Η καθυστέρηση διάδοσης του αντιστροφέα είναι:



$$t_p = 0.69R_{eq}(C_{int} + C_{ext})$$

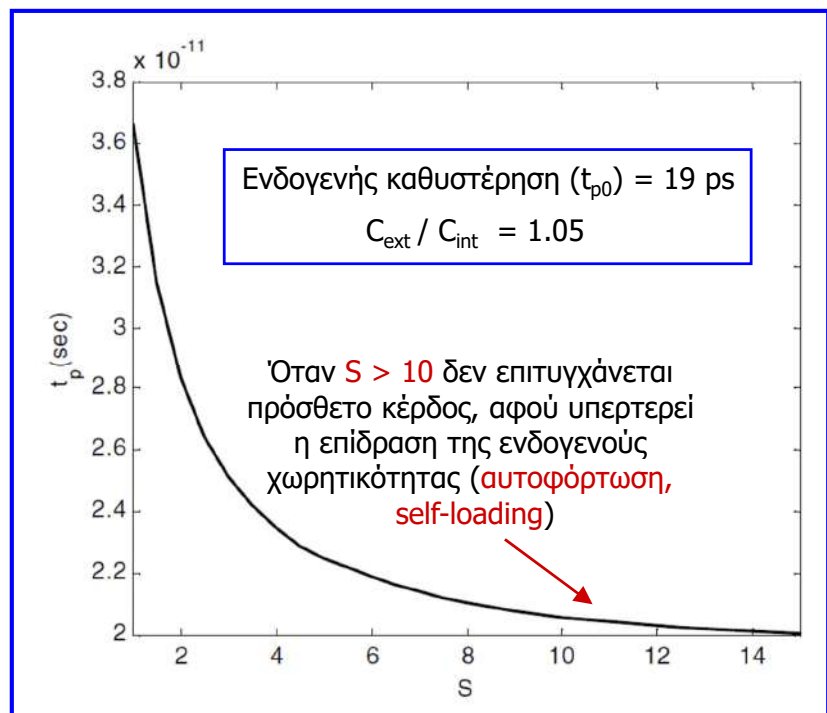
$$= 0.69R_{eq}C_{int}(1 + C_{ext}/C_{int}) = t_{p0}(1 + C_{ext}/C_{int})$$

- t_{p0} : καθυστέρηση αντιστροφέα για $C_L = C_{int}$. (ενδογενής καθυστέρηση, intrinsic delay)
- S : παράγοντας καθορισμού μεγέθους (sizing factor) που συσχετίζει τα μεγέθη των δύο τρανζίστορ με τα αντίστοιχα ενός αντιστροφέα ελάχιστου μεγέθους ($W_{n,p} = S \cdot W_{n,p-ref}$).
- Αφού η ενδογενής χωρητικότητα (C_{int}) είναι ανάλογη, ενώ η αντίσταση αγωγής είναι αντιστρόφως ανάλογη του πλάτους των τρανζίστορ, ισχύει ότι: $R_{eq} = R_{ref}/S$, $C_{int} = S \cdot C_{iref}$.

$$t_p = 0.69(R_{ref}/S)(SC_{iref})(1 + C_{ext}/(SC_{iref})) = 0.69R_{ref}C_{iref}\left(1 + \frac{C_{ext}}{SC_{iref}}\right) = t_{p0}\left(1 + \frac{C_{ext}}{SC_{iref}}\right)$$

Καθορισμός μεγέθους αντιστροφέα για βέλτιστη επίδοση

- Η ενδογενής καθυστέρηση είναι ανεξάρτητη από το μέγεθος του αντιστροφέα, αφού όταν δεν υπάρχει φορτίο, η αύξηση στην ικανότητα οδήγησης του αντιστροφέα, αντισταθμίζεται από την αυξημένη ενδογενή χωρητικότητα.
- Όταν ο παράγοντας S είναι αρκετά μεγαλύτερος από τον λόγο C_{ext}/C_{intr} , η καθυστέρηση του αντιστροφέα μειώνεται, προσεγγίζοντας την ενδογενή τιμή της.



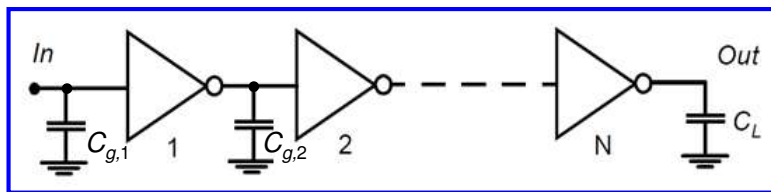
Καθορισμός μεγέθους αλυσίδας αντιστροφών

- Αν και με την αύξηση του μεγέθους ενός αντιστροφέα μειώνεται η καθυστέρησή του, αυξάνεται η χωρητικότητα εισόδου του.
- Ο καθορισμός του μεγέθους μίας πύλης με απομονωμένο τρόπο χωρίς να λαμβάνεται υπόψη η επίδρασή στην καθυστέρηση των προηγούμενων πυλών, είναι θεωρητικό εγχείρημα χωρίς ουσιαστικό αποτέλεσμα στην ταχύτητα ενός κυκλώματος.
- Συνεπώς, πιο ουσιαστικός είναι ο καθορισμός του βέλτιστου μεγέθους μίας πύλης όταν αυτή ενσωματωθεί σε ένα πραγματικό κύκλωμα όπου συμμετέχουν και άλλες πύλες.
- Η **αλυσίδα αντιστροφών (inverter chain)** αποτελεί περίπτωση πραγματικού κυκλώματος.
- Για να προσδιορίσουμε την επίδραση του φόρτου εισόδου, θα πρέπει να καθοριστεί η σχέση μεταξύ της χωρητικότητας εισόδου C_g και της ενδογενούς χωρητικότητας εξόδου του αντιστροφέα C_{int} .
- Αφού και οι δύο είναι ανάλογες του μεγέθους της πύλης, ανεξάρτητα από το μέγεθος της πύλης, ισχύει ότι: $C_{int} = \gamma C_g$.
- Ο **παράγοντας αναλογίας γ** , εξαρτάται μόνο από την τεχνολογία, με τιμές κοντά στο 1.
- Η καθυστέρηση διάδοσης ενός αντιστροφέα μπορεί να γραφτεί ως εξής:

$$t_p = t_{p0} \left(1 + \frac{C_{ext}}{\gamma C_g} \right) = t_{p0} (1 + f/\gamma)$$

f : ενεργός φόρτος εξόδου, λόγος χωρητικότητας εξωτερικού φορτίου (C_{ext}) προς χωρητικότητα εισόδου (C_g) του αντιστροφέα

Καθορισμός μεγέθους αλυσίδας αντιστροφών



- Ο **1ος αντιστροφέας** έχει το **ελάχιστο δυνατό μέγεθος** και στόχος είναι η ελαχιστοποίηση της καθυστέρησης της αλυσίδας.
- Καθυστέρηση του αντιστροφέα j της αλυσίδας:

$$t_{p,j} = t_{p0} \left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}} \right) = t_{p0} (1 + f_j/\gamma)$$

- Συνολική καθυστέρηση αλυσίδας:

$$t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N \left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}} \right), \quad \text{με } C_{g,N+1} = C_L$$

Καθορισμός μεγέθους αλυσίδας αντιστροφών

- Η προηγούμενη σχέση έχει $N - 1$ αγνώστους ($C_{g,2}, C_{g,3}, \dots, C_{g,N}$), αφού είναι γνωστές η χωρητικότητα εισόδου του 1ου αντιστροφέα ($C_{g,1}$) και το φορτίο (C_L) της αλυσίδας.
- Η ελάχιστη καθυστέρηση της αλυσίδας μπορεί να βρεθεί εάν λάβουμε $N - 1$ μερικές παραγώγους της (μία ως προς κάθε άγνωστο) και τις εξισώσουμε με 0.
- Προκύπτει ότι η **συνολική καθυστέρηση αλυσίδας είναι ελάχιστη, όταν:**

$$\frac{C_{g,2}}{C_{g,1}} = \frac{C_{g,3}}{C_{g,2}} = \dots = \frac{C_{g,N}}{C_{g,N-1}} = \frac{C_L}{C_{g,N}} = f$$

- Αυτό σημαίνει ότι το μέγεθος κάθε αντιστροφέα αυξάνεται κατά τον ίδιο παράγοντα f σε σχέση με τον προηγούμενο, κάθε αντιστροφέα έχει τον **ίδιο ενεργό φόρτο εξόδου f** και επομένως την **ίδια καθυστέρηση: $t_{p0} (1 + f / \gamma)$** .
- Συνολική καθυστέρηση αλυσίδας: $t_p = N t_{p0} (1 + f / \gamma)$.
- Τιμή του f που **ελαχιστοποιεί τη συνολική καθυστέρηση αλυσίδας:**

$$f \cdot f \dots f = \frac{C_{g,2}}{C_{g,1}} \cdot \frac{C_{g,3}}{C_{g,2}} \dots \frac{C_{g,N}}{C_{g,N-1}} \cdot \frac{C_L}{C_{g,N}} \Rightarrow f^N = \frac{C_L}{C_{g,1}} \Rightarrow f = \sqrt[N]{C_L / C_{g,1}} = \sqrt[N]{F}$$

- **Ελάχιστη συνολική καθυστέρηση αλυσίδας:** $t_p = N t_{p0} (1 + \sqrt[N]{F} / \gamma)$ F : συνολικός ενεργός φόρτος αλυσίδας

Επιλογή βέλτιστου πλήθους αντιστροφών αλυσίδας

- Το **βέλτιστο πλήθος N των αντιστροφών της αλυσίδας** μπορεί να υπολογιστεί παραγωγίζοντας την έκφραση ελάχιστης καθυστέρησης της αλυσίδας ως προς N και εξισώνοντας το αποτέλεσμα με 0:

$$\gamma + \sqrt[N]{F} - \frac{\sqrt[N]{F} \ln F}{N} = 0$$

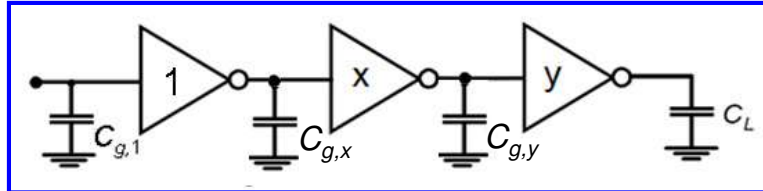
- Η εξίσωση έχει μόνο μία λύση κλειστής μορφής για $\gamma = 0$, δηλαδή όταν παραβλέπεται η αυτοφόρτωση και η χωρητικότητα φορτίου συνίσταται μόνο από το φορτίο εξόδου.
- Προκύπτει λοιπόν ότι ο **βέλτιστος αριθμός βαθμίδων** ισούται με $N = \ln(F)$ και ότι ο **ενεργός φόρτος εξόδου κάθε βαθμίδας**, έχει ως εξής:

$$f = \sqrt[N]{F} \Rightarrow f = \sqrt[e]{e^N} \Rightarrow f = e = 2.7183$$

- Συνεπώς, για $\gamma = 0$, η **βέλτιστη τιμή** του ενεργού φόρτου εξόδου f είναι e .
- Αν επιθυμούμε να συμπεριλάβουμε την επίδραση της αυτοφόρτωσης, τότε η εξίσωση μπορεί να λυθεί προσεγγιστικά, μόνο με κάποια αριθμητική μέθοδο.
- Για την τυπική περίπτωση, όπου $\gamma = 1$, προκύπτει ότι η **βέλτιστη τιμή του ενεργού φόρτου εξόδου f** (ή **συντελεστή αύξησης, tapering factor**) είναι **3.6**, συνεπώς μια **συνηθισμένη πρακτική** είναι να επιλέγεται βέλτιστη τιμή φόρτου εξόδου ίση με **4**.

Παράδειγμα 8

Στην αλυσίδα αντιστροφών του παρακάτω σχήματος, τα τρανζίστορ των αντιστροφών έχουν το ελάχιστο επιτρεπτό μήκος καναλιού. Ο πρώτος αντιστροφέας έχει σχεδιαστεί με $W_n = 2 \mu\text{m}$ και $W_p = 4 \mu\text{m}$ ($W_p / W_n = 2$) και επιθυμούμε να υπολογίσουμε τα πλάτη W_x και W_y των τρανζίστορ NMOS των υπολοίπων αντιστροφών, ώστε η αλυσίδα να παρουσιάζει την ελάχιστη καθυστέρηση (την οποία επίσης θα υπολογίσουμε), εάν γνωρίζουμε ότι οι αντιστροφείς αυτοί θα πρέπει να σχεδιαστούν με τον ίδιο λόγο $W_p / W_n = 2$ με τον πρώτο αντιστροφέα. Δίνεται ότι $t_{p0} = 12 \text{ ps}$, $\gamma = 1$, $C_L = 120 \text{ fF}$ και ότι η χωρητικότητα πύλης ανά μονάδα πλάτους του καναλιού ενός τρανζίστορ με ελάχιστο μήκος καναλιού, είναι $C_g = 2 \text{ fF} / \mu\text{m}$.



Με βάση τα δεδομένα συμπεραίνουμε ότι $C_{g,1} = (W_n + W_p) C_g = 12 \text{ fF}$, καθώς επίσης και ότι $C_{g,x} = 3 W_x C_g$ και $C_{g,y} = 3 W_y C_g$.

Για ελάχιστη καθυστέρηση, οι λόγοι C_{out} / C_{in} κάθε αντιστροφέα θα πρέπει να είναι ίσοι.

$$\frac{C_{g,x}}{C_{g,1}} = \frac{C_{g,y}}{C_{g,x}} = \frac{C_L}{C_{g,y}} = f$$

Παράδειγμα 8

- Αυτό σημαίνει ότι το μέγεθος κάθε αντιστροφέα αυξάνεται κατά τον ίδιο παράγοντα f σε σχέση με τον προηγούμενο, κάθε αντιστροφέας έχει τον **ίδιο ενεργό φόρτο εξόδου f** και επομένως την **ίδια καθυστέρηση: $t_{p0} (1 + f / \gamma)$** .
- Τιμή του f που ελαχιστοποιεί τη συνολική καθυστέρηση αλυσίδας:

$$f \cdot f \cdot f = \frac{C_{g,x}}{C_{g,1}} \cdot \frac{C_{g,y}}{C_{g,x}} \cdot \frac{C_L}{C_{g,y}} \Rightarrow f^3 = \frac{C_L}{C_{g,1}} \Rightarrow f = \sqrt[3]{C_L / C_{g,1}} \Rightarrow f = \sqrt[3]{120/12} \Rightarrow f = \sqrt[3]{10} = 2.154$$

- Επομένως, ξεκινώντας από την έξοδο της αλυσίδας και κατευθυνόμενοι προς την είσοδό της, υπολογίζουμε τις χωρητικότητες $C_{g,x}$ και $C_{g,y}$.

$$f = \frac{C_L}{C_{g,y}} = 2.154 \Rightarrow C_{g,y} = \frac{120 \text{ fF}}{2.154} \Rightarrow C_{g,y} = 55.7 \text{ fF}$$

$$C_{g,y} = 3 W_y C_g \Rightarrow W_y = \frac{C_{g,y}}{3 C_g} \Rightarrow W_y = \frac{55.7 \text{ fF}}{6 \text{ fF} / \mu\text{m}} \Rightarrow W_y = 9.28 \mu\text{m}$$

$$f = \frac{C_{g,y}}{C_{g,x}} = 2.154 \Rightarrow C_{g,x} = \frac{55.7 \text{ fF}}{2.154} \Rightarrow C_{g,x} = 25.9 \text{ fF}$$

$$C_{g,x} = 3 W_x C_g \Rightarrow W_x = \frac{C_{g,x}}{3 C_g} \Rightarrow W_x = \frac{25.9 \text{ fF}}{6 \text{ fF} / \mu\text{m}} \Rightarrow W_x = 4.3 \mu\text{m}$$

Ελάχιστη καθυστέρηση αλυσίδας:

$$t_p = 3 t_{p0} \left(1 + \frac{f}{\gamma} \right)$$

$$= 3 \cdot 12 + 3 \cdot 12 \cdot 2.154$$

$$= 36 \text{ ps} + 77.5 \text{ ps} = 113.5 \text{ ps}$$

Παράδειγμα 9

Εάν στην αλυσίδα αντιστροφών του προηγούμενου παραδείγματος η χωρητικότητα εξόδου (C_L) αυξανόταν σε 2.16 pF και είχαμε τη δυνατότητα να προσθέσουμε αντιστροφείς για να ελαχιστοποιήσουμε την καθυστέρηση της αλυσίδας, πόσους αντιστροφείς θα προσθέταμε και ποια θα ήταν η καθυστέρηση της νέας αλυσίδας αντιστροφών;

Γνωρίζουμε ότι ο βέλτιστος αριθμός βαθμίδων ισούται με:

$$N = \ln(F) = \ln(C_L / C_{g,1}) = \ln(2160/12) = \ln(180) = 5.2 \text{ (συντελεστής αύξησης } f = e = 2.7183)$$

Λόγω του ότι θα πρέπει να επιλέξουμε φυσικό αριθμό αντιστροφών, προκύπτει ότι το συνολικό πλήθος των αντιστροφών θα πρέπει να είναι 5 (δηλαδή θα προσθέσουμε δύο αντιστροφείς).

$$\text{Τότε ισχύει ότι: } f^5 = C_L / C_{g,1} \Rightarrow f^5 = 180 \Rightarrow f = 180^{1/5} \Rightarrow f = 2.825.$$

Η ελάχιστη καθυστέρηση της νέας αλυσίδας έχει ως εξής:

$$t_p = 5t_{p0} \left(1 + \frac{f}{\gamma} \right) = 5 \cdot 12 + 5 \cdot 12 \cdot 2.825 = 60 \text{ ps} + 169.5 \text{ ps} = 229.5 \text{ ps}$$

Ισχύς και κατανάλωση ενέργειας αντιστροφέα CMOS

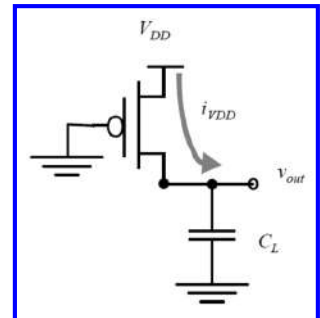
- Η **ισχύς** ενός κυκλώματος CMOS καθορίζει το ποσό της ενέργειας που καταναλώνει σε λειτουργία το κύκλωμα και το ποσό της θερμότητας που αποβάλλει.
- Στον αντιστροφέα CMOS και γενικότερα στις λογικές πύλες CMOS, η κατανάλωση ενέργειας μπορεί να αναλυθεί σε **στατική** και **δυναμική**.
- Η **δυναμική κατανάλωση ενέργειας** υφίσταται μόνο κατά τη διάρκεια των μεταβάσεων, όταν η πύλη πραγματοποιεί μεταβολή της τιμής στην έξοδο της και αποδίδεται στη φόρτιση των πυκνωτών (**χωρητική κατανάλωση ενέργειας**) και στην ύπαρξη ρευμάτων συνεχούς διαδρομής από την τροφοδοσία στη γη (**κατανάλωση ενέργειας βραχυκυκλώματος**).
- Η **δυναμική κατανάλωση** είναι **ανάλογη** προς τη **συχνότητα των μεταβάσεων (f)**.
- Η **στατική κατανάλωση ενέργειας** είναι παρούσα ακόμα και όταν δεν εμφανίζεται καμία μετάβαση στην έξοδο των πυλών CMOS και προκαλείται από τα **ρεύματα διαρροής**.
- Χαρακτηριστικό της τεχνολογίας CMOS είναι η σχεδόν ολοκληρωτική απουσία κατανάλωσης ενέργειας σε λειτουργία σταθερής κατάστασης, εάν εξαιρέσουμε την κατανάλωση λόγω ρευμάτων διαρροής.

Χωρητική κατανάλωση ενέργειας

- Κάθε φορά που η χωρητικότητα εξόδου (C_L) του αντιστροφέα CMOS φορτίζεται μέσω του τρανζίστορ PMOS, η τάση του αυξάνεται από την τιμή 0 έως την τάση τροφοδοσίας και αντλείται συγκεκριμένο ποσό ενέργειας από την τροφοδοσία.
- Μέρος της ενέργειας αυτής καταναλώνεται στο στοιχείο PMOS, ενώ το υπόλοιπο αποθηκεύεται στην χωρητικότητα εξόδου.
- Κατά τη διάρκεια της **μετάβασης από την υψηλή στη χαμηλή στάθμη, ο πυκνωτής αυτός εκφορτίζεται και η αποθηκευμένη ενέργεια καταναλώνεται στο τρανζίστορ NMOS.**
- Κατά τη μετάβαση από τη χαμηλή στην υψηλή στάθμη και υποθέτοντας ότι η τάση εισόδου έχει μηδενικούς χρόνους ανόδου και καθόδου (δηλαδή τα τρανζίστορ δεν άγουν ταυτόχρονα), η ενέργεια $E_{V_{DD}}$, που αντλείται από την τροφοδοσία και η ενέργεια E_C που στο τέλος της μετάβασης αποθηκεύεται στην χωρητικότητα εξόδου, έχουν ως εξής:

$$E_{V_{DD}} = \int_0^{T/2} i_{V_{DD}}(t) V_{DD} dt = V_{DD} \int_0^{T/2} C_L \frac{dv_{out}}{dt} dt = C_L V_{DD} \int_0^{V_{DD}} dv_{out} = C_L V_{DD}^2$$

$$E_C = \int_0^{T/2} i_{V_{DD}}(t) v_{out} dt = \int_0^{T/2} C_L \frac{dv_{out}}{dt} v_{out} dt = C_L \int_0^{V_{DD}} v_{out} dv_{out} = \frac{C_L V_{DD}^2}{2}$$



Χωρητική κατανάλωση ενέργειας

- Μόνο η **μισή της ενέργειας που παρέχεται από την πηγή τροφοδοσίας αποθηκεύεται στην χωρητικότητα εξόδου, ενώ η άλλη μισή έχει καταναλωθεί από το τρανζίστορ PMOS.**
- Αυτή η κατανάλωση ενέργειας είναι ανεξάρτητη από το μέγεθος (και συνεπώς την αντίσταση) του τρανζίστορ PMOS.
- Κατά τη διάρκεια της φάσης εκφόρτισης, το φορτίο απομακρύνεται από τον πυκνωτή και η ενέργειά του καταναλώνεται στο τρανζίστορ NMOS, χωρίς να υπάρχει εξάρτηση από το μέγεθός του.
- Σε κάθε κύκλο μετάβασης (που αποτελείται από μία μετάβαση από τη χαμηλή στην υψηλή στάθμη και μία μετάβαση από την υψηλή στη χαμηλή στάθμη) καταναλώνεται σταθερό ποσό ενέργειας ($C_L V_{DD}^2$).
- Για να υπολογίσουμε την ισχύ που αντιστοιχεί σε αυτή την κατανάλωση ενέργειας, θα πρέπει να λάβουμε υπόψη πόσο συχνά αλλάζει κατάσταση ο αντιστροφέας.
- Εάν λοιπόν συμβαίνουν $f_{0 \rightarrow 1}$ **μεταβάσεις (από τη χαμηλή στην υψηλή στάθμη) ανά δευτερόλεπτο**, που προκαλούν κατανάλωση ενέργειας, η **ισχύς έχει ως εξής:**

$$P_{dyn} = C_L V_{DD}^2 f_{0 \rightarrow 1}$$

όπου $f_{0 \rightarrow 1}$ αναπαριστά τη **συχνότητα μεταβάσεων που προκαλούν κατανάλωση ενέργειας.**

Χωρητική κατανάλωση ενέργειας

- Ο υπολογισμός της κατανάλωσης ενός σύνθετου κυκλώματος περιπλέκεται από την ύπαρξη της $f_{0 \rightarrow 1}$, που αναφέρεται και ως **δραστηριότητα μεταβάσεων (switching activity)**.
- Ενώ η δραστηριότητα μεταβάσεων υπολογίζεται εύκολα για έναν αντιστροφέα, ο υπολογισμός της καταλήγει να είναι αρκετά πιο πολύπλοκος στην περίπτωση πιο σύνθετων πυλών και κυκλωμάτων.
- Η ισχύς που αντιστοιχεί στην χωρητική κατανάλωση ενέργειας μπορεί να εκφραστεί και ως εξής:

$$P_{dyn} = C_L V_{DD}^2 f_{0 \rightarrow 1} = C_L V_{DD}^2 P_{0 \rightarrow 1} f = C_{EFF} V_{DD}^2 f$$

- Η f παριστάνει τώρα το μέγιστο δυνατό ρυθμό εναλλαγής των εισόδων (που συχνά είναι ο **ρυθμός του ρολογιού**) και η $P_{0 \rightarrow 1}$ είναι η **πιθανότητα μία αλλαγή κατάστασης του ρολογιού να έχει ως αποτέλεσμα μία μετάβαση που προκαλεί κατανάλωση ενέργειας (μετάβαση από την χαμηλή στην υψηλή στάθμη)**.
- Η $C_{EFF} = P_{0 \rightarrow 1} C_L$ αναφέρεται ως **ενεργή χωρητικότητα (effective capacitance)** και παριστάνει τη μέση χωρητικότητα που μεταγεται σε κάθε κύκλο ρολογιού.

Χωρητική κατανάλωση ενέργειας

- Λόγω του ότι η **τάση τροφοδοσίας** έχει **τετραγωνική επίδραση στην χωρητική κατανάλωση ενέργειας**, η υιοθέτηση χαμηλών τάσεων τροφοδοσίας γίνεται συνεχώς πιο ελκυστική.
- Ωστόσο, όπως αναφέρθηκε προηγουμένως, όταν η τάση τροφοδοσίας προσεγγίζει την τιμή $2V_T$ προκαλείται μεγάλη πτώση στην ταχύτητα.
- Όταν η υποβάθμιση της ταχύτητας λόγω της μείωσης της τάσης τροφοδοσίας είναι μεγάλη, ο μόνος τρόπος μείωσης της χωρητικής κατανάλωσης ενέργειας είναι η **μείωση της ενεργής χωρητικότητας**.
- Αυτό μπορεί να επιτευχθεί με επέμβαση και στις δύο συνιστώσες της: τη **φυσική χωρητικότητα** και τη **δραστηριότητα μεταβάσεων**.
- Η μείωση της δραστηριότητας μεταβάσεων μπορεί να πραγματοποιηθεί μόνο στο επίπεδο του λογικού σχεδιασμού και στο επίπεδο της αρχιτεκτονικής.
- Η μείωση της φυσικής χωρητικότητας μπορεί επίσης να βοηθήσει στη βελτίωση της ταχύτητας των κυκλωμάτων.
- Ένας τρόπος μείωσης της φυσικής χωρητικότητας είναι η διατήρηση των τρανζίστορ σε ελάχιστο μέγεθος, όταν σχεδιάζουμε με στόχο τη χαμηλή κατανάλωση ενέργειας.
- Ωστόσο, αυτό επηρεάζει την ταχύτητα του κυκλώματος, αλλά η επίδραση αυτή μπορεί να αντισταθμιστεί με τεχνικές επιτάχυνσης σε επίπεδο λογικού σχεδιασμού ή αρχιτεκτονικής.

Παράδειγμα 10

- Υπολογίζουμε τη χωρητική κατανάλωση ενέργειας του αντιστροφέα CMOS των Παραδειγμάτων 5 και 6. Στη συνέχεια υποθέτουμε ότι ο αντιστροφέας αλλάζει κατάσταση με μέγιστο ρυθμό $T = 1 / f = t_{pLH} + t_{pHL} = 2 t_p$ και υπολογίζουμε την χωρητική ισχύ του αντιστροφέα.
- Η τάση τροφοδοσίας του αντιστροφέα στο Παράδειγμα 5 ήταν 2.5 V και η χωρητικότητα εξόδου του αντιστροφέα για μετάβαση από χαμηλή σε υψηλή στάθμη υπολογίστηκε στο ίδιο παράδειγμα στην τιμή των 6.06 fF. Επίσης, στο Παράδειγμα 6, η καθυστέρηση του αντιστροφέα υπολογίστηκε στην τιμή των 32.8 ps:

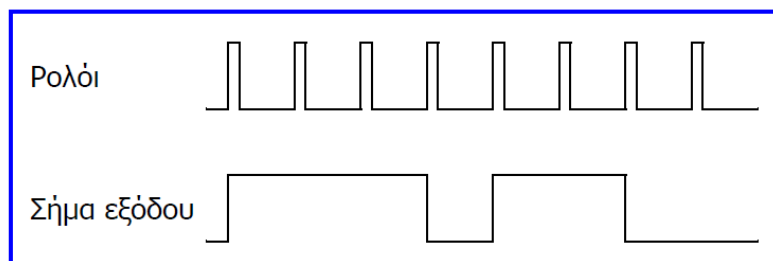
$$E_{\text{dyn}} = C_L V_{\text{DD}}^2 = 6.06 \text{ fF} \cdot 2.5^2 \text{ V}^2 = 37.9 \text{ fJ}$$

$$P_{\text{dyn}} = \frac{E_{\text{dyn}}}{2 t_p} = \frac{37.9 \text{ fJ}}{2 \cdot 32.8 \text{ ps}} = 578 \text{ } \mu\text{W}$$

- Φυσικά, ένας αντιστροφέας σε πραγματικό κύκλωμα σπάνια αλλάζει κατάσταση με τον μέγιστο ρυθμό.
- Η ισχύς λοιπόν θα είναι σημαντικά χαμηλότερη.
- Για παράδειγμα με ρυθμό αλλαγής 4 GHz ($T = 250 \text{ ps}$), η κατανάλωση μειώνεται σε 150 μW .

Παράδειγμα 11

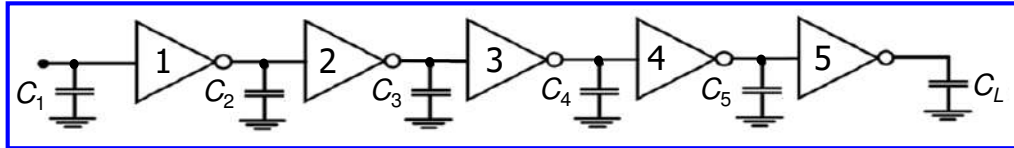
Θεωρούμε τις κυματομορφές του παρακάτω σχήματος, όπου η πάνω κυματομορφή αναπαριστά το σήμα ρολογιού και η κάτω κυματομορφή παρουσιάζει το σήμα στην έξοδο μιας πύλης CMOS. Υπολογίζουμε την πιθανότητα ($P_{0 \rightarrow 1}$) μία αλλαγή κατάστασης του ρολογιού να έχει ως αποτέλεσμα μετάβαση που προκαλεί κατανάλωση ενέργειας.



Παρατηρούμε ότι μεταβάσεις που προκαλούν κατανάλωση ενέργειας (από χαμηλή σε υψηλή στάθμη) συμβαίνουν 2 στις 8 φορές, γεγονός που είναι ισοδύναμο με πιθανότητα μετάβασης ίση με 0.25 (ή 25%).

Παράδειγμα 12

Για μία αλυσίδα 5 αντιστροφών, εξάγουμε την έκφραση της ισχύος που αντιστοιχεί στη χωρητική κατανάλωση ενέργειας, η οποία εκτός της τάσης τροφοδοσίας, της πιθανότητας μία αλλαγή κατάστασης του ρολογιού να έχει ως αποτέλεσμα μετάβαση που προκαλεί κατανάλωση ενέργειας και της περιόδου ρολογιού, περιλαμβάνει μόνο τον ενεργό φόρτο f και τη χωρητικότητα εισόδου της αλυσίδας. Θα θεωρήσουμε ότι $\gamma = 0$.



Στην αλυσίδα
αντιστροφών ισχύει:

$$\frac{C_2}{C_1} = \frac{C_3}{C_2} = \frac{C_4}{C_3} = \frac{C_5}{C_4} = \frac{C_L}{C_5} = f$$

Παραβλέπουμε την αυτοφόρτωση
($C_{int} = \gamma C_g = 0$), αφού $\gamma = 0$



$$P_{dyn} = C_{total} V_{DD}^2 P_{0 \rightarrow 1} f \Rightarrow P_{dyn} = \frac{V_{DD}^2 P_{0 \rightarrow 1}}{T} C_{total} \Rightarrow P_{dyn} = \frac{V_{DD}^2 P_{0 \rightarrow 1}}{T} (C_1 + C_2 + C_3 + C_4 + C_5 + C_L)$$

$$\Rightarrow P_{dyn} = \frac{V_{DD}^2 P_{0 \rightarrow 1}}{T} (C_1 + f C_1 + f C_2 + f C_3 + f C_4 + f \cdot C_5)$$

$$\Rightarrow P_{dyn} = \frac{V_{DD}^2 P_{0 \rightarrow 1}}{T} (C_1 + f C_1 + f^2 C_1 + f^3 C_1 + f^4 C_1 + f^5 C_1) \Rightarrow P_{dyn} = \frac{V_{DD}^2 P_{0 \rightarrow 1}}{T} C_1 \sum_{i=0}^5 f^i$$

Κατανάλωση ενέργειας βραχυκυκλώματος

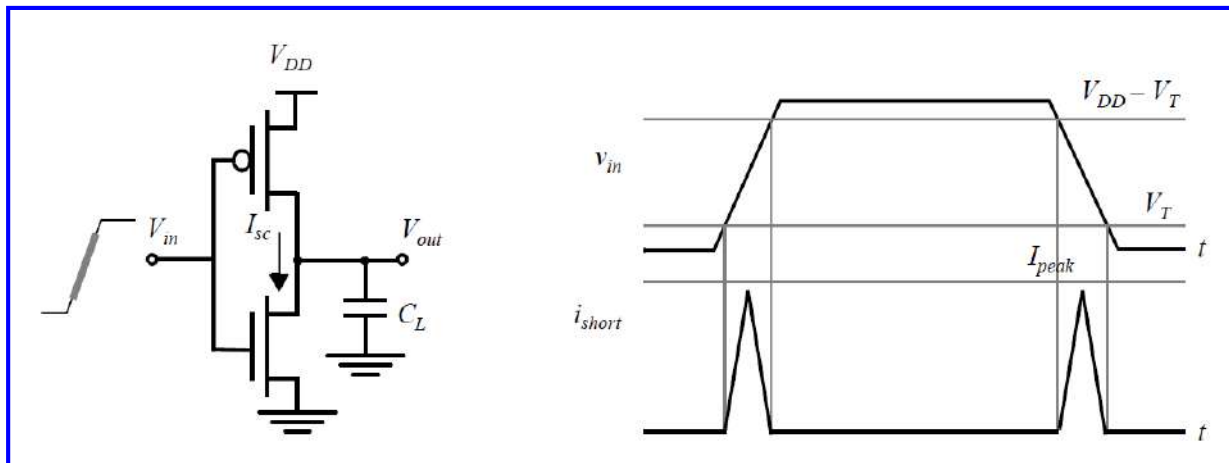
- Η υπόθεση μηδενικών χρόνων ανόδου και καθόδου των κυματομορφών εισόδου δεν είναι ρεαλιστική στα κυκλώματα CMOS.
- Η κλίση (δηλαδή ο χρόνος μετάβασης) του σήματος εισόδου προκαλεί ένα **ρεύμα συνεχούς διαδρομής (direct path)** ή **ρεύμα βραχυκυκλώματος** μεταξύ της τροφοδοσίας και της γείωσης για μία μικρή χρονική περίοδο, όπου τα τρανζίστορ NMOS και PMOS άγουν ταυτόχρονα.
- Οι **παλμοί του ρεύματος** μπορούν να προσεγγιστούν ως **τριγωνικοί** και υποθέτοντας ότι ο **αντιστροφέας** είναι **συμμετρικός** σε ότι αφορά την ανερχόμενη και κατερχόμενη απόκρισή του, μπορούμε να υπολογίσουμε την ενέργεια που καταναλώνεται σε μία περίοδο που περιλαμβάνει μία ανερχόμενη και μία κατερχόμενη μετάβαση εισόδου:

$$E_{dp} = V_{DD} \frac{I_{peak} t_{sc}}{2} + V_{DD} \frac{I_{peak} t_{sc}}{2} = t_{sc} V_{DD} I_{peak}$$

$$P_{dp} = t_{sc} V_{DD} I_{peak} f$$

- Η **ισχύς** που αντιστοιχεί στην κατανάλωση ενέργειας βραχυκυκλώματος είναι **ανάλογη της δραστηριότητας μεταβάσεων**, όπως συμβαίνει με τη χωρητική ισχύ.

Κατανάλωση ενέργειας βραχυκυκλώματος



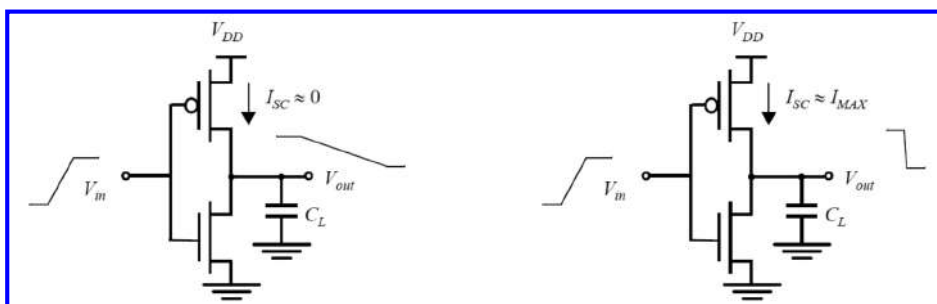
- Το χρονικό διάστημα t_{sc} είναι εκείνο κατά το οποίο **άγουν και τα δύο τρανζίστορ**. Για μία γραμμική κλίση εισόδου, το χρονικό αυτό διάστημα προσεγγίζεται ως εξής:

$$t_{sc} = \frac{V_{DD} - 2V_T}{V_{DD}} t_s$$

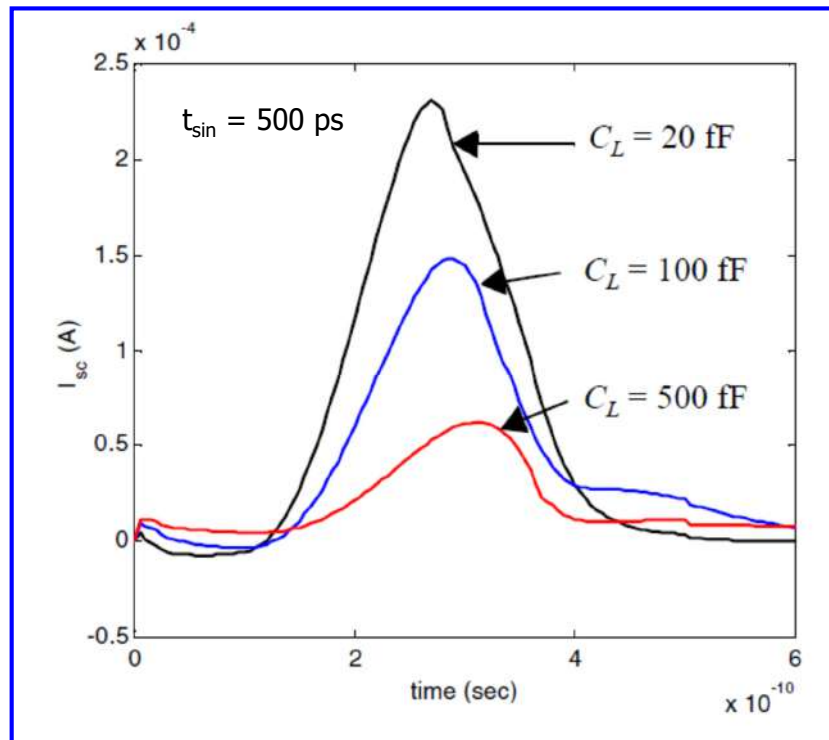
όπου t_s είναι ο συνολικός χρόνος μετάβασης της τάσης εισόδου.

Κατανάλωση ενέργειας βραχυκυκλώματος

- Το μέγιστο ρεύμα βραχυκυκλώματος είναι ανάλογο των μεγεθών των τρανζίστορ.
- Το μέγιστο ρεύμα είναι ισχυρή συνάρτηση του λόγου των κλίσεων εισόδου και εξόδου.
- Κατά τη μετάβαση $0 \rightarrow 1$ στην είσοδο ενός αντιστροφέα με **πολύ μεγάλη χωρητικότητα εξόδου**, ο χρόνος καθόδου της εξόδου είναι σημαντικά μεγαλύτερος από τον χρόνο ανόδου της εισόδου.
- Το τρανζίστορ PMOS αποκόπτεται πολύ νωρίς όσον αφορά τη μετάβαση της τάσης εξόδου, με αποτέλεσμα το **ρεύμα βραχυκυκλώματος να είναι πολύ μικρό**.
- Όταν η **χωρητικότητα εξόδου είναι πολύ μικρή** και ο χρόνος καθόδου της εξόδου είναι σημαντικά μικρότερος από το χρόνο ανόδου της εισόδου, η V_{DS} του τρανζίστορ PMOS ισούται με τη V_{DD} για το μεγαλύτερο μέρος της περιόδου μετάβασης, με αποτέλεσμα **σημαντικό ρεύμα βραχυκυκλώματος**.

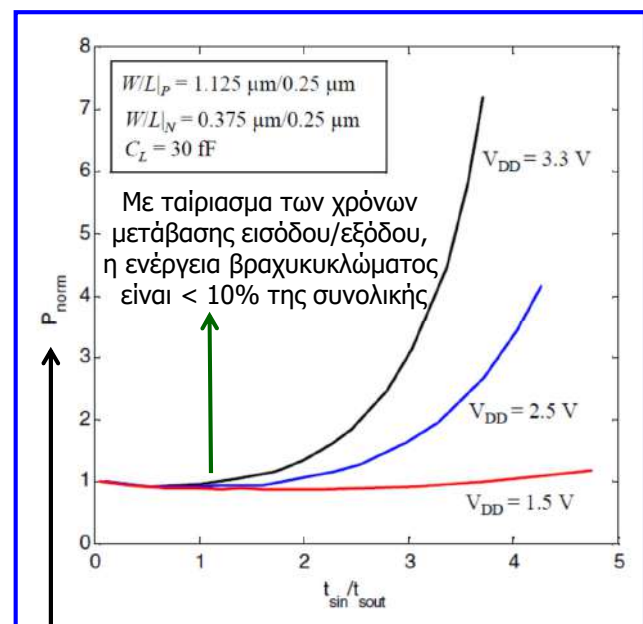


Κατανάλωση ενέργειας βραχυκυκλώματος



Κατανάλωση ενέργειας βραχυκυκλώματος

- Προκύπτει ότι η κατανάλωση ενέργειας βραχυκυκλώματος ελαχιστοποιείται εάν καταστήσουμε το χρόνο ανόδου/καθόδου της εξόδου μεγαλύτερο από τον αντίστοιχο της εισόδου.
- Ωστόσο, κάνοντας το χρόνο ανόδου/καθόδου της εξόδου πολύ μεγάλο, μειώνεται η ταχύτητα του κυκλώματος και προκαλούνται ρεύματα βραχυκυκλώματος στις πύλες που οδηγούνται.
- Η κατανάλωση βραχυκυκλώματος, ελαχιστοποιείται συνολικά εάν **ταιριάξουμε τους χρόνους ανόδου/καθόδου των σημάτων εισόδου και εξόδου.**
- Η επίδραση του ρεύματος βραχυκυκλώματος μειώνεται όταν μειωθεί η τάση τροφοδοσίας.
- Όταν $V_{DD} < V_{Tn} + |V_{Tp}|$, η κατανάλωση βραχυκυκλώματος μηδενίζεται, αφού τα τρανζίστορ δεν άγουν ποτέ ταυτόχρονα.



Συνολική κατανάλωση προς κατανάλωση για μηδενικό χρόνο μετάβασης εισόδου

Στατική κατανάλωση ενέργειας

- Η ισχύς που αντιστοιχεί στην στατική κατανάλωση ενέργειας (ή κατανάλωση ενέργειας σταθερής κατάστασης) ενός κυκλώματος, εκφράζεται από τη σχέση:

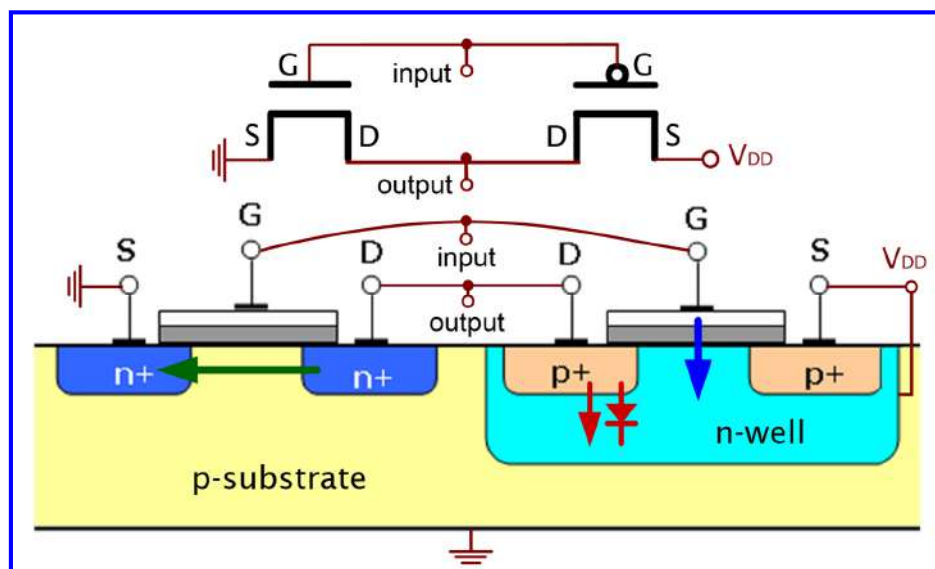
$$P_{stat} = I_{stat} V_{DD}$$

όπου I_{stat} είναι το ρεύμα που ρέει μεταξύ της τροφοδοσίας και της γείωσης, όταν δεν υφίσταται μεταβατική δραστηριότητα.

- Ιδανικά, το στατικό ρεύμα του αντιστροφέα CMOS είναι μηδενικό, αφού τα τρανζίστορ PMOS και NMOS δεν άγουν ποτέ ταυτόχρονα σε λειτουργία σταθερής κατάστασης.
- Ωστόσο, υπάρχει ένα **ρεύμα διαρροής** που ρέει διαμέσου των **ανάστροφα πολωμένων διόδων** των τρανζίστορ, που βρίσκονται μεταξύ της **πηγής** ή της **υποδοχής** και του **υποστρώματος**.
- Τα ρεύματα διαρροής των επαφών προκαλούνται από θερμικά παραγόμενους φορείς, με αποτέλεσμα οι τιμές τους να αυξάνονται όταν αυξάνεται η **θερμοκρασία** των επαφών κι αυτό συμβαίνει με εκθετικό τρόπο.
- Μία άλλη πηγή ρεύματος διαρροής είναι το **ρεύμα υποκατωφλίου** των τρανζίστορ, δηλαδή το **ρεύμα υποδοχής-πηγής** που ρέει κι όταν η **τάση πύλη-πηγής είναι μικρότερη από την τάση κατωφλίου** του τρανζίστορ.
- Όσο μικρότερη είναι η τάση κατωφλίου, τόσο μεγαλύτερη είναι η στατική κατανάλωση.

Στατική κατανάλωση ενέργειας

- Μια ακόμη πηγή στατικής κατανάλωσης ενέργειας είναι το **ρεύμα διαρροής** της **πύλης** των τρανζίστορ, λόγω κυρίως του πολύ μικρού πάχους οξειδίου.
- Τα ρεύματα διαρροής που προκαλούν στατική κατανάλωση ενέργειας στον αντιστροφέα CMOS και γενικότερα στα κυκλώματα CMOS, συνοψίζονται στο ακόλουθο σχήμα:



Στατική κατανάλωση ενέργειας

- Τα ρεύματα διαρροής αυξάνονται όταν αυξάνεται η τάση τροφοδοσίας.
- Τα ρεύματα διαρροής προκαλούν αύξηση στη στατική κατανάλωση ενέργειας, αλλά αυτή μπορεί να αντισταθμιστεί από τη μείωση της τάσης τροφοδοσίας που επιτρέπεται από τα μειωμένα κατώφλια, χωρίς κόστος στην ταχύτητα και έχει ως αποτέλεσμα και την τετραγωνική μείωση της δυναμικής ισχύος.
- Με την παρουσία μίας μεγάλης στατικής κατανάλωσης ισχύος, είναι σημαντικό να διακόψουμε την τροφοδοσία (power-down) στις μη ενεργές μονάδες του κυκλώματος, ώστε να μη γίνει κυρίαρχη η στατική κατανάλωση ισχύος.
- Η διακοπή της τροφοδοσίας που καλείται επίσης και αναμονή (standby) μπορεί να επιτευχθεί με αποσύνδεση των μονάδων από τις γραμμές τροφοδοσίας ή με μείωση της τάσης τροφοδοσίας.

Γινόμενο ενέργειας-καθυστερήσης

- Η συνολική ισχύς του αντιστροφέα CMOS, μπορεί να εκφραστεί ως το άθροισμα των τριών συνιστωσών της:

$$P_{tot} = P_{dyn} + P_{dp} + P_{stat} = (C_L V_{DD}^2 + V_{DD} I_{peak} t_s) f_{0 \rightarrow 1} + V_{DD} I_{leak}$$

- Ένα μέτρο ποιότητας των κυκλωμάτων CMOS, που συνδυάζει τη μέτρηση της επίδοσης (ταχύτητας) και της κατανάλωσης ενέργειας είναι το γινόμενο ενέργειας-καθυστερήσης (energy-delay product, EDP). Για τον αντιστροφέα CMOS εκφράζεται ως εξής:

$$EDP = \frac{C_L V_{DD}^2}{2} t_p$$

- Υψηλότερες τάσεις τροφοδοσίας μειώνουν την καθυστέρηση αλλά αυξάνουν την κατανάλωση ενέργειας και το αντίθετο ισχύει για τις χαμηλές τάσεις τροφοδοσίας.
- Μια απλοποιημένη έκφραση της καθυστέρησης διάδοσης, έχει ως εξής:

$$t_p \approx \frac{\alpha C_L V_{DD}}{V_{DD} - V_{TE}}$$

α: παράμετρος τεχνολογίας

$$V_{TE} = V_T + V_{DSAT}/2$$

Γινόμενο ενέργειας-καθυστέρησης

- Συνδυάζοντας τις δύο προηγούμενες σχέσεις λαμβάνουμε:

$$EDP = \frac{\alpha C_L^2 V_{DD}^3}{2(V_{DD} - V_{TE})}$$

- Εξισώνοντας με το 0 την παράγωγο της παραπάνω συνάρτησης ως προς την τάση τροφοδοσίας, προκύπτει η **βέλτιστη τάση τροφοδοσίας**:

$$V_{DDopt} = \frac{3}{2} V_{TE}$$

- Το αξιοσημείωτο αποτέλεσμα της ανάλυσης είναι η χαμηλή τιμή της τάσης τροφοδοσίας που **βελτιστοποιεί ταυτόχρονα** την **επίδοση** και την **ενέργεια**.
- Για τεχνολογίες υπομικρομέτρου με τάσεις κατωφλίου κοντά στα 0.5 V, η βέλτιστη τάση τροφοδοσίας βρίσκεται γύρω στο 1 V.

Παράδειγμα 13

Χρησιμοποιώντας παραμέτρους της τεχνολογίας 0.25 μm του παρακάτω πίνακα, υπολογίζουμε την βέλτιστη τιμή της τάσης τροφοδοσίας που οδηγεί σε εξισορρόπηση μεταξύ καθυστέρησης και κατανάλωσης ενέργειας.

	V_{T0} (V)	V_{DSAT} (V)
NMOS	0.43	0.63
PMOS	-0.4	-1

$$V_{Tn} = 0.43 \text{ V}, V_{Dsatn} = 0.63 \text{ V} \Rightarrow V_{TE_n} = V_{Tn} + V_{DSAT_n}/2 = 0.74 \text{ V}$$

$$V_{Tp} = -0.4 \text{ V}, V_{Dsatp} = -1 \text{ V} \Rightarrow V_{TE_p} = V_{Tp} + V_{DSAT_p}/2 = -0.9 \text{ V}$$

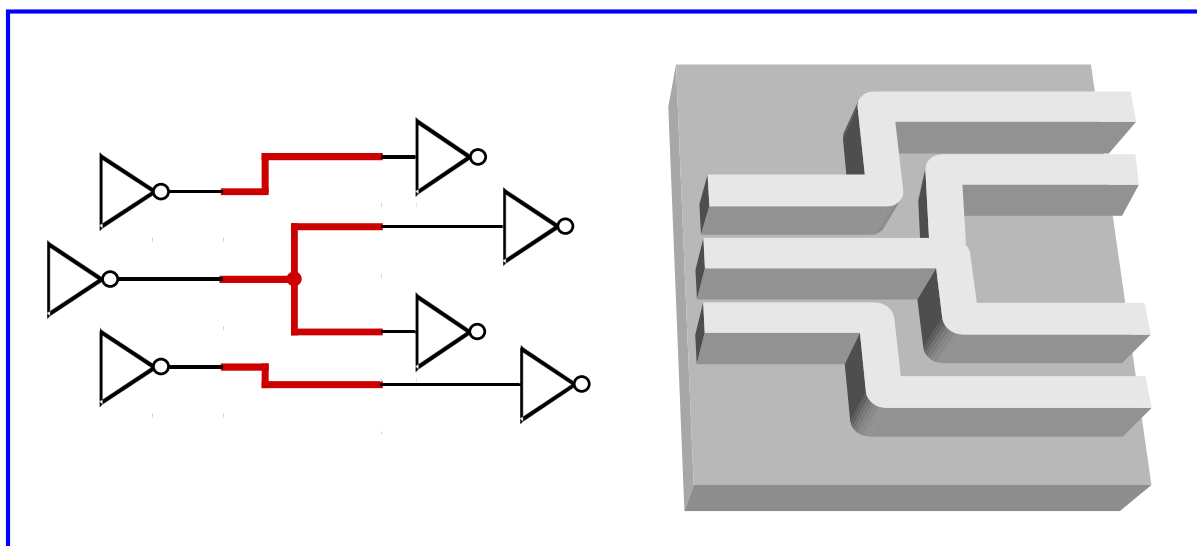
$$V_{TE} = (V_{TE_n} + |V_{TE_p}|) / 2 = 0.82 \text{ V}$$

$$V_{DDopt} = \frac{3}{2} V_{TE} = 1.23 \text{ V}$$

Διασυνδέσεις κυκλωμάτων CMOS

- Με την έλευση των τρανζίστορ MOSFET με διαστάσεις πολύ μικρότερες του ενός μικρομέτρου, τα παρασιτικά φαινόμενα που εισάγονται από τις γραμμές διασύνδεσης επηρεάζουν σε σημαντικό βαθμό την ταχύτητα, την κατανάλωση ενέργειας και την αξιοπιστία (μέσω εισαγωγής θορύβου) των ψηφιακών ολοκληρωμένων κυκλωμάτων.
- Οι βελτιώσεις της τεχνολογίας κατασκευής έχουν καταστήσει οικονομικά εφικτή την παραγωγή συνεχώς μεγαλύτερου μεγέθους ψηφίδων πυριτίου, που έχει ως αποτέλεσμα την αύξηση του μήκους των καλωδίων διασύνδεσης και επομένως των σχετικών παρασιτικών φαινομένων.
- Οι προηγμένες διεργασίες κατασκευής παρέχουν πολλαπλές στρώσεις μετάλλου (αλουμινίου ή χαλκού) και τουλάχιστον μία στρώση πολυκρυσταλλικού πυριτίου για τη δημιουργία διασυνδέσεων.
- Ακόμη και οι έντονα νοθευμένες στρώσεις διάχυσης τύπου n+ ή p+ που χρησιμοποιούνται τυπικά για την υλοποίηση των περιοχών πηγής και υποδοχής των τρανζίστορ μπορούν να χρησιμοποιηθούν και για σκοπούς καλωδίωσης.
- Η καλωδίωση στα σημερινά ολοκληρωμένα κυκλώματα δημιουργεί χωρητικά, ωμικά και αυτεπαγωγικά παρασιτικά φαινόμενα, τα οποία επιδρούν στη συμπεριφορά των κυκλωμάτων και στα μέτρα ποιότητάς τους.

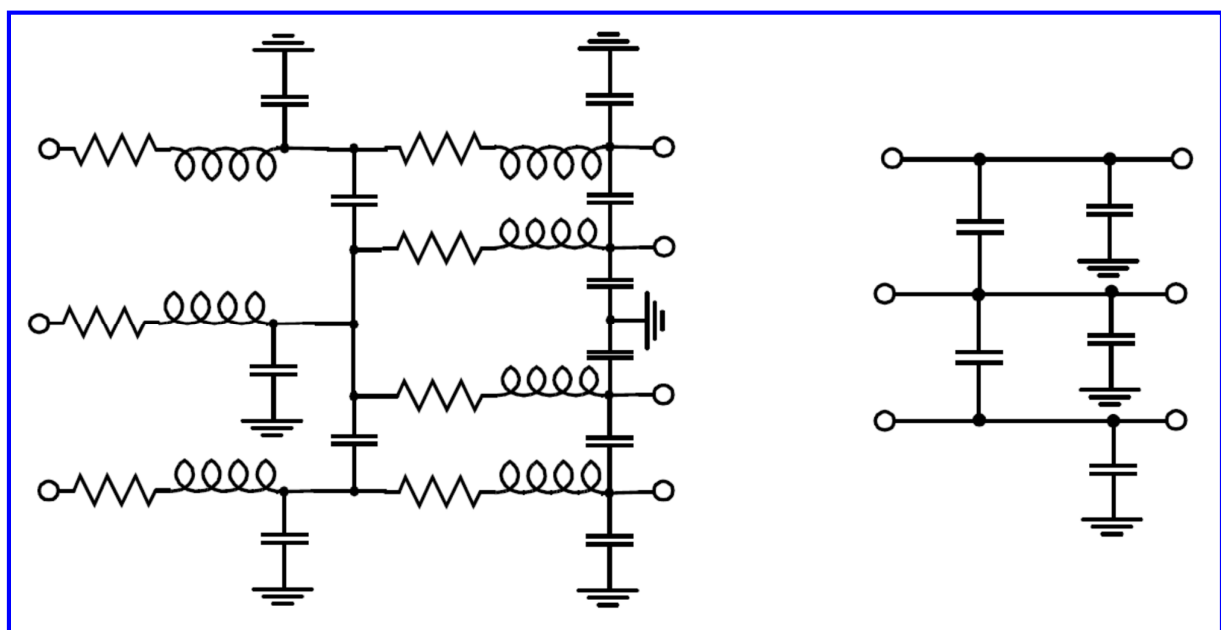
Διασυνδέσεις κυκλωμάτων CMOS



Διασυνδέσεις κυκλωμάτων CMOS

- Οι γραμμές (καλώδια) διασύνδεσης υλοποιούνται σε **στρώσεις διασύνδεσης**, οι οποίες απομονώνονται από το υπόστρωμα πυριτίου και μεταξύ τους μέσω μίας στρώσης διηλεκτρικού υλικού.
- Ένα πλήρες κυκλωματικό μοντέλο των γραμμών διασύνδεσης λαμβάνει υπόψη την **παρασιτική χωρητικότητα**, την **αντίσταση** και την **αυτεπαγωγή** των διασυνδέσεων.
- Τα επαγωγικά φαινόμενα μπορούν να παραβλεφθούν όταν η αντίσταση των καλωδίων είναι μεγάλη (καλώδια αλουμινίου μεγάλου μήκους και μικρής διατομής).
- Όταν τα καλώδια είναι μικρού μήκους, η διατομή του καλωδίου είναι μεγάλη ή το υλικό διασύνδεσης που χρησιμοποιείται έχει χαμηλή ειδική αντίσταση, χρησιμοποιείται ένα **αμιγώς χωρητικό μοντέλο**.
- Όταν η απόσταση μεταξύ γειτονικών καλωδίων είναι μεγάλη ή όταν τα καλώδια δρομολογούνται μαζί για μικρή απόσταση, η **χωρητικότητα μεταξύ των γραμμών (interwire capacitance)** μπορεί να παραβλεφθεί και η παρασιτική χωρητικότητα μοντελοποιείται ως μια χωρητικότητα που συνδέεται στη γείωση.

Διασυνδέσεις κυκλωμάτων CMOS



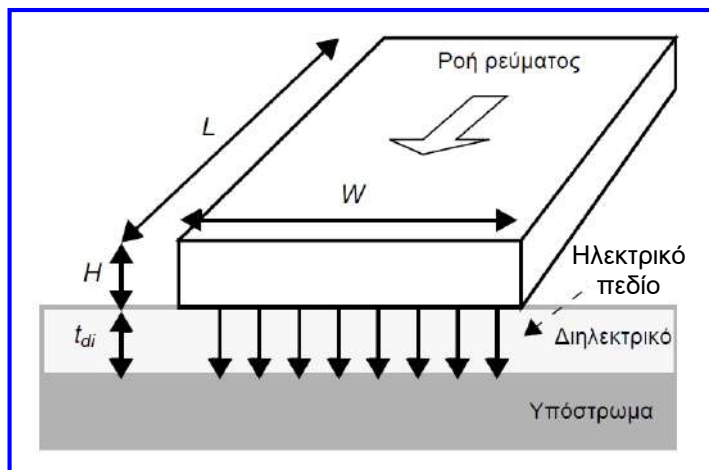
Χωρητικότητα διασυνδέσεων

- Η χωρητικότητα ενός καλωδίου διασύνδεσης είναι συνάρτηση του σχήματός του, της απόστασής του από το υπόστρωμα και της απόστασής του από τα καλώδια διασύνδεσης που το περιβάλλουν.
- Η χωρητικότητα ενός καλωδίου διασύνδεσης μπορεί να προσεγγιστεί με βάση το μοντέλο πυκνωτή παράλληλων πλακών (που αναφέρεται και ως χωρητικότητα επιφάνειας):

$$C_{pp} = \frac{\epsilon_{di}}{t_{di}} WL$$

W και L είναι το πλάτος και το μήκος του καλωδίου, αντίστοιχα και t_{di} , ϵ_{di} είναι το πάχος της στρώσης διηλεκτρικού και η διηλεκτρική σταθερά του, αντίστοιχα.

$\epsilon_{di} = \epsilon_r \cdot \epsilon_0$, $\epsilon_0 = 8.854 \cdot 10^{-12}$ F/m είναι η διηλεκτρική σταθερά του κενού χώρου και ϵ_r η σχετική διηλεκτρική σταθερά του μονωτικού υλικού (3.9 για το SiO₂).

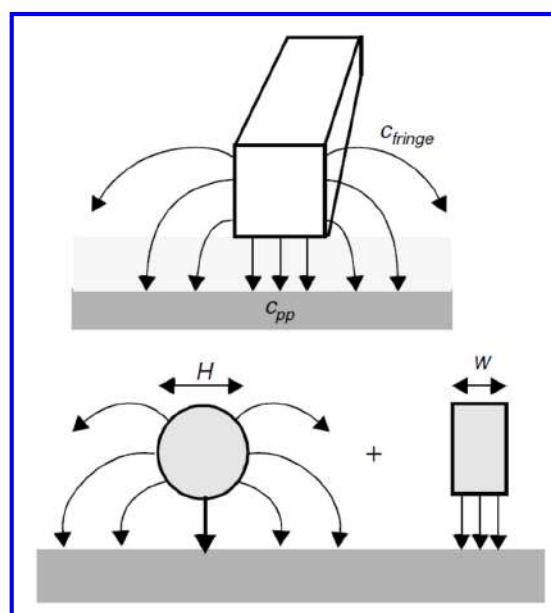


Χωρητικότητα διασυνδέσεων

- Στα προηγμένα κυκλώματα, ο λόγος W/H είναι μικρός (μπορεί να μειωθεί και κάτω από τη μονάδα) και για το λόγο αυτό πρέπει να λαμβάνεται υπόψη η χωρητικότητα μεταξύ των περιφερειακών πλευρών του καλωδίου και του υποστρώματος, δηλαδή η πλευρική χωρητικότητα (fringing capacitance).
- Η χωρητικότητα ανά μονάδα μήκους ενός καλωδίου προσεγγίζεται ως ένα άθροισμα μίας χωρητικότητας παράλληλων πλακών με μία πλευρική χωρητικότητα που μοντελοποιείται από ένα κυλινδρικό καλώδιο με διάμετρο ίση με το πάχος της γραμμής διασύνδεσης H (παράλληλη σύνδεση των επιμέρους χωρητικοτήτων):

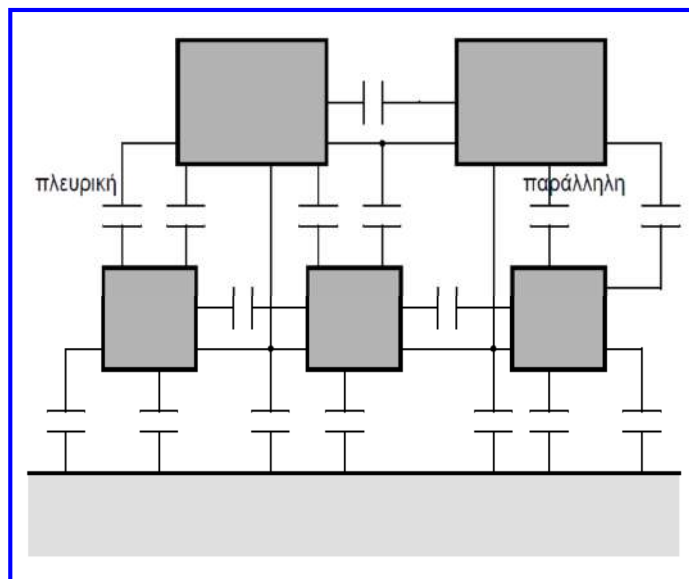
$$c_{wire} = c_{pp} + c_{fringe} = \frac{w\epsilon_{di}}{t_{di}} + \frac{2\pi\epsilon_{di}}{\log(t_{di}/H)}$$

$$w = W - H/2$$



Χωρητικότητα διασυνδέσεων

- Στις σημερινές διεργασίες όπου χρησιμοποιούνται πολλές στρώσεις διασύνδεσης, κάθε καλώδιο δεν είναι εντελώς απομονωμένο από τις γειτονικές του δομές και δεν υπάρχει χωρητική σύζευξη μόνο σε σχέση με τη γείωση, αφού δημιουργείται **χωρητική σύζευξη και με τα γειτονικά του καλώδια** της ίδιας στρώσης ή παρακείμενων στρώσεων.
- Συνεπώς, δεν καταλήγουν όλες οι χωρητικές συνιστώσες ενός καλωδίου στο γειωμένο υπόστρωμα, αλλά κάποιες από αυτές συνδέονται σε άλλα καλώδια.
- Οι συνιστώσες αυτές (**αιωρούμενοι πυκνωτές, floating capacitors**) σχηματίζουν μία πηγή θορύβου και επιδρούν αρνητικά στην επίδοση του κυκλώματος.
- Οι χωρητικότητες μεταξύ των καλωδίων είναι σημαντικές σε δομές διασυνδέσεων πολλαπλών στρώσεων, ιδιαίτερα για καλώδια υψηλότερων στρώσεων διασύνδεσης που απέχουν περισσότερο από το υπόστρωμα.



Χωρητικότητα διασυνδέσεων

Τιμές χωρητικότητας για τεχνολογία 0.25 μm ($1\text{aF} = 10^{-18}\text{ F}$)

Στρώση (με μόνωση SiO_2)	Χωρητικότητα επιφάνειας ($\text{aF}/\mu\text{m}^2$)	Πλευρική χωρητικότητα ($\text{aF}/\mu\text{m}$)
Πολυκρυσταλλικό πυρίτιο	88	54
AI1	30	40
AI2	13	25
AI3	8.9	18
AI4	6.5	14
AI5	5.2	12

Στρώση	Πολυκρυσταλλικό πυρίτιο	AI1	AI2	AI3	AI4	AI5
Διακαλωδιακή χωρητικότητα ($\text{aF}/\mu\text{m}$) για ελάχιστη απόσταση καλωδίων	40	95	85	85	85	115

Παράδειγμα 14

- Σε κύκλωμα τεχνολογίας 0.25 μm, θεωρούμε ένα καλώδιο διασύνδεσης αλουμινίου με μήκος 10 cm και πλάτος 1 μm, που δρομολογείται στην πρώτη στρώση αλουμινίου (μέταλλο 1 ή Al1) και υπολογίζουμε τη συνολική χωρητικότητά του, καθώς και την διακαλωδιακή χωρητικότητα όταν ένα δεύτερο καλώδιο Al1 δρομολογείται παραπλεύρως του πρώτου στην ελάχιστη επιτρεπτή απόσταση.
- Χωρητικότητα επιφάνειας = $W \times L \times 30 \text{ aF}/\mu\text{m}^2 = 10 \text{ cm} \times 1 \mu\text{m} \times 30 \text{ aF}/\mu\text{m}^2 = 0.1 \times 10^6 \mu\text{m}^2 \times 30 \text{ aF}/\mu\text{m}^2 = 3 \text{ pF}$.
- Πλευρική χωρητικότητα = **2 πλευρές** $\times L \times 40 \text{ aF}/\mu\text{m} = 2 \times 10 \text{ cm} \times 40 \text{ aF}/\mu\text{m} = 2 \times 0.1 \times 10^6 \mu\text{m} \times 40 \text{ aF}/\mu\text{m} = 8 \text{ pF}$.
- Χωρητικότητα καλωδίου = χωρητικότητα επιφάνειας + πλευρική χωρητικότητα = 11 pF.
- Διακαλωδιακή χωρητικότητα = $L \times 95 \text{ aF}/\mu\text{m} = 10 \text{ cm} \times 95 \text{ aF}/\mu\text{m} = 0.1 \times 10^6 \mu\text{m} \times 95 \text{ aF}/\mu\text{m} = 9.5 \text{ pF}$.
- Όπως προκύπτει από τους πίνακες της προηγούμενης σελίδας, για στρώσεις μετάλλου υψηλότερου επιπέδου, η χωρητικότητα επιφάνειας και η πλευρική χωρητικότητας μειώνονται, ενώ η διακαλωδιακή χωρητικότητα παραμένει περίπου αμετάβλητη.

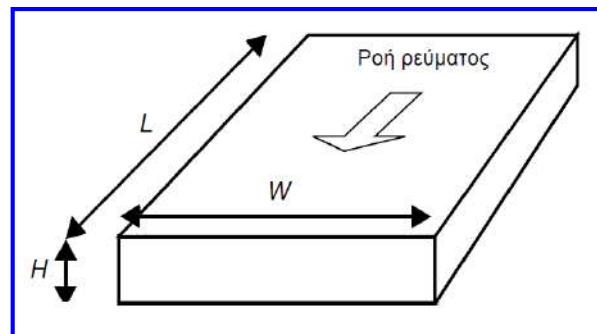
Αντίσταση διασυνδέσεων

Η **αντίσταση ενός καλωδίου** είναι ανάλογη του μήκους του L και αντιστρόφως ανάλογη της διατομής του A. Η **αντίσταση ενός ορθογώνιου καλωδίου** εκφράζεται ως εξής:

$$R = \frac{\rho L}{A} = \frac{\rho L}{HW} \quad R = R_{\square} \frac{L}{W}$$

ρ: ειδική αντίσταση του υλικού (Ω·m)
 $\rho_{Al} = 2.7 \cdot 10^{-8} \Omega \cdot m$

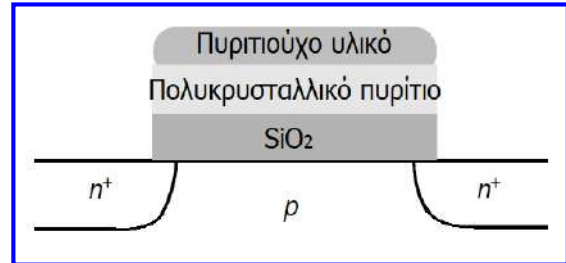
$R_{\square} = \frac{\rho}{H}$ **αντίσταση φύλλου (sheet resistance)** σε Ω/□ ή τετράγωνο (δηλαδή, αντίσταση φύλλου με μήκος L ίσο με το πλάτος του W)



Υλικό (τεχνολογία 0.25 μm)	Αντίσταση φύλλου (Ω/□)
Πηγάδι τύπου n, p	1000, 1500
Διάχυση τύπου n+, p+	50, 150
Πολυκρυσταλλικό πυρίτιο	175
Πολυκρυσταλλικό πυρίτιο με πυριτιούχο υλικό	4 – 5 (ανάλογα με το πυρ/ούχο υλικό)
Διάχυση τύπου n+, p+ με πυριτιούχο υλικό	3 – 5 (ανάλογα με το πυρ/ούχο υλικό)
Αλουμίνιο	0.05 – 0.1 (Al5: 0.05 ... Al1: 0.1)

Αντίσταση διασυνδέσεων

- Οι προηγμένες διεργασίες παρέχουν στρώσεις πολυκρυσταλλικού πυριτίου και διάχυσης με **πυριτιούχο υλικό (silicide)**, το οποίο είναι σύνθετο υλικό που δημιουργείται με χρήση πυριτίου και ανθεκτικού μετάλλου (βολφράμιο \rightarrow WSi_2 , τιτάνιο \rightarrow $TiSi_2$, λευκόχρυσος \rightarrow $PtSi_2$, ταντάλιο \rightarrow $TaSi$) και διαθέτει υψηλή αγωγιμότητα, χωρίς να λιώνει στα βήματα της διεργασίας κατασκευής με υψηλή θερμοκρασία.
- Τα MOSFETs με **πύλη πολυπυριτιούχου υλικού** έχουν μειωμένη αντίσταση πύλης. Παρομοίως, οι περιοχές διάχυσης με πυριτιούχο υλικό μειώνουν τις αντιστάσεις πηγής και υποδοχής.
- Οι μεταβάσεις μεταξύ στρώσεων διασύνδεσης προσθέτουν επιπλέον αντίσταση στο καλώδιο (**αντίσταση επαφής, contact resistance**).
- Είναι λοιπόν προτιμότερο να διατηρούμε τα καλώδια διασύνδεσης σε μία και μόνο στρώση και να αποφεύγουμε την κατάχρηση επαφών.
- **Αντιστάσεις επαφών** (για επαφές ελάχιστου μεγέθους) για τεχνολογία 0.25 μm :
 - ✓ αντίσταση επαφής μεταξύ μετάλλου ή πολυκρυσταλλικού πυριτίου και διάχυσης n^+ ή p^+ = 5 – 20 Ω
 - ✓ αντίσταση επαφής μεταξύ μετάλλου και πολυκρυσταλλικού πυριτίου = 5 – 20 Ω ,
 - ✓ αντίσταση επαφής μεταξύ διαφορετικών επιπέδων μετάλλου = 1 – 5 Ω .



Παράδειγμα 15

- Σε κύκλωμα τεχνολογίας 0.25 μm , θεωρούμε ένα καλώδιο διασύνδεσης αλουμινίου με μήκος 10 cm και πλάτος 1 μm , που δρομολογείται στην πρώτη στρώση αλουμινίου (μέταλλο 1 ή Al1) και υπολογίζουμε την αντίστασή του.
- Αντίσταση καλωδίου = (αντίσταση φύλλου Al1) \times (L / W) = 0.1 Ω/\square \times (10 cm / 1 μm) = (0.1 Ω/\square) \times (0.1 \times 10⁶ μm / 1 μm) = **10 k Ω** .
- Εάν υλοποιήσουμε το ίδιο καλώδιο με **πολυκρυσταλλικό πυρίτιο**, το οποίο έχει αντίσταση φύλλου 175 Ω/\square προκύπτει ιδιαίτερα αυξημένη αντίσταση καλωδίου ίση με **17.5 M Ω** , η οποία είναι μη αποδεκτή για το συγκεκριμένο καλώδιο διασύνδεσης.
- Το πολυκρυσταλλικό πυρίτιο με **πυριτιούχο υλικό** αντίστασης φύλλου 4 Ω/\square , οδηγεί σε μικρότερη αντίσταση από εκείνη του αμιγούς πολυκρυσταλλικού πυριτίου, η οποία ισούται με **400 k Ω** , αλλά είναι επίσης πολύ μεγαλύτερη από την αντίσταση του καλωδίου αλουμινίου.

Αυτεπαγωγή διασυνδέσεων

- Η υιοθέτηση **υλικών διασύνδεσης χαμηλής αντίστασης** και η **αύξηση της συχνότητας** μεταγωγής σε κλίμακα ανώτερη του GHz, οδηγούν σε ολοκληρωμένα κυκλώματα, τα οποία επηρεάζονται από την **αυτεπαγωγή των διασυνδέσεων**.
- Σημαντικά επακόλουθα της αυτεπαγωγής που υφίσταται μέσα σε ένα κύκλωμα είναι η **επαγωγική σύζευξη (inductive coupling)** μεταξύ των γραμμών και ο **θόρυβος μεταγωγής (switching noise)** λόγω των **πτώσεων τάσης (Ldi/dt)**.
- Η αυτεπαγωγή σε ένα τμήμα ενός κυκλώματος μπορεί να εκτιμηθεί με τη βοήθεια του ορισμού της, που δηλώνει ότι μία αλλαγή στο ρεύμα που περνάει από ένα πηνίο δημιουργεί μία πτώση τάσης:

$$\Delta V = L \frac{di}{dt}$$

- Η **χωρητικότητα c** και η **αυτεπαγωγή l (ανά μονάδα μήκους)** ενός καλωδίου σχετίζονται μέσω της ακόλουθης έκφρασης:

$$cl = \epsilon \mu$$

όπου ϵ και μ είναι η διηλεκτρική σταθερά και η διαπερατότητα του μονωτικού.

- Από την παραπάνω σχέση λαμβάνουμε μια προσεγγιστική τιμή της αυτεπαγωγής.

Παράδειγμα 16

- Σε κύκλωμα τεχνολογίας 0.25 μm , θεωρούμε καλώδιο διασύνδεσης αλουμινίου πλάτους 1 μm , που δρομολογείται στην πρώτη στρώση αλουμινίου (μέταλλο 1 ή Al1) πάνω σε μονωτικό SiO_2 και υπολογίζουμε την αυτεπαγωγή ανά μονάδα μήκους του. Δίνεται ότι η διηλεκτρική σταθερά του κενού είναι $8.854 \cdot 10^{-12} \text{ F/m}$, η σχετική διηλεκτρική σταθερά του SiO_2 είναι 3.9 και η διαπερατότητα του SiO_2 είναι $12.6 \cdot 10^{-7} \text{ Wb/A}\cdot\text{m}$.

- Χωρητικότητα καλωδίου ανά μονάδα μήκους = (χωρητικότητα επιφάνειας ανά μονάδα μήκους) + (πλευρική χωρητικότητα ανά μονάδα μήκους) =
= $(W \times 30 \text{ aF}/\mu\text{m}^2) + (2 \times 40 \text{ aF}/\mu\text{m}) = 110 \text{ aF}/\mu\text{m}$.

- Από τη σχέση που συνδέει την χωρητικότητα και την αυτεπαγωγή του καλωδίου, υπολογίζουμε την αυτεπαγωγή του καλωδίου ανά μονάδα μήκους:

$$c \times l = \epsilon \times \mu \Rightarrow l = (\epsilon \times \mu) / c \Rightarrow l = (\epsilon_0 \times \epsilon_r \times \mu) / c \Rightarrow$$

$$l = (8.854 \times 10^{-12} \text{ F/m} \times 3.9 \times 12.6 \times 10^{-7} \text{ Wb/A}\cdot\text{m}) / (110 \text{ aF}/\mu\text{m}) \Rightarrow l = 0.395 \text{ pH}/\mu\text{m}.$$

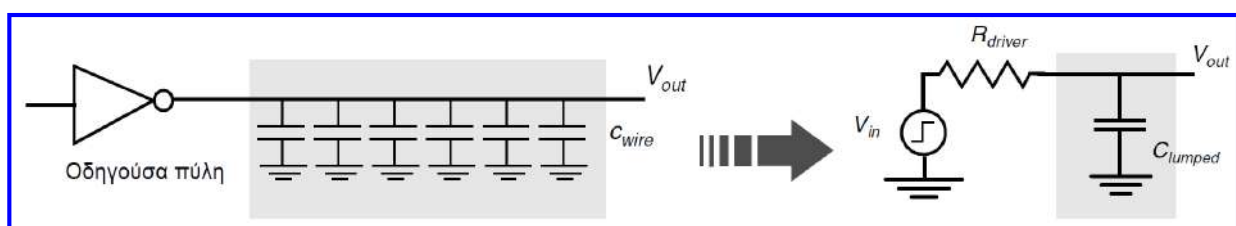
- Επισημαίνεται ότι ο συμβολισμός χωρητικότητας και αυτεπαγωγής με μικρό γράμμα, υποδηλώνει ότι τα μεγέθη λαμβάνονται **ανά μονάδα μήκους** του καλωδίου.

Μοντελοποίηση διασυνδέσεων

- Για να μελετήσουμε την επίδραση των παρασιτικών στοιχείων των διασυνδέσεων στη συμπεριφορά των κυκλωμάτων, απαιτείται η εισαγωγή **ηλεκτρικών μοντέλων που εκτιμούν και προσεγγίζουν την πραγματική συμπεριφορά των γραμμών διασύνδεσης**.
- Η πολυπλοκότητα των μοντέλων ποικίλει, ανάλογα με τα φαινόμενα που εξετάζονται και την απαιτούμενη ακρίβεια:
 - ✓ **Ιδανικό μοντέλο**: οι γραμμές διασύνδεσης (καλώδια) θεωρούνται απλές γραμμές χωρίς προσαρτημένα παρασιτικά στοιχεία, με αποτέλεσμα να θεωρείται η ίδια τάση σε κάθε τμήμα ενός καλωδίου σε κάθε χρονική στιγμή (**καλώδιο = ισοδυναμική περιοχή**).
 - ✓ **Συγκεντρωτικό μοντέλο χωρητικότητας**: εξετάζεται μόνο η χωρητική συνιστώσα του καλωδίου και τα χωρητικά στοιχεία θεωρούνται συγκεντρωμένα σε μία θέση.
 - ✓ **Συγκεντρωτικό μοντέλο RC**: υποθέτει συγκεντρωμένα χωρητικά και ωμικά στοιχεία.
 - ✓ **Κατανεμημένη γραμμή rc**: τα ωμικά και χωρητικά στοιχεία κατανέμονται σε όλο το μήκος του καλωδίου.
 - ✓ **Γραμμή μετάδοσης**: λαμβάνει υπόψη την κυρίαρχη επίδραση της αυτεπαγωγής του καλωδίου, όταν η συχνότητα μεταγωγής των κυκλωμάτων γίνεται αρκετά μεγάλη.
- Οι κυκλωματικοί προσομοιωτές (όπως το **SPICE**) διαθέτουν ενσωματωμένα κατανεμημένα μοντέλα RC υψηλής ακρίβειας, καθώς και μοντέλα γραμμής μετάδοσης.

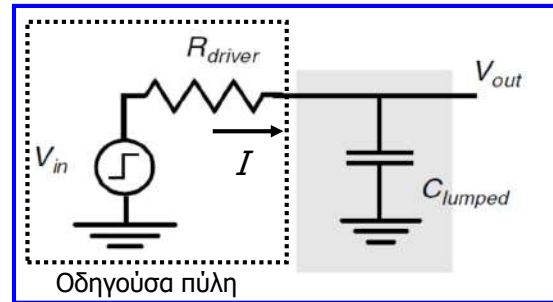
Συγκεντρωτικό μοντέλο χωρητικότητας

- Τα παρασιτικά στοιχεία ενός καλωδίου κατανέμονται σε όλο το μήκος του και δεν είναι συγκεντρωμένα σε μία και μόνο θέση.
- Ωστόσο, όταν κυριαρχεί μόνο μία παρασιτική συνιστώσα, όταν η αλληλεπίδραση μεταξύ των συνιστωσών είναι μικρή ή όταν εξετάζουμε μόνο μία όψη της συμπεριφοράς του κυκλώματος, είναι συχνά χρήσιμο να **συγκεντρώνουμε τα παρασιτικά στοιχεία σε ένα μόνο κυκλωματικό στοιχείο**.
- Το πλεονέκτημα της προσέγγισης αυτής είναι ότι η επίδραση των παρασιτικών στοιχείων μπορούν να περιγραφούν από μία **συνήθη διαφορική εξίσωση**.
- Όταν η ωμική συνιστώσα του καλωδίου είναι μικρή και η συχνότητα μεταγωγής είναι χαμηλή έως μέση, θεωρούμε ότι υπάρχει μόνο η χωρητική συνιστώσα του καλωδίου και **συγκεντρώνουμε την κατανεμημένη χωρητικότητα σε μία μόνο χωρητικότητα**.
- Η επίδραση της γραμμής διασύνδεσης που εισάγεται στην επίδοση του κυκλώματος είναι ισοδύναμη με την **επίδραση της χωρητικότητας φορτίου** στην οδηγούσα πύλη.



Συγκεντρωτικό μοντέλο χωρητικότητας

- Εφαρμόζοντας μία βηματική είσοδο (η V_{in} αλλάζει από 0 σε V και ο πυκνωτής φορτίζεται μέσω της R), η μεταβατική απόκριση του κυκλώματος (V_{out}) που προκύπτει είναι εκθετική συνάρτηση του χρόνου.
- Η λειτουργία του δικτυώματος περιγράφεται από μια συνήθη διαφορική εξίσωση 1ης τάξης, 1ου βαθμού:



$$V_{in} - V_{R_{driver}} - V_{out} = 0 \Rightarrow V_{in} = I \cdot R_{driver} + V_{out} \Rightarrow V_{in} = \frac{dQ}{dt} \cdot R_{driver} + V_{out} \Rightarrow$$

$$V_{in} = \frac{d(C_{lumped} \cdot V_{out})}{dt} \cdot R_{driver} + V_{out} \Rightarrow \frac{dV_{out}}{dt} + \frac{V_{out} - V_{in}}{R_{driver} \cdot C_{lumped}} = 0 \Rightarrow V_{out} = V \cdot (1 - e^{-\frac{t}{\tau}})$$

- Σταθερά χρόνου δικτυώματος: $\tau = R_{driver} \cdot C_{lumped}$ Χρόνος επίτευξης του σημείου 50%:

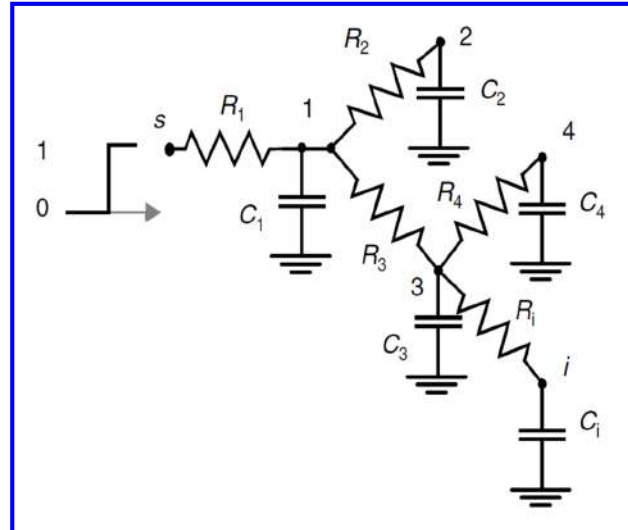
$$\frac{V}{2} = V \cdot (1 - e^{-\frac{t_{50\%}}{\tau}}) \Rightarrow \frac{1}{2} = 1 - e^{-\frac{t_{50\%}}{\tau}} \Rightarrow e^{-\frac{t_{50\%}}{\tau}} = \frac{1}{2} \Rightarrow -\frac{t_{50\%}}{\tau} = -\ln(2) \Rightarrow t_{50\%} = \ln(2) \cdot \tau = 0.69 \cdot \tau$$

Συγκεντρωτικό μοντέλο RC

- Τα καλώδια μετάλλου σε ένα ολοκληρωμένο κύκλωμα που έχουν μήκος μεγαλύτερο από μερικά χιλιοστά παρουσιάζουν σημαντική αντίσταση, με αποτέλεσμα το συγκεντρωτικό μοντέλο χωρητικότητας να μην επαρκεί.
- Το **συγκεντρωτικό μοντέλο RC (lumped RC model)** είναι μια προσέγγιση που συγκεντρώνει τη συνολική αντίσταση κάθε τμήματος του καλωδίου σε έναν και μόνο αντιστάτη R και με παρόμοιο τρόπο συνενώνει τη συνολική χωρητικότητα σε έναν και μόνο πυκνωτή C .
- Η μελέτη της μεταβατικής συμπεριφοράς ενός σύνθετου κυκλώματος με τρανζίστορ και καλώδια (γραμμές διασύνδεσης), γίνεται με **αναγωγή του κυκλώματος σε δικτύωμα RC**.
- Η ακριβής περιγραφή της της μεταβατικής συμπεριφοράς ενός δικτυώματος με μεγάλο αριθμό αντιστάσεων και πυκνωτών απαιτεί ένα σύστημα από συνήθεις διαφορικές εξισώσεις, η επίλυση του οποίου είναι εξαιρετικά σύνθετη.
- Για λόγους απλότητας, ο **υπολογισμός της καθυστέρησης ενός δικτυώματος RC** γίνεται με χρήση του **τύπου καθυστέρησης του Elmore (Elmore delay formula)**, υποθέτοντας ότι:
 - ✓ το δικτύωμα έχει μόνο έναν κόμβο εισόδου (s),
 - ✓ οι πυκνωτές του δικτυώματος τοποθετούνται μεταξύ ενός κόμβου και της γείωσης,
 - ✓ δεν υπάρχουν ωμικοί βρόχοι (δηλαδή δικτύωμα με δομή δένδρου).

Καθυστέρηση δικτυώματος δομής δένδρου Elmore

- Σε ένα δικτύωμα δομής δένδρου RC υπάρχει μια μοναδική ωμική διαδρομή μεταξύ του κόμβου εισόδου s και κάθε άλλου κόμβου i .
- Η συνολική αντίσταση κατά μήκος μιας ωμικής διαδρομής αναφέρεται ως **αντίσταση διαδρομής (path resistance), R_{ii}** .
- **Παράδειγμα:** $R_{44} = R_1 + R_3 + R_4$
- Η αντίσταση που διαμοιράζεται μεταξύ δύο διαδρομών από τον κόμβο εισόδου s στους κόμβους k και i , αναφέρεται ως **αντίσταση διαμοιρασμένης διαδρομής (shared path resistance), R_{ik}** :



$$R_{ik} = \sum R_j \Rightarrow (R_j \in [path(s \rightarrow i) \cap path(s \rightarrow k)])$$

- **Παράδειγμα:** $R_{i4} = R_1 + R_3$, $R_{i2} = R_1$.

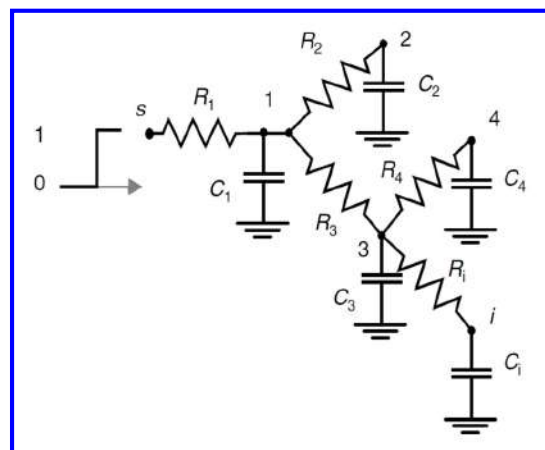
Καθυστέρηση δικτυώματος δομής δένδρου Elmore

- Για τον υπολογισμό της **καθυστέρησης Elmore**, υποθέτουμε ότι αρχικά ο κόμβος εισόδου s έχει μηδενική τάση και τη χρονική στιγμή $t = 0$ εφαρμόζεται μια βηματική είσοδος:

$$\tau_{Di} = \sum_{k=1}^N C_k R_{ik}$$

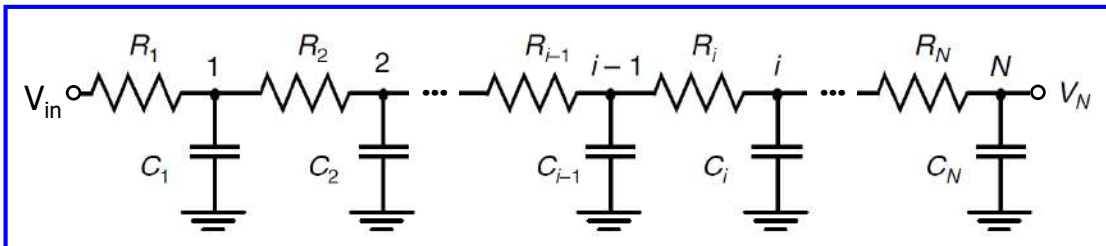
- Η καθυστέρηση Elmore αντιπροσωπεύει μια απλή προσέγγιση της πραγματικής καθυστέρησης μεταξύ του κόμβου εισόδου και του κόμβου i .
- **Παράδειγμα:** καθυστέρηση Elmore για τον κόμβο i του διπλανού δικτυώματος:

$$\tau_{Di} = R_1 C_1 + R_1 C_2 + (R_1 + R_3) C_3 + (R_1 + R_3) C_4 + (R_1 + R_3 + R_j) C_i$$



Καθυστέρηση αλυσίδας Elmore

- Μια ειδική περίπτωση δικτύωματος με δομή δένδρου είναι η **αλυσίδα RC**, η οποία αποτελεί μια δομή που συναντάται πολύ συχνά στα ψηφιακά κυκλώματα.
- Αποτελεί ένα **προσεγγιστικό μοντέλο ωμικής-χωρητικής γραμμής διασύνδεσης**.



$$\tau_{DN} = \sum_{i=1}^N (C_i \cdot \sum_{j=1}^i R_j) = \sum_{i=1}^N C_i \cdot R_{ii}$$

Η αντίσταση διαμοιρασμένης διαδρομής, αντικαθίσταται από μια αντίσταση διαδρομής:

$$\tau_{Di} = C_1 \cdot R_1 + C_2 \cdot (R_1 + R_2) + \dots + C_i \cdot (R_1 + R_2 + \dots + R_i)$$

Κατανεμημένη γραμμή rc

- Εάν τεμαχίσουμε μια γραμμή διασύνδεσης με συνολικό μήκος L σε N πανομοιότυπα τμήματα, καθένα από αυτά θα έχει μήκος L/N .
- Συνεπώς, εάν r και c είναι η αντίσταση και η χωρητικότητα της γραμμής ανά μονάδα μήκους, αντίστοιχα, τότε η αντίσταση και η χωρητικότητα κάθε τμήματος θα είναι $r \times L/N$ και $c \times L/N$, αντίστοιχα.
- Με βάση τα παραπάνω, η καθυστέρηση Elmore της γραμμής, έχει ως εξής:

$$\tau_{DN} = \left(\frac{L}{N}\right)^2 (rc + 2rc + \dots + Nrc) = (rcL^2) \frac{N(N+1)}{2N^2} = RC \frac{N+1}{2N}$$

όπου $R = r \times L$ και $C = c \times L$ είναι η συνολική αντίσταση και χωρητικότητα της γραμμής, αντίστοιχα.

- Για **πολύ μεγάλες τιμές του N** , το μοντέλο προσεγγίζει μια **κατανεμημένη γραμμή rc**:

$$\tau_{DN} = \frac{RC}{2} = \frac{rcL^2}{2}$$

Η καθυστέρηση της κατανεμημένης γραμμής είναι **τετραγωνική συνάρτηση του μήκους** της και ισούται με το **μισό της καθυστέρησης αλυσίδας Elmore** (όπως προκύπτει εάν στο τύπο Elmore για την αλυσίδα θέσουμε $N = 1$)

Παράδειγμα 17

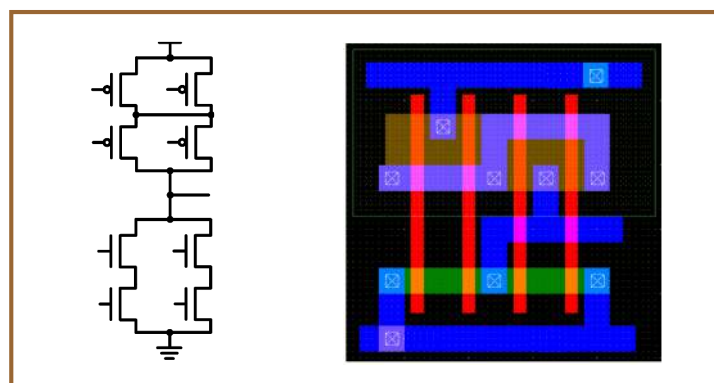
- Σε κύκλωμα τεχνολογίας 0.25 μm , θεωρούμε μια γραμμή διασύνδεσης αλουμινίου πρώτου επιπέδου (Al1) με μήκος 10 cm και πλάτος 1 μm και υπολογίζουμε την καθυστέρηση διάδοσής της εν λόγω γραμμής για βηματική είσοδο.
- c = χωρητικότητα γραμμής ανά μονάδα μήκους = (χωρητικότητα επιφάνειας ανά μονάδα μήκους) + (πλευρική χωρητικότητα ανά μονάδα μήκους) = $(W \times 30 \text{ aF}/\mu\text{m}^2) + (2 \times 40 \text{ aF}/\mu\text{m}) = 110 \text{ aF}/\mu\text{m}$.
- r = αντίσταση γραμμής ανά μονάδα μήκους = (αντίσταση φύλλου Al1) / $W = (0.1 \Omega/\square) / 1 \mu\text{m} = 0.1 \Omega/\mu\text{m}$.
- Η καθυστέρηση της γραμμής για βηματική είσοδο (εάν θεωρήσουμε αλυσίδα Elmore με $N = 1$) είναι: $0.69 \times \tau = 0.69 \times R \times C$.
- Επειδή η καθυστέρηση της κατανεμημένης γραμμής είναι το μισό της καθυστέρησης Elmore, μπορούμε να υπολογίσουμε την καθυστέρηση της γραμμής για βηματική είσοδο ως εξής: $t_p = 0.38 \times R \times C = 0.38 \times r \times c \times L^2 = 0.38 \times (0.1 \Omega/\mu\text{m}) \times (110 \text{ aF}/\mu\text{m}) \times (10 \text{ cm})^2 = 0.38 \times (0.1 \Omega/\mu\text{m}) \times (110 \text{ aF}/\mu\text{m}) \times (10^5 \mu\text{m})^2 = 31.4 \text{ ns}$.
- Εάν θεωρήσουμε μια όμοια γραμμή που υλοποιείται με πολυκρυσταλλικό πυρίτιο και με μέταλλο πέμπτου επιπέδου (Al5), έχουμε:
Polysilicon: $t_p = 0.38 \times (175 \Omega/\mu\text{m}) \times (88 + 2 \times 54 \text{ aF}/\mu\text{m}) \times (10^5 \mu\text{m})^2 = 130 \mu\text{s}$,
Al5: $t_p = 0.38 \times (0.05 \text{ W}/\mu\text{m}) \times (5.2 + 2 \times 12 \text{ aF}/\mu\text{m}) \times (10^5 \text{ nm})^2 = 5.5 \text{ ns}$,
γίνεται προφανές ότι η επιλογή υλικού έχει δραματική επίδραση στην καθυστέρηση γραμμής.

Συμπεράσματα

- Ο αντιστροφείας CMOS συνδυάζει ένα πάνω-οδήγησης τρανζίστορ PMOS που οδηγεί την τάση εξόδου στην τιμή της τάσης τροφοδοσίας και ένα τρανζίστορ NMOS που οδηγεί την τάση εξόδου σε τιμή 0.
- Το τρανζίστορ PMOS σχεδιάζεται πλατύτερο από το τρανζίστορ NMOS, λόγω της χαμηλότερης ικανότητας οδήγησης ρεύματος που διαθέτει.
- Ο αντιστροφείας CMOS έχει μία σχεδόν ιδανική χαρακτηριστική μεταφοράς τάσης.
- Το λογικό εύρος ταλάντευσης τάσης είναι ίσο με την τάση τροφοδοσίας και δεν αποτελεί συνάρτηση του μεγέθους των τρανζίστορ.
- Τα περιθώρια θορύβου ενός συμμετρικού αντιστροφεία (στον οποίο τα τρανζίστορ PMOS και NMOS έχουν ίση ικανότητα οδήγησης ρεύματος) προσεγγίζουν την τιμή $V_{DD}/2$.
- Η καθυστέρηση διάδοσης του αντιστροφεία κυριαρχείται από το χρόνο που απαιτείται για τη φόρτιση ή εκφόρτιση της χωρητικότητας εξόδου.
- Η διατήρηση της χωρητικότητας φορτίου σε χαμηλές τιμές είναι η πιο αποτελεσματική μέθοδος για την υλοποίηση κυκλωμάτων CMOS υψηλής επίδοσης.
- Η μεταβολή του μεγέθους των τρανζίστορ βοηθά στη βελτίωση της επίδοσης, όσο η καθυστέρηση κυριαρχείται από την εξωγενή χωρητικότητα (ή χωρητικότητα φορτίου) που οφείλεται στο φόρτο εξόδου της πύλης και στις γραμμές διασύνδεσης.

Συμπεράσματα

- Η κατανάλωση ενέργειας του αντιστροφέα κυριαρχείται από τη δυναμική συνιστώσα της, που καταναλώνεται κατά τη φόρτιση και εκφόρτιση της χωρητικότητας εξόδου.
- Η δυναμική κατανάλωση ενέργειας είναι ανάλογη της δραστηριότητας μεταβάσεων του κυκλώματος.
- Η κατανάλωση ενέργειας που οφείλεται στα ρεύματα βραχυκυκλώματος που υφίστανται κατά τη διάρκεια των μεταβάσεων, μπορεί να περιοριστεί με κατάλληλη προσαρμογή των κλίσεων των τάσεων εισόδου και εξόδου των πυλών CMOS.
- Η στατική κατανάλωση ενέργειας οφείλεται στα ρεύματα διαρροής των ανάστροφα πολωμένων διόδων των τρανζίστορ μεταξύ της περιοχής υποδοχής ή πηγής και του υποστρώματος, στο ρεύμα υποκατωφλίου και στο ρεύμα διαρροής της πύλης των τρανζίστορ.
- Η επίδραση της συμπεριφοράς των γραμμών διασύνδεσης στα προηγμένα ολοκληρωμένα κυκλώματα είναι σημαντική και καθορίζεται από τις κυρίαρχες παραμέτρους που ρυθμίζουν τις τιμές των παρασιτικών στοιχείων των γραμμών (χωρητικότητα, αντίσταση, αυτεπαγωγή).
- Για την μελέτη της επίδρασης των παρασιτικών στοιχείων των διασυνδέσεων στη συμπεριφορά των κυκλωμάτων, απαιτείται η υιοθέτηση επαρκών μοντέλων που εκτιμούν και προσεγγίζουν την πραγματική συμπεριφορά των γραμμών διασύνδεσης.



5^η ενότητα: ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ CMOS

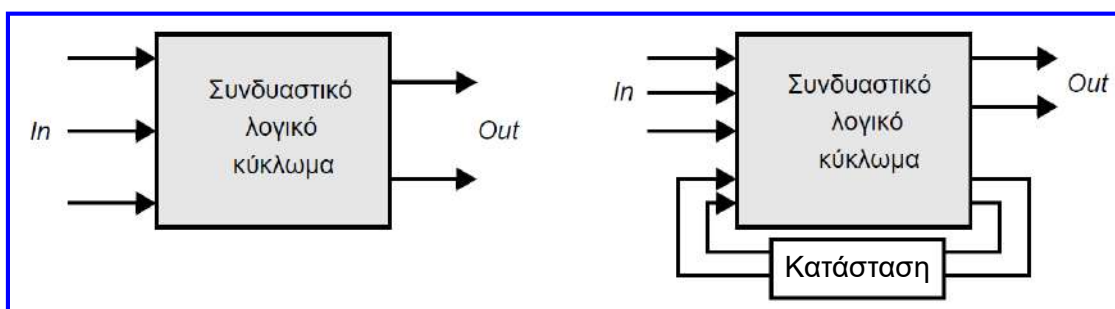


Περιεχόμενα 5^{ης} ενότητας

- Εισαγωγή στα συνδυαστικά κυκλώματα CMOS
- Στατική συμπληρωματική λογική CMOS
- Φυσικός σχεδιασμός συμπληρωματικών πυλών CMOS
- Στατικά χαρακτηριστικά συμπληρωματικής λογικής CMOS
- Καθυστέρηση διάδοσης πυλών συμπληρωματικής λογικής CMOS
- Κατανάλωση ενέργειας πυλών συμπληρωματικής λογικής CMOS
- Λογική εξαρτημένη από το λόγο του μεγέθους των τρανζίστορ
- Ψεύδο-NMOS λογική
- Λογική DCVSL
- Λογική τρανζίστορ διέλευσης
- Συμπληρωματική λογική τρανζίστορ διέλευσης (CPL)
- Λογική SRPL
- Λογική πύλης διέλευσης
- Δυναμική λογική CMOS
- Λογική διαδοχικής επίδρασης (domino), λογική np-CMOS
- Συμπεράσματα

Εισαγωγή στα συνδυαστικά κυκλώματα CMOS

- Μετά την ανάλυση του απλού αντιστροφέα CMOS θα εξετάσουμε τη σύνθεση πιο σύνθετων ψηφιακών λογικών πυλών (NOR, NAND, XOR κ.ά.).
- Τα **συνδυαστικά κυκλώματα (combinational circuits)** έχουν την ιδιότητα ότι σε οποιαδήποτε χρονική στιγμή, η έξοδος του κυκλώματος σχετίζεται με τα τρέχοντα σήματα εισόδου μέσω μιας αλγεβρικής έκφρασης Boole, χωρίς να υφίσταται καμία σύνδεση από τις εξόδους πίσω στις εισόδους.
- Αντίθετα, στα **ακολουθιακά κυκλώματα (sequential circuits)**, η έξοδος δεν είναι μόνο συνάρτηση των παρόντων δεδομένων εισόδου, αλλά και προηγούμενων τιμών των σημάτων εισόδου.
- Τα ακολουθιακά κυκλώματα περιλαμβάνουν ένα συνδυαστικό τμήμα και μία μονάδα με στοιχεία μνήμης που διατηρούν την κατάσταση του κυκλώματος.

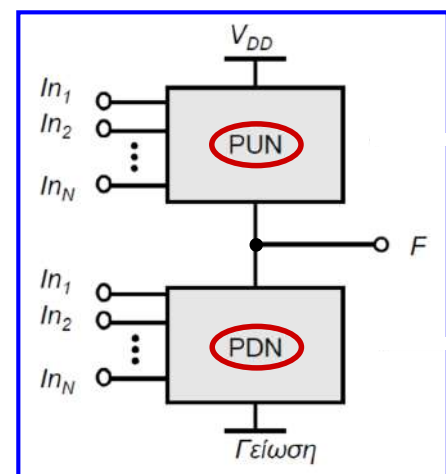


Στατική συμπληρωματική λογική CMOS

- Η πιο **ευρέως χρησιμοποιούμενη λογική** για το σχεδιασμό συνδυαστικών κυκλωμάτων CMOS, είναι η **στατική συμπληρωματική λογική (static complementary logic)**.
- Η λογική αυτή είναι στην ουσία μία επέκταση του αντιστροφέα CMOS σε πολλαπλές εισόδους.
- Βασικά πλεονεκτήματα: **στιβαρότητα** (χαμηλή ευαισθησία στο θόρυβο), **υψηλή επίδοση, χαμηλή κατανάλωση ενέργειας** (χωρίς στατική κατανάλωση).
- Στα **στατικά κυκλώματα**, σε κάθε χρονική στιγμή, κάθε έξοδος μιας πύλης συνδέεται είτε με την τροφοδοσία είτε με τη γείωση μέσω μιας διαδρομής.
- Οι έξοδοι των πυλών παρέχουν πάντα την τιμή της λογικής συνάρτησης που υλοποιείται από το κύκλωμα.
- Αντίθετα, τα **δυναμικά κυκλώματα** (που είναι απλούστερα και ταχύτερα, αλλά με αυξημένη ευαισθησία το θόρυβο), βασίζονται στην προσωρινή αποθήκευση τιμών σημάτων στη χωρητικότητα κόμβων του κυκλώματος.
- Διάφοροι τύποι στατικών κυκλωμάτων: **συμπληρωματική λογική CMOS**, εξαρτώμενη από τον λόγο των μεγεθών των τρανζιστορ λογική (**ψευδο-NMOS** και **DCVSL**), λογική **τρανζιστορ διέλευσης (pass transistor logic)** και **πυλών διέλευσης (transmission gates)**.

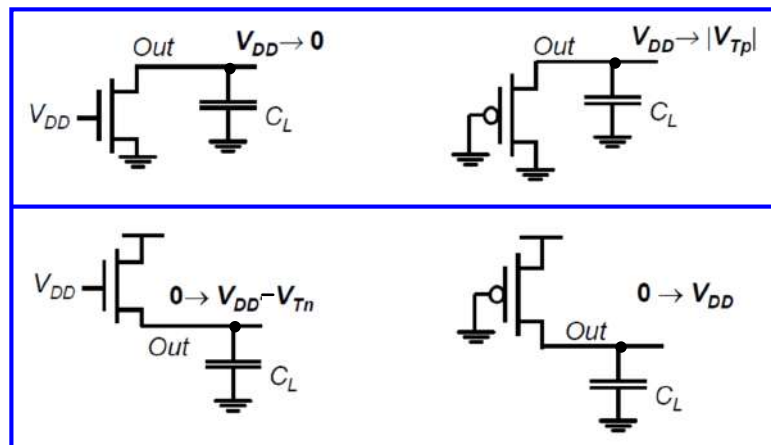
Στατική συμπληρωματική λογική CMOS

- Μία στατική πύλη CMOS είναι ένας συνδυασμός δύο δικτυωμάτων: **δικτύωμα πάνω-οδήγησης (pull-up network, PUN)** και **δικτύωμα κάτω-οδήγησης (pull-down network, PDN)**.
- Όλες οι εισόδους του κυκλώματος τροφοδοτούν και τα δύο δικτυώματα.
- Η λειτουργία του PUN είναι να παρέχει μία αγωγίμη διαδρομή μεταξύ της εξόδου και της τροφοδοσίας, όταν η έξοδος της πύλης έχει τιμή 1 (ανάλογα με τις εισόδους), ενώ η λειτουργία του PDN είναι να συνδέει την έξοδο με τη γείωση, όταν η έξοδος έχει τιμή 0.
- Τα δικτυώματα PUN και PDN σχεδιάζονται έτσι ώστε ένα και μόνο ένα από αυτά να άγει, σε σταθερή κατάσταση.
- Έτσι, αφού παρέλθουν τα μεταβατικά φαινόμενα, υπάρχει πάντα μία διαδρομή μεταξύ της τροφοδοσίας και της εξόδου για τιμή εξόδου 1 ή μεταξύ της γείωσης και της εξόδου για τιμή εξόδου 0.
- Αυτό είναι ισοδύναμο με το να πούμε ότι ο κόμβος της εξόδου είναι πάντα ένας κόμβος χαμηλής αντίστασης.



Στατική συμπληρωματική λογική CMOS

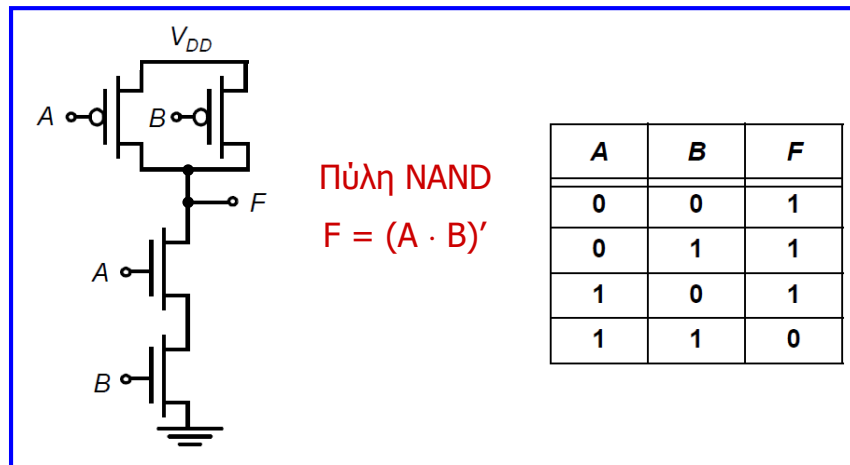
- Το δικτύωμα **PDN** αποτελείται από τρανζίστορ **NMOS** ενώ το **PUN** από τρανζίστορ **PMOS**.
- Βασική αιτία της επιλογής αυτής, είναι ότι τα τρανζίστορ **NMOS** παράγουν «**ισχυρά μηδενικά**», ενώ τα τρανζίστορ **PMOS** παράγουν «**ισχυρές μονάδες**».
- Δύο πιθανά σενάρια εκφόρτισης / φόρτισης χωρητικότητας εξόδου.
- Το τρανζίστορ NMOS μειώνει την τάση της εξόδου έως τη γείωση, ενώ ένα τρανζίστορ PMOS δεν μπορεί να την μειώσει κάτω από τη τάση κατωφλίου του, αφού στο σημείο αυτό παύει να άγει και σταματά να συνεισφέρει ρεύμα εκφόρτισης.
- Το τρανζίστορ PMOS φορτίζει πλήρως τη χωρητικότητα εξόδου έως την τάση τροφοδοσίας, ενώ το NMOS αυξάνει την τάση εξόδου μέχρι μία τάση κατωφλίου κάτω από την τάση τροφοδοσίας.



Στατική συμπληρωματική λογική CMOS

- Τρανζίστορ **NMOS συνδεδεμένα σε σειρά** αντιστοιχούν σε συνάρτηση **AND**, αφού όταν όλες οι εισόδοι είναι σε υψηλή στάθμη, η σειριακή διάταξη άγει και η τιμή από το ένα άκρο της διάταξης μεταφέρεται στο άλλο.
- Τρανζίστορ **NMOS συνδεδεμένα παράλληλα** αντιστοιχούν σε συνάρτηση **OR**, αφού υπάρχει μία αγωγίμη διαδρομή μεταξύ των ακροδεκτών εισόδου και εξόδου εάν τουλάχιστον μία από τις εισόδους είναι σε υψηλή στάθμη.
- Μία **σειριακή διάταξη τρανζίστορ PMOS** άγει εάν και οι δυο εισόδοι είναι σε χαμηλή στάθμη, υλοποιώντας συνάρτηση **NOR**, ενώ τρανζίστορ **PMOS συνδεδεμένα παράλληλα** υλοποιούν συνάρτηση **NAND**.
- Με βάση το θεώρημα De Morgan $[(A + B)' = A' \cdot B', (A \cdot B)' = A' + B']$ προκύπτει ότι τα δικτυώματα **PUN** και **PDN** είναι **δ्वικά**, δηλαδή παράλληλη σύνδεση τρανζίστορ στο PUN αντιστοιχεί σε σειριακή σύνδεση από αντίστοιχα τρανζίστορ στο PDN και αντιστρόφως.
- Για μία στατική συμπληρωματική πύλη CMOS, σχεδιάζουμε το PDN με συνδυασμούς σειριακών και παράλληλων τρανζίστορ NMOS και έπειτα το PUN, αντικαθιστώντας τα σειριακά NMOS με παράλληλα PMOS και τα παράλληλα NMOS με σειριακά PMOS.
- Η συμπληρωματική πύλη είναι από τη φύση της **αντιστρέφουσα**, υλοποιώντας συναρτήσεις όπως NAND, NOR και XNOR. Για μη αντιστρέφουσες πύλες (AND, OR, XOR) απαιτείται η χρήση ενός επιπλέον αντιστροφέα.
- Για το σχεδιασμό πύλης με **N εισόδους**, απαιτούνται **2·N τρανζίστορ** (N NMOS + N PMOS).

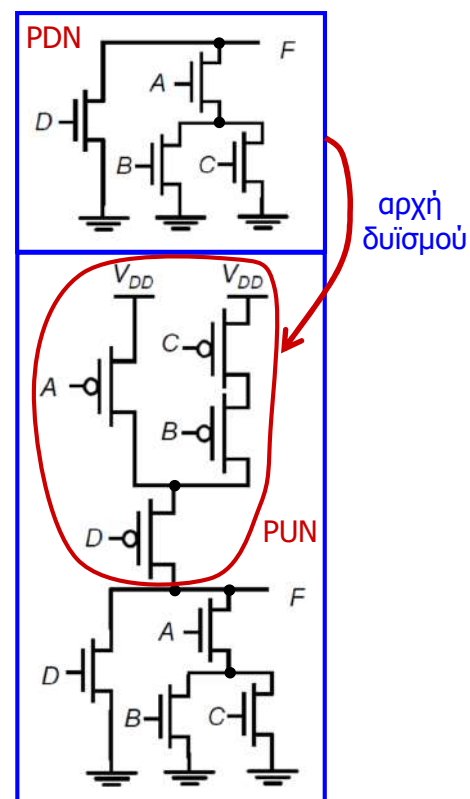
Στατική συμπληρωματική λογική CMOS



- Το PDN αποτελείται από δύο τρανζίστορ NMOS σε σειρά, τα οποία άγουν όταν και οι δυο εισοδοι είναι σε υψηλή στάθμη.
- Το PUN είναι το δυϊκό δικτύωμα του PDN (δύο παράλληλα τρανζίστορ PMOS).
- Αυτό σημαίνει ότι η F είναι 1 εάν $A = 0$ ή $B = 0$, που ισοδυναμεί με τη σχέση $F = (A \cdot B)'$.
- Η έξοδος F είναι πάντα συνδεδεμένη στην τροφοδοσία ή στη γείωση, αλλά ποτέ και στις δύο την ίδια χρονική στιγμή.

Παράδειγμα 1

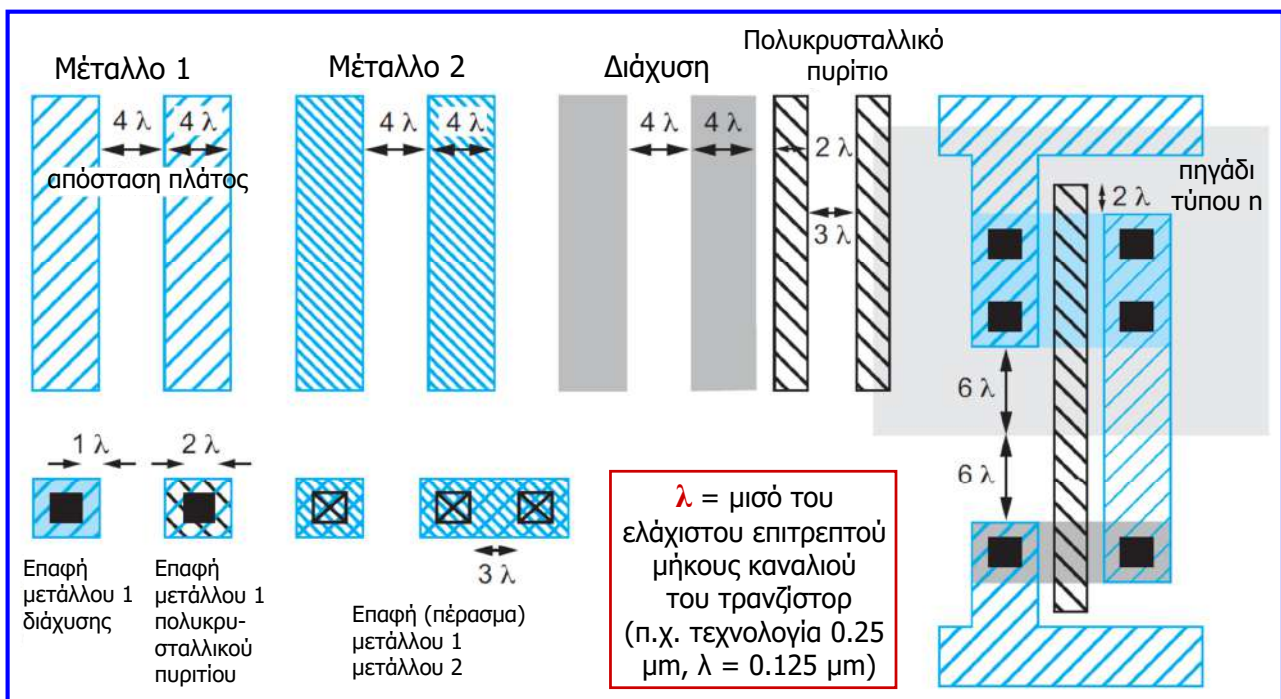
- Με χρήση της στατικής συμπληρωματικής λογικής CMOS συνθέτουμε μία σύνθετη πύλη CMOS της οποίας η συνάρτηση είναι: $F = [D + A \cdot (B + C)]'$.
- Το πρώτο βήμα σύνθεσης της λογικής πύλης είναι να σχεδιάσουμε το δικτύωμα PDN, βασιζόμενοι στο γεγονός ότι τρανζίστορ NMOS σε σειρά υλοποιούν τη συνάρτηση AND και παράλληλα υλοποιούν τη συνάρτηση OR.
- Το επόμενο βήμα είναι να χρησιμοποιήσουμε την αρχή του δυϊσμού για να παράγουμε το δικτύωμα PUN, αντικαθιστώντας τα σειριακά τρανζίστορ NMOS του δικτύωματος PDN με παράλληλα τρανζίστορ PMOS και τα παράλληλα τρανζίστορ NMOS του δικτύωματος PDN με σειριακά τρανζίστορ PMOS.
- Μπορεί εύκολα να επιβεβαιωθεί ότι για κάθε δυνατό συνδυασμό εισόδων, υπάρχει πάντα μία διαδρομή από την έξοδο προς την τροφοδοσία ή τη γείωση.



Φυσικός σχεδιασμός συμπληρωματικών πυλών CMOS

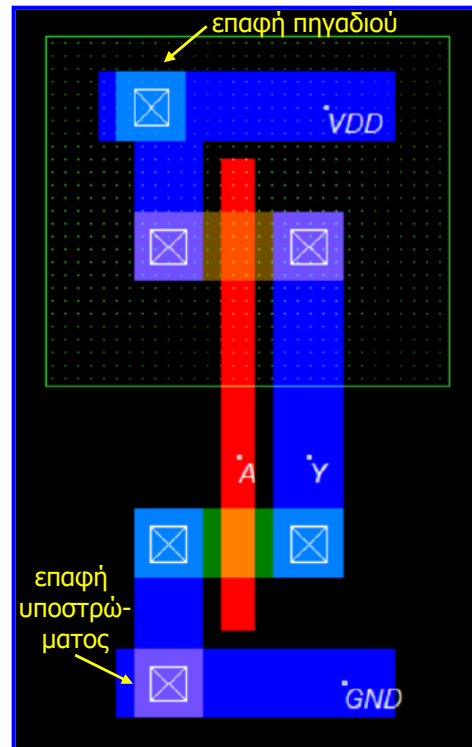
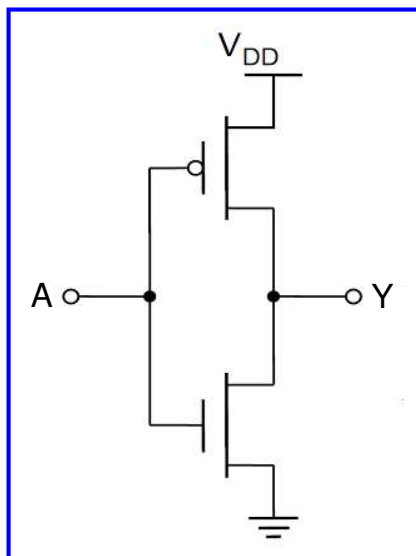
- Η πιο διαδεδομένη τεχνική σχεδιασμού στατικών συμπληρωματικών πυλών CMOS, που παρέχει συμπαγή φυσικό σχεδιασμό, είναι η **τεχνική τυπικού κυττάρου (standard cell)**, στην οποία το ύψος των κυττάρων είναι σταθερό και το μήκος μεταβλητό.
- Στην τεχνική αυτή χρησιμοποιούνται δύο οριζόντιες λωρίδες από μέταλλο: **γείωση** στο κάτω άκρο του κυττάρου και **τροφοδοσία** στην κορυφή του κυττάρου.
- Στη συνέχεια, σχεδιάζονται δύο ακόμη οριζόντιες λωρίδες: **διάχυση τύπου n** κοντά στη λωρίδα της γείωσης και **διάχυση τύπου p** κοντά στη λωρίδα της τροφοδοσίας.
- Οι γραμμές **πολυκρυσταλλικού πυριτίου** εκτείνονται κατακόρυφα (μία για κάθε είσοδο της πύλης) για το σχηματισμό των πυλών των τρανζιστορ.
- Για τη δημιουργία των κατάλληλων **συνδέσεων** των ακροδεκτών των τρανζιστορ, χρησιμοποιούνται **μεταλλικοί αγωγοί** και κατάλληλες **επαφές** εντός του κυττάρου ή αγωγοί από πολυκρυσταλλικό πυρίτιο, αλλά μόνο για πολύ σύντομες συνδέσεις μεταξύ των πυλών των τρανζιστορ.
- Τέλος, τοποθετούμε το **πηγάδι τύπου n** στο οποίο περιέχονται τα τρανζιστορ PMOS, καθώς και **επαφές πηγαδιού και υποστρώματος** στις γραμμές τροφοδοσίας και γείωσης, αντίστοιχα, ώστε αυτά να πολωθούν κατάλληλα.
- Φυσικά κατά το σχεδιασμό όλων των λωρίδων και συνδέσεων, πρέπει να τηρούνται οι **κανόνες σχεδιασμού** που επιβάλλονται από την εκάστοτε τεχνολογία κατασκευής.

Βασικοί κανόνες σχεδιασμού (πλάτη, αποστάσεις)



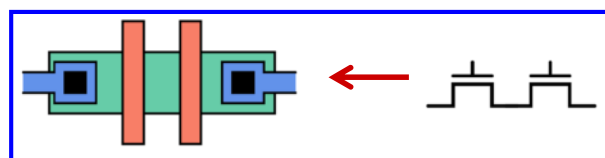
Φυσικός σχεδιασμός απλών λογικών πυλών

ΑΝΤΙΣΤΡΟΦΕΑΣ

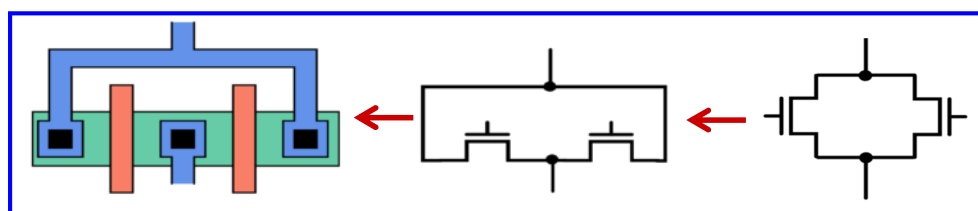


Φυσικός σχεδιασμός απλών λογικών πυλών

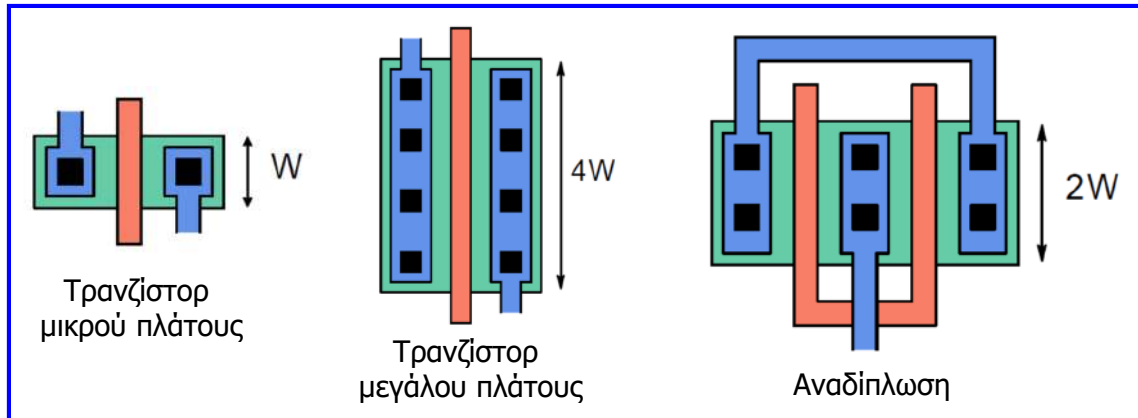
- Όταν μια λωρίδα πολυκρυσταλλικού πυριτίου τέμνει λωρίδα διάχυσης τύπου n ή τύπου p, σχηματίζεται τρανζίστορ NMOS ή PMOS, αντίστοιχα.
- Επιτρέπονται συνδέσεις μέσω επαφών μεταξύ λωρίδων διάχυσης - μετάλλου, πολυκρυσταλλικού πυριτίου - μετάλλου, λωρίδων μετάλλου πρώτου και δεύτερου επιπέδου και πολυκρυσταλλικού πυριτίου - μετάλλου δεύτερου επιπέδου.
- Δεν επιτρέπεται η σύνδεση μέσω επαφών λωρίδων πολυκρυσταλλικού πυριτίου και διάχυσης, καθώς και η σύμπτωση λωρίδων διάχυσης τύπου n και τύπου p.
- Φυσικός σχεδιασμός σειριακά συνδεδεμένων τρανζίστορ:



- Φυσικός σχεδιασμός παράλληλα συνδεδεμένων τρανζίστορ (2 ζεύγη κοινού ακροδέκτης):



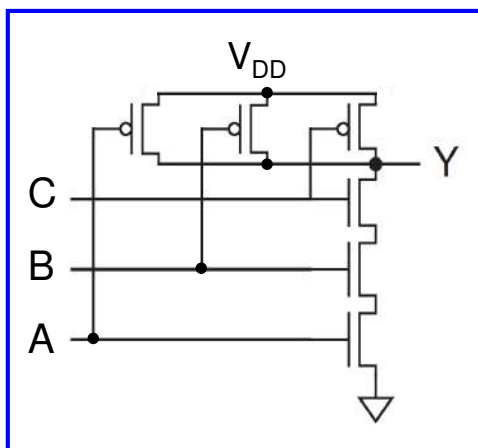
Φυσικός σχεδιασμός απλών λογικών πυλών



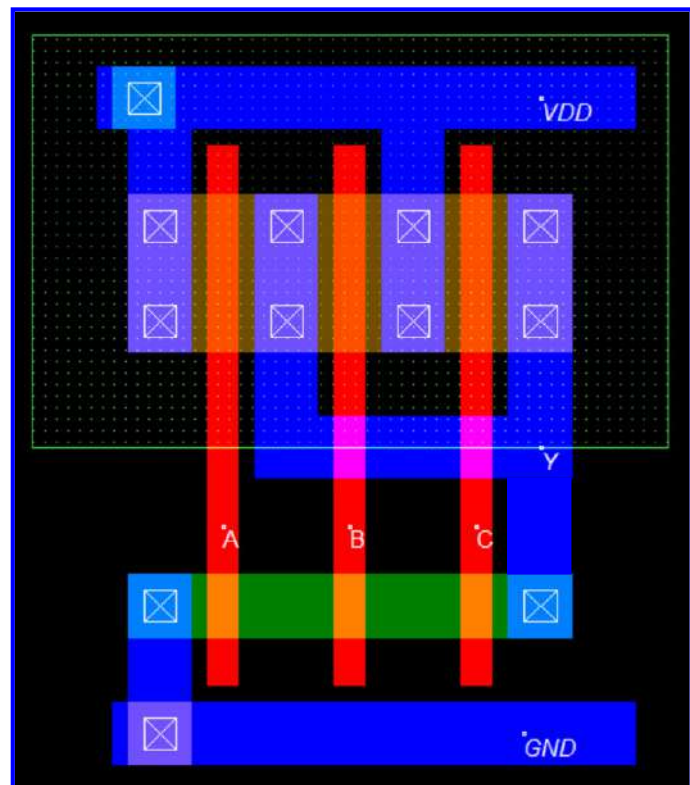
- Σε **τρανζίστορ μεγάλου πλάτους** καναλιού χρησιμοποιούμε **πολλαπλές επαφές**, διότι οριοθετούν αποδοτικότερα το ηλεκτρικό πεδίο του καναλιού.
- Τα τρανζίστορ μεγάλου πλάτους εμφανίζουν μεγάλο εμβαδό περιοχών διάχυσης με αποτέλεσμα αυξημένη χωρητικότητα, καθώς και μεγάλο μήκος λωρίδας πολυκρυσταλλικού πυριτίου με αποτέλεσμα αυξημένη αντίσταση.
- Μια λύση είναι η **αναδίπλωση (folding)** των τρανζίστορ μεγάλου πλάτους κατά το φυσικό τους σχεδιασμό, με αποτέλεσμα ένα τρανζίστορ μεγάλου πλάτους να σχεδιάζεται ως περισσότερα τρανζίστορ συνδεδεμένα παράλληλα.

Φυσικός σχεδιασμός απλών λογικών πυλών

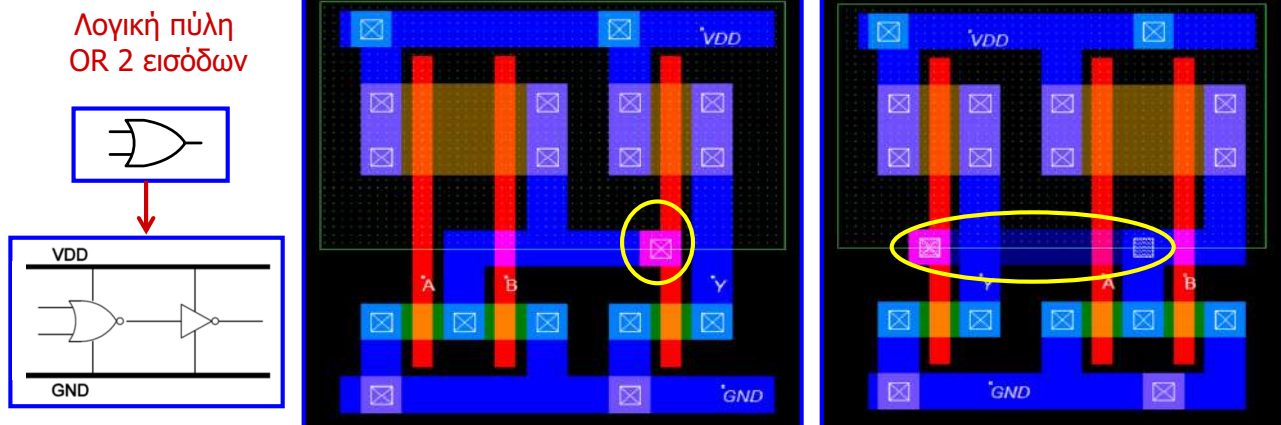
NAND 3 ΕΙΣΟΔΩΝ



Χρησιμοποιούνται **μη διακοπτόμενες λωρίδες διάχυσης** και οι συνδέσεις στα παράλληλα τρανζίστορ PMOS γίνονται έτσι ώστε αυτά να έχουν 3 κοινούς ακροδέκτες συνδεδεμένους στην τροφοδοσία και 3 κοινούς ακροδέκτες συνδεδεμένους στην έξοδο της πύλης



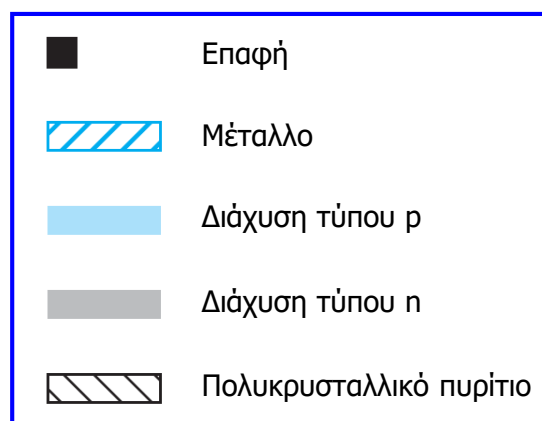
Φυσικός σχεδιασμός απλών λογικών πυλών



- Για το σχεδιασμό **μη συμπληρωματικών λογικών πυλών** (π.χ. OR, AND), σχεδιάζουμε την **αντίστοιχη συμπληρωματική λογική πύλη** (π.χ. NOR, NAND) και συνδέουμε την έξοδό της με ένα **αντιστροφέα**, στην έξοδο του οποίου λαμβάνουμε την έξοδο της μη συμπληρωματικής λογικής πύλης.
- Η σύνδεση της συμπληρωματικής λογικής πύλης με τον αντιστροφέα, διενεργείται είτε μέσω επαφής μετάλλου – πολυκρυσταλλικού πυριτίου ή μέσω λωρίδας διασύνδεσης μετάλλου δευτέρου επιπέδου και δύο κατάλληλων επαφών.

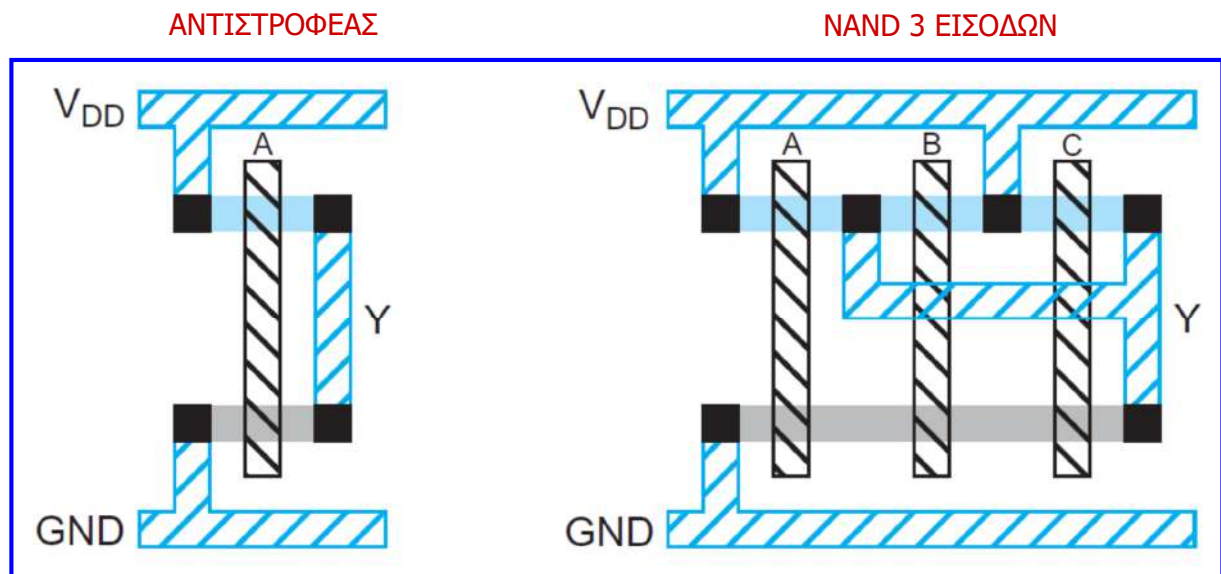
Συμβολικά διαγράμματα λογικών πυλών

- Επειδή ο φυσικός σχεδιασμός είναι χρονοβόρα διαδικασία, συνήθως χρησιμοποιείται ένας γρήγορος τρόπος για την κατάστρωση ενός αρχικού σχεδίου (χωρίς να τηρείται η πραγματική γεωμετρία των μασκών), με βάση το οποίο γίνονται εκτιμήσεις για την τελική δομή και την επιφάνεια του τελικού φυσικού σχεδίου, πριν αυτό υλοποιηθεί.
- Ο τρόπος αυτός συνίσταται στο σχεδιασμό ενός **συμβολικού διαγράμματος** ή **ραβδοδιαγράμματος (stick diagram)** ή **διαγράμματος γραμμών** μιας πύλης, το οποίο περιλαμβάνει τα ακόλουθα βασικά στοιχεία:



- Στο συμβολικό διάγραμμα μιας λογικής πύλης, μπορεί να αναγράφεται δίπλα σε κάθε τρανζίστορ, ο λόγος W / L (πλάτος καναλιού / μήκος καναλιού).

Συμβολικά διαγράμματα λογικών πυλών



Φυσικός σχεδιασμός σύνθετων λογικών πυλών

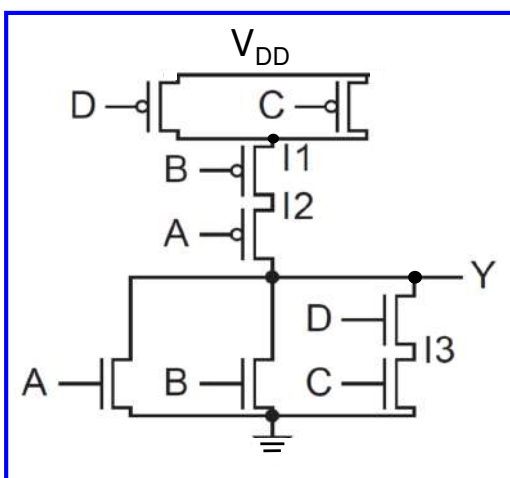
- Κατά το σχεδιασμό σύνθετων πυλών CMOS, είναι επιθυμητό τα τρανζίστορ κάθε τύπου να υλοποιούνται ως μία αδιάσπαστη οριζόντια σειρά τρανζίστορ με γειτονικές συνδέσεις πηγής-υποδοχής και με ευθυγραμμισμένες κατακόρυφες συνδέσεις πύλης.
- Η προσέγγιση αυτή απαιτεί μόνο **μία μη διακοπτόμενη λωρίδα διάχυσης τύπου p** και μόνο **μία μη διακοπτόμενη λωρίδα διάχυσης τύπου n**.
- Για να επιτευχθεί ο στόχος αυτός, είναι απαραίτητο να τοποθετηθούν οι λωρίδες πολικρυσταλλικού πυριτίου των εισόδων της πύλης με προσεκτική σειρά.
- Για να γίνει αυτό αρχικά σχεδιάζουμε το **λογικό γράφημα των δύο δικτυωμάτων** των τρανζίστορ.
- Στο λογικό γράφημα ενός δικτυώματος, **κορυφές** είναι οι **συνδέσεις πύλης-υποδοχής** και **ακμές** είναι οι **πύλες των τρανζίστορ** που συνδέουν τις κορυφές (ακροδέκτες πηγής-υποδοχής) μεταξύ τους.
- Κάθε **ακμή** λαμβάνει το όνομά της από την **είσοδο της πύλης** που ελέγχει το αντίστοιχο τρανζίστορ.
- Αφού τα **δικτυώματα** PUN και PDN μίας στατικής πύλης CMOS είναι **δουικά**, τα αντίστοιχα **γραφήματα** είναι επίσης **δουικά**, που σημαίνει ότι μία παράλληλη σύνδεση αντικαθίσταται από μία σειριακή και αντιστρόφως.

Φυσικός σχεδιασμός σύνθετων λογικών πυλών

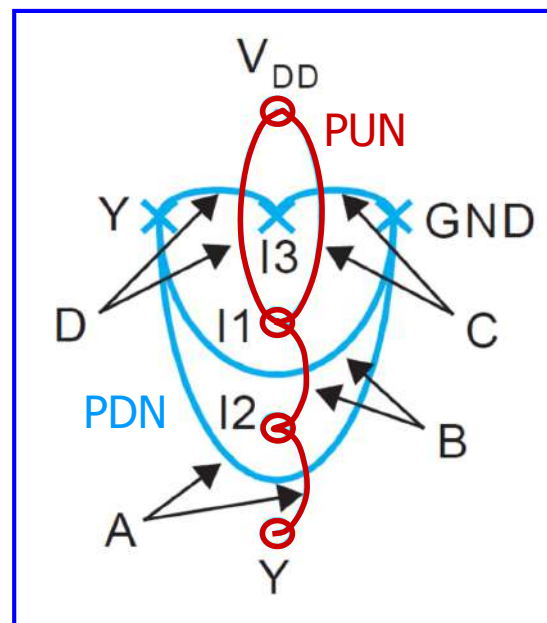
- Μία **διαδρομή Euler** σε ένα λογικό γράφημα ορίζεται ως η διαδρομή που περνάει από όλες τις κορυφές του γραφήματος, έτσι ώστε **κάθε ακμή να διατρέχεται μόνο μία φορά**.
- Ο προσδιορισμός μιας τέτοιας διαδρομής είναι σημαντικός, αφού η τοποθέτηση των εισόδων σε μία σειρά που οδηγεί σε μη διακοπτόμενη λωρίδα διάχυσης για τα τρανζίστορ ενός τύπου, είναι δυνατή μόνο όταν υπάρχει μία διαδρομή Euler στον λογικό γράφημα του αντίστοιχου δικτυώματος.
- Οι **διαδρομές Euler δεν είναι μοναδικές** και μπορεί να υπάρχουν αρκετές διαφορετικές λύσεις.
- Η **ακολουθία των ακμών σε μία διαδρομή Euler είναι όμοια με τη σειρά τοποθέτησης των εισόδων στο φυσικό σχέδιο** της πύλης.
- Για να επιτύχουμε την ίδια σειρά τοποθέτησης και στα δύο δικτυώματα (PDN και PUN), πράγμα απαραίτητο αφού πρόκειται να χρησιμοποιήσουμε μία και μόνο κατακόρυφη λωρίδα πολυκρυσταλλικού πυριτίου για κάθε είσοδο της λογικής πύλης, πρέπει να **συμφωνούν οι διαδρομές Euler των δύο λογικών γραφημάτων (συνεπείς διαδρομές Euler)**, που σημαίνει ότι πρέπει να διατρέχουν την ίδια ακολουθία εισόδων.

Παράδειγμα 2

Δημιουργούμε το φυσικό σχέδιο (σε μορφή συμβολικού διαγράμματος) σύνθετης λογικής πύλης που υλοποιεί τη λογική συνάρτηση $Y = (A + B + C \cdot D)$.

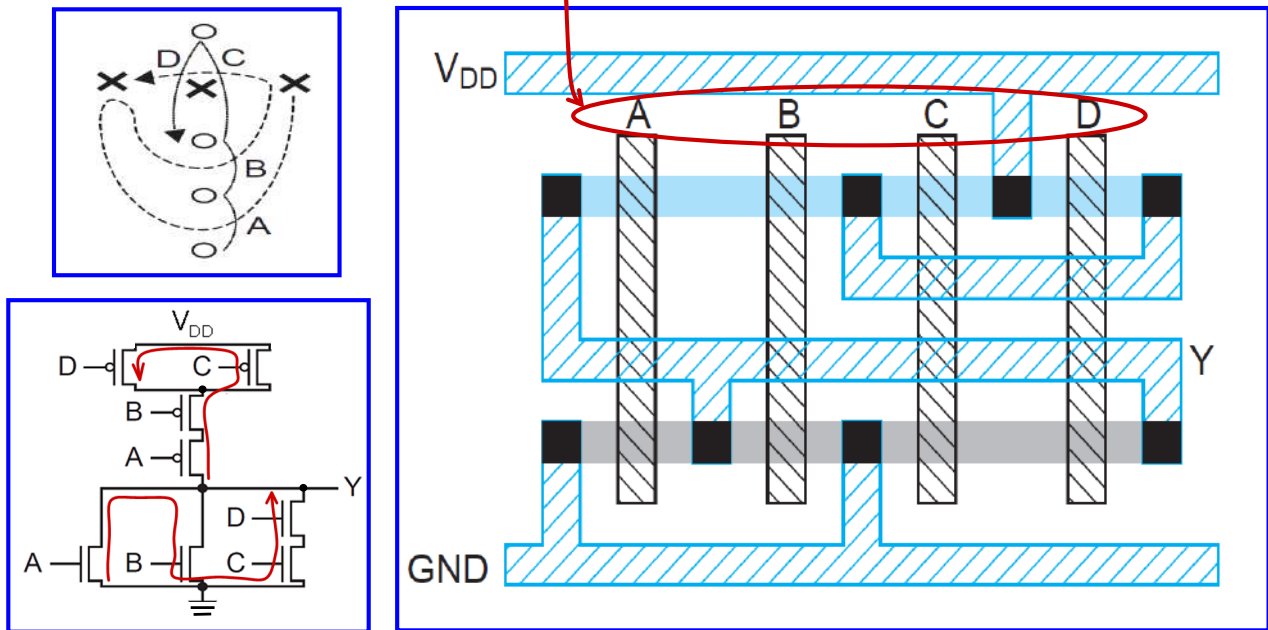


Με επικαλυπτόμενη τοποθέτηση των λογικών γραφημάτων διαπιστώνεται η δικύκλιότητά τους. Μια διαδρομή Euler που είναι κοινή και στα δύο γραφήματα είναι η **A, B, C, D**.



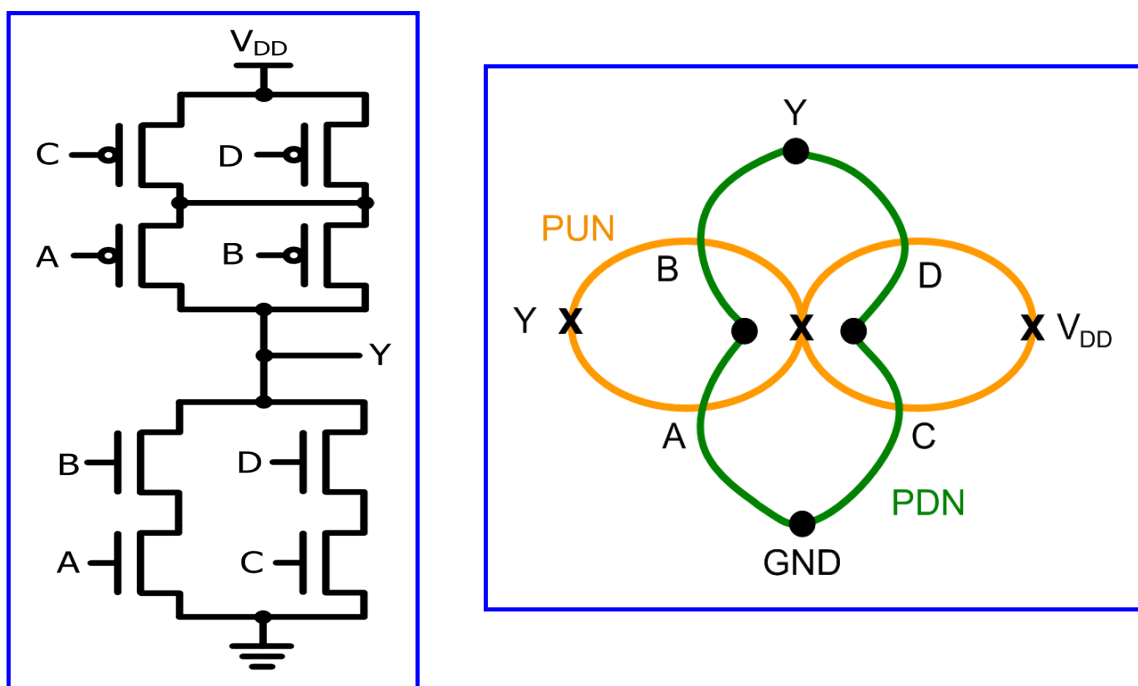
Παράδειγμα 2

Τοποθετούμε τις κατακόρυφες λωρίδες πολυκρυσταλλικού πυριτίου με βάση την ακολουθία εισόδων της **κοινής διαδρομής Euler** **A, B, C, D** των δύο γραφημάτων, που αντιστοιχούν στα δικτυώματα PDN και PUN της πύλης και διενεργούμε τις κατάλληλες μεταλλικές συνδέσεις.



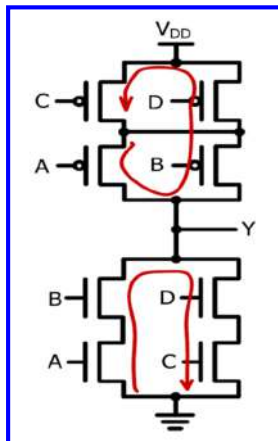
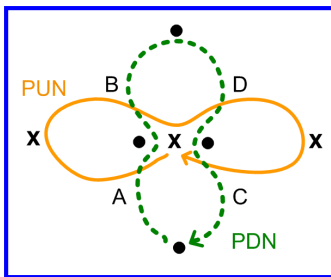
Παράδειγμα 3

Δημιουργούμε το φυσικό σχέδιο (σε μορφή συμβολικού διαγράμματος) σύνθετης λογικής πύλης που υλοποιεί τη λογική συνάρτηση $Y = (A \cdot B + C \cdot D)'$.

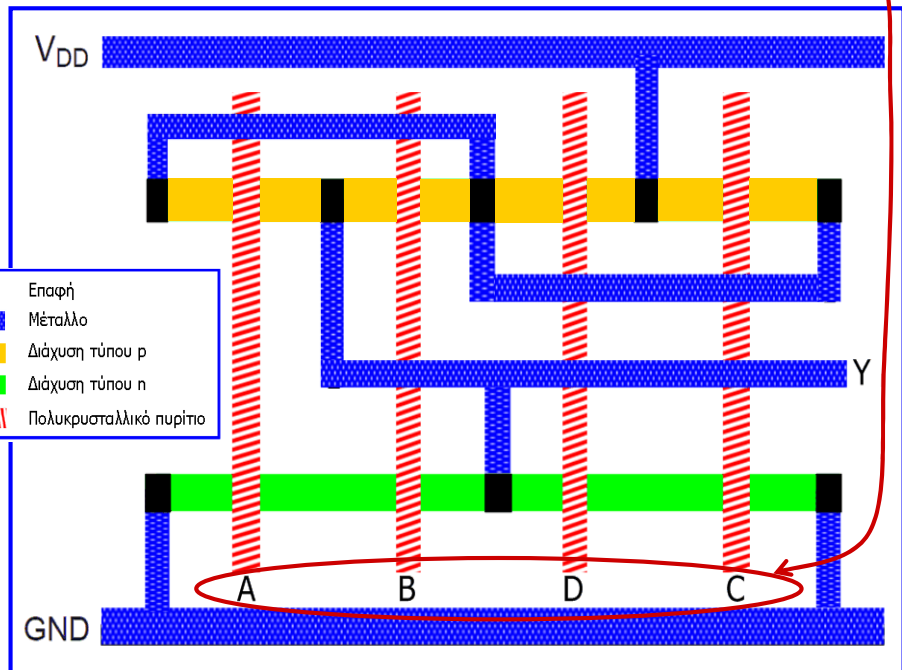


Παράδειγμα 3

Κοινή διαδρομή Euler στα δικτυώματα PDN και PUN: **A, B, D, C**

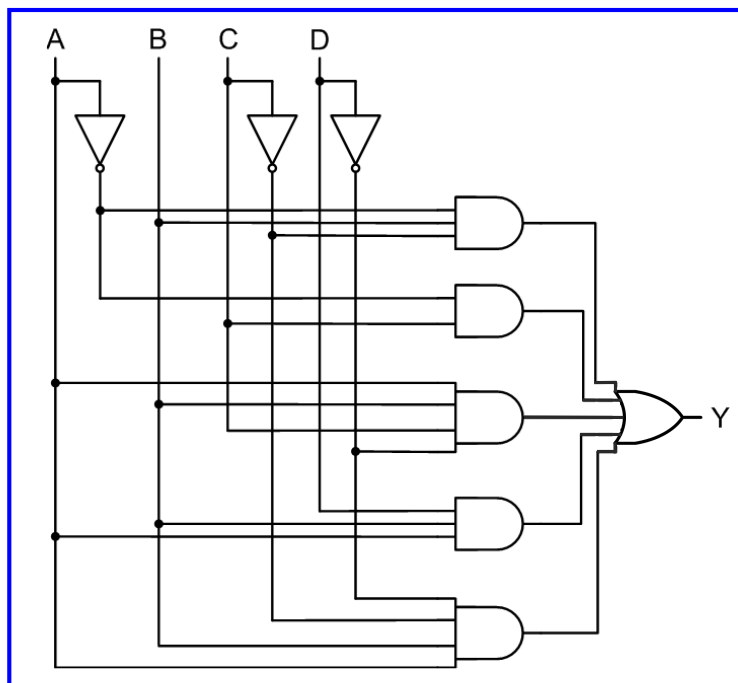


- Επαφή
- Μέταλλο
- Διάχυση τύπου p
- Διάχυση τύπου n
- |||| Πολυκρυσταλλικό πυρίτιο



Παράδειγμα 4

Δημιουργούμε το φυσικό σχέδιο του παρακάτω λογικού κυκλώματος, χρησιμοποιώντας NMOS και PMOS τρανζίστορ με πλάτος καναλιού 0.240 μm και μήκος καναλιού 0.120 μm.



Παράδειγμα 4

- Μετά από **ανάλυση του κυκλώματος**, διαπιστώνουμε ότι υλοποιεί τη συνάρτηση:

$$Y = A'BC' + A'C + ABCD' + ABD + ABC'D'$$

- Απλοποιούμε τη συνάρτηση**, χρησιμοποιώντας **αλγεβρικούς μετασχηματισμούς** με βάση τις ιδιότητες της άλγεβρας Boole (ή χρησιμοποιώντας τη μέθοδο του χάρτη Karnaugh):

$$\begin{aligned} Y &= A'BC' + A'C + ABCD' + ABD + ABC'D' \\ &= A'(BC' + C) + ABD'(C + C') + ABD = A'(B + C)(C' + C) + ABD' + ABD \\ &= A'(B + C) + AB(D' + D) = A'C + A'B + AB = A'C + (A' + A)B = A'C + B \end{aligned}$$

- Εφαρμόζουμε στην απλοποιημένη συνάρτηση το θεώρημα της **διπλής άρνησης** και το **θεώρημα De Morgan**, ώστε να μπορεί να υλοποιηθεί με συμπληρωματική λογική CMOS:

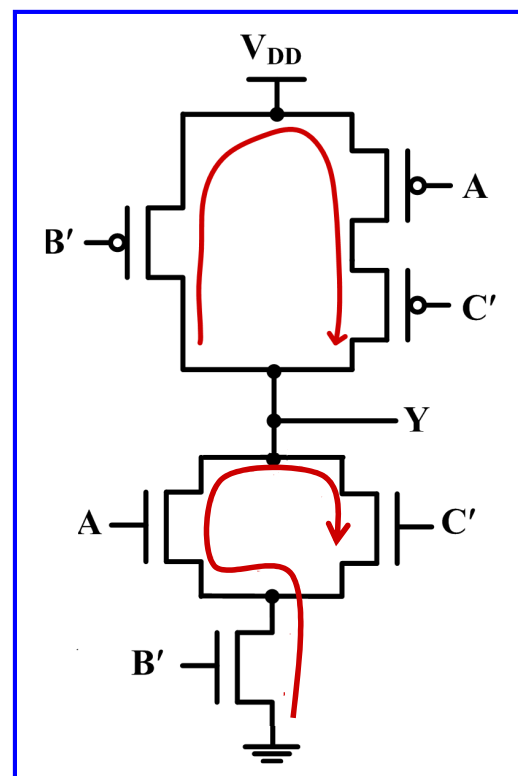
$$Y = [(A'C + B)']' = [(A + C')B']'$$

Παράδειγμα 4

$$Y = [(A + C')B']'$$

Η συνάρτηση που προέκυψε μπορεί να υλοποιηθεί με **δύο αντιστροφείς CMOS** για την παραγωγή των συμπληρωματικών μορφών των μεταβλητών B και C και **μία πύλη συμπληρωματικής λογικής CMOS**, το κυκλωματικό διάγραμμα της οποίας παρουσιάζεται στο διπλανό σχήμα.

Οι **συνεπείς διαδρομές Euler** των δικτυωμάτων PDN και PUN της συμπληρωματικής πύλης CMOS (**B', A, C'**) καθορίζουν τη σειρά στην οποία διατάσσονται οι είσοδοι της πύλης κατά το φυσικό σχεδιασμό της.



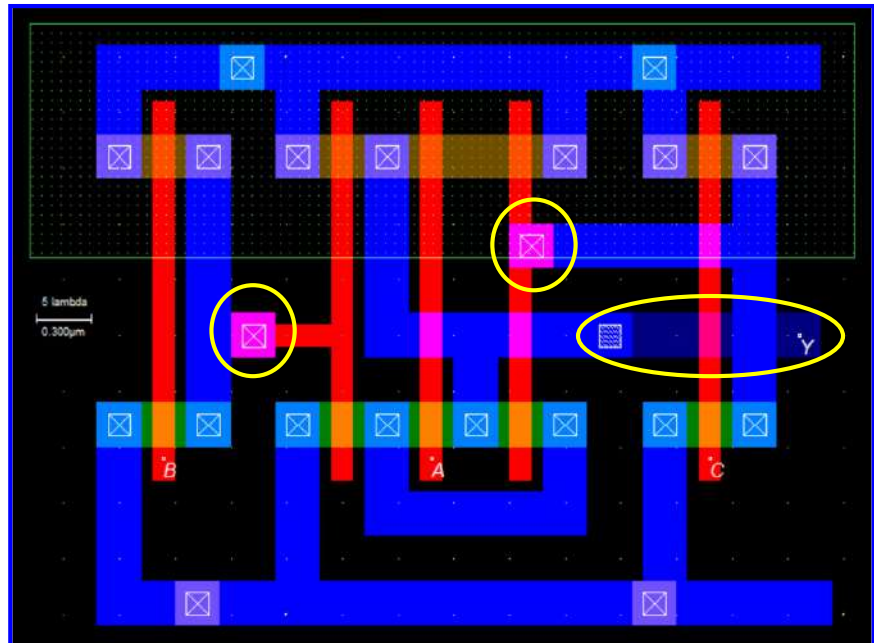
Παράδειγμα 4

Η συμπληρωματική πύλη συνδέεται με τους 2 αντιστροφείς μέσω επαφών μετάλλου πολυκρυσταλλικού πυριτίου.

Η έξοδος του κυκλώματος παρέχεται μέσω μιας γραμμής μετάλλου δευτέρου επιπέδου.

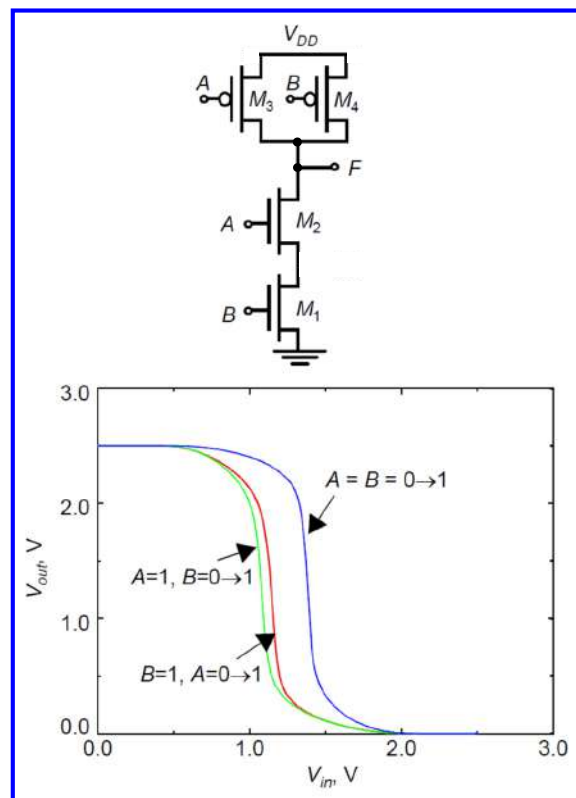
Οι γραμμές τροφοδοσίας και γείωσης, καθώς και το πηγάδι τύπου n, αποτελούν κοινές λωρίδες και για τις 3 πύλες του κυκλώματος.

Οι διαστάσεις των τρανζιστορ είναι: $L = 0.120 \mu\text{m}$, $W = 0.240 \mu\text{m}$.



Στατικές ιδιότητες συμπληρωματικής λογικής CMOS

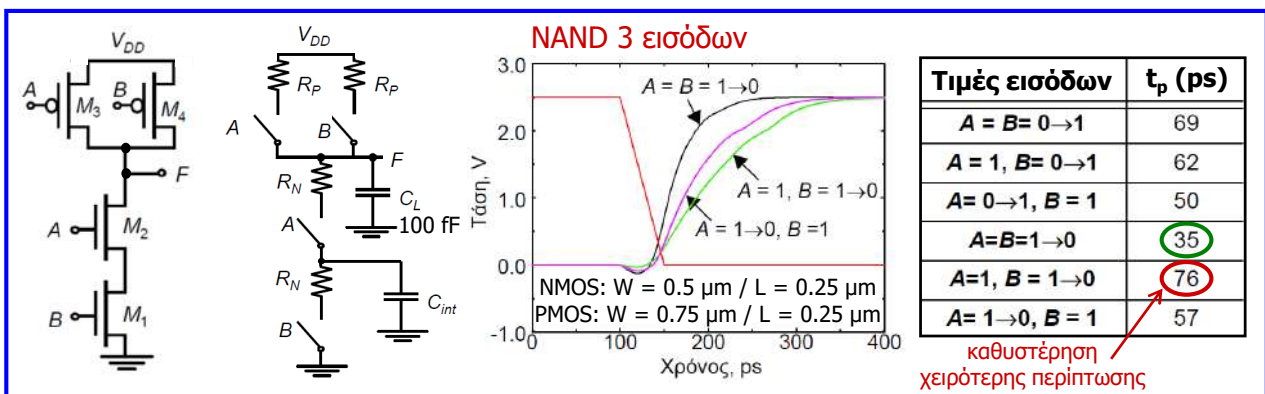
- Οι στατικές συμπληρωματικές πύλες CMOS έχουν τις θετικές στατικές ιδιότητες του αντιστροφέα.
- Παρουσιάζουν **εύρος ταλάντευσης τάσης** από την τάση τροφοδοσίας έως τη γείωση.
- Δεν παρουσιάζουν **στατική κατανάλωση ενέργειας**, αφού κάθε φορά άγει είτε το δίκτυωμα PDN είτε το δίκτυωμα PUN.
- Η **χαρακτηριστική μεταφοράς τάσης** και τα **περιθώρια θορύβου** εξαρτώνται από τις **τιμές των εισόδων** της πύλης.
- Στη στατική πύλη NAND 2 εισόδων, υπάρχουν 3 πιθανοί συνδυασμοί εισόδων που μεταβάλουν την τιμή εξόδου από 1 σε 0: $A = B = 0 \rightarrow 1$, $A = 1, B = 0 \rightarrow 1$, $B = 1, A = 0 \rightarrow 1$.
- Η διαφορά μεταξύ της πρώτης και των υπόλοιπων περιπτώσεων οφείλεται στο ότι στην πρώτη και τα 2 τρανζιστορ του PUN άγουν για $A = B = 0$, δημιουργώντας μία ισχυρή οδήγηση προς τα πάνω που προκαλεί μετατόπιση της χαρακτηριστικής προς τα δεξιά.



Καθυστέρηση διάδοσης

- Στην ενότητα 4, υπολογίστηκε ότι η **καθυστέρηση διάδοσης** του **αντιστροφέα CMOS** είναι: $t_p = 0.69 \cdot R \cdot C_L$, όπου R η μέση αντίσταση αγωγής του τρανζίστορ (NMOS για $H \rightarrow L$ μετάβαση εξόδου, PMOS για $L \rightarrow H$ μετάβαση εξόδου) και C_L η χωρητικότητα εξόδου που συγκεντρώνει όλες τις χωρητικότητες που συνδέονται στην έξοδο.
- Ο υπολογισμός της καθυστέρησης διάδοσης συμπληρωματικών πυλών CMOS, πραγματοποιείται με τρόπο παρόμοιο με αυτόν του στατικού αντιστροφέα CMOS.
- Κάθε τρανζίστορ μοντελοποιείται ως μία αντίσταση σε σειρά με έναν ιδανικό διακόπτη.
- Το λογικό κύκλωμα μιας πύλης μετατρέπεται σε ένα **ισοδύναμο δικτύωμα RC**, το οποίο περιλαμβάνει και τις **χωρητικότητες των εσωτερικών κόμβων**.
- Όταν δύο ή περισσότερα τρανζίστορ συνδέονται σε σειρά, τότε η χωρητικότητα των κοινών ακροδεκτών τους (δηλαδή των εσωτερικών κόμβων μιας πύλης), οφείλεται στις περιοχές πηγής/υποδοχής και στη χωρητικότητα επικάλυψης πύλης των δύο τρανζίστορ.
- Στις συμπληρωματικές πύλες CMOS, εκτός από την χωρητικότητα εξόδου (στην οποία συμμετέχουν όλες οι χωρητικότητες που συνδέονται στον κόμβο εξόδου της πύλης), στην **καθυστέρηση διάδοσης επιδρούν** και οι προαναφερόμενες **χωρητικότητες των εσωτερικών κόμβων**.
- Επίσης, η **καθυστέρηση διάδοσης** μιας συμπληρωματικής πύλης CMOS, **εξαρτάται** από τις τιμές των εισόδων της πύλης.

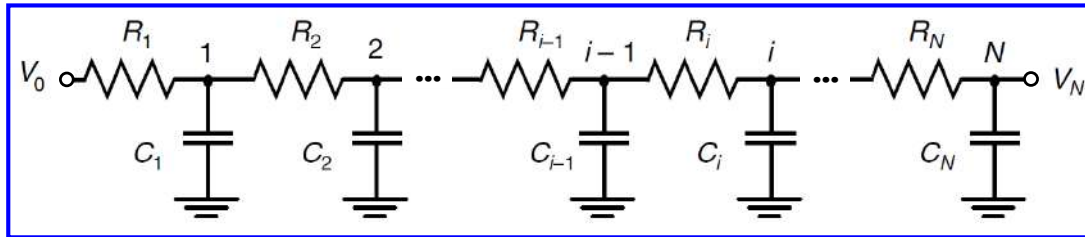
Καθυστέρηση διάδοσης



- Κατά την μετάβαση της εξόδου από χαμηλή σε υψηλή στάθμη, όταν και οι δύο εισοδοί μεταβαίνουν σε χαμηλή στάθμη, η καθυστέρηση λόγω της C_L είναι $0.69 \cdot (R_p/2) \cdot C_L$.
- Όταν όμως μόνο μία από τις εισόδους μεταβαίνει σε χαμηλή στάθμη, η καθυστέρηση λόγω της C_L είναι $0.69 \cdot R_p \cdot C_L$.
- Κατά τη μετάβαση της εξόδου από υψηλή σε χαμηλή στάθμη, όταν και οι δύο εισοδοί μεταβαίνουν σε υψηλή στάθμη, η καθυστέρηση λόγω της C_L είναι $0.69 \cdot (2 \cdot R_n) \cdot C_L$.
- Όταν $A = 1$ και η B μεταβαίνει σε χαμηλή στάθμη, το τρανζίστορ PMOS M_4 πρέπει να φορτίσει (εκτός της C_L) και την C_{int} , γεγονός που αυξάνει την καθυστέρηση σε σχέση με την περίπτωση όπου $B = 1$ και η A μεταβαίνει σε χαμηλή στάθμη.

Καθυστέρηση Elmore

- Για να προχωρήσουμε στον υπολογισμό της καθυστέρησης συμπληρωματικών πυλών CMOS, λαμβάνοντας υπόψη τις χωρητικότητες των εσωτερικών κόμβων τους, θα χρησιμοποιήσουμε τον **τύπο καθυστέρησης του Elmore (Elmore delay formula)** για μια **αλυσίδα RC**, που εξετάσαμε στην ενότητα 4.
- Η καθυστέρηση που προκύπτει από τον τύπο του Elmore, είναι **ισοδύναμη** με τη **σταθερά χρόνου (τ)** πρώτης τάξης της **αλυσίδας RC**.



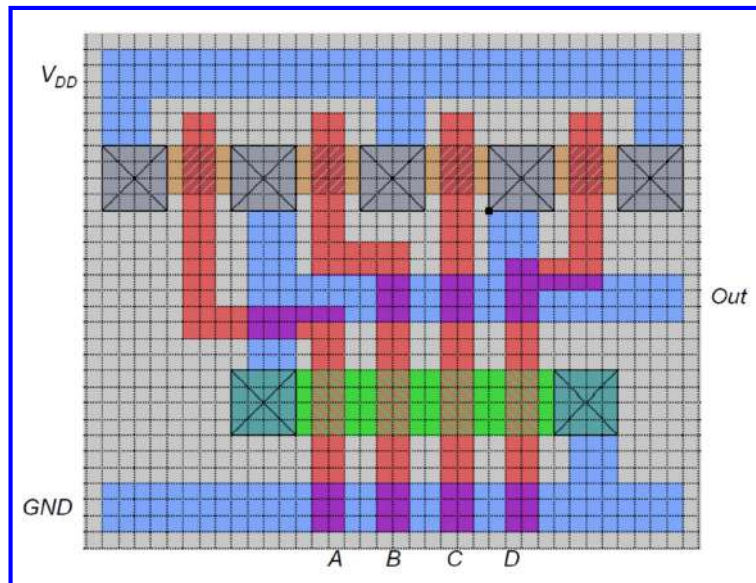
$$\tau = \sum_{i=1}^N (C_i \cdot \sum_{j=1}^i R_j)$$

δηλαδή:

$$\tau_i = C_1 \cdot R_1 + C_2 \cdot (R_1 + R_2) + \dots + C_i \cdot (R_1 + R_2 + \dots + R_i)$$

Παράδειγμα 5

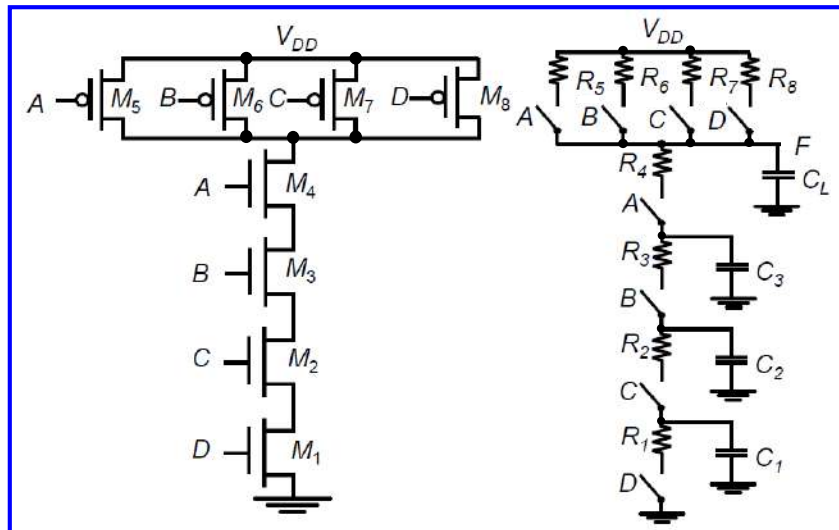
- Υπολογίζουμε την καθυστέρηση διάδοσης πύλης NAND 4 εισόδων για μετάβαση της εξόδου από υψηλή σε χαμηλή στάθμη. Δίνονται: το φυσικό σχέδιο της πύλης (κάθε τετράγωνο = $\lambda = 0.125 \mu\text{m}$), ο πίνακας παραμέτρων χωρητικότητας των τρανζιστορ, η ισοδύναμη αντίσταση του τρανζιστορ NMOS $R_N = 6.5 \text{ k}\Omega$ και το φορτίο εξόδου της πύλης $C_f = 5 \text{ fF}$.
- Υποθέτουμε ότι η συνεισφορά των χωρητικότητας πύλης-πηγής και πύλης-υποδοχής στις χωρητικότητες των κόμβων του κυκλώματος, αποτελείται μόνο από τη συνιστώσα επικάλυψης και παραβλέπουμε τις χωρητικότητες γραμμών διασύνδεσης.



	$C_{\text{gso/gdo}}$ (fF/ μm)	C_{jo} (fF/ μm^2)	C_{jswo} (fF/ μm)	K_{eqn}	K_{eqsw}
NMOS	0.31	2	0.28	0.57	0.79
PMOS	0.27	1.9	0.22	0.61	0.86

Παράδειγμα 5

- Από το φυσικό σχέδιο προκύπτει ότι οι διαστάσεις των NMOS είναι: $W = 0.5 \mu\text{m}$, $L = 0.25 \mu\text{m}$ και των PMOS είναι: $W = 0.375 \mu\text{m}$, $L = 0.25 \mu\text{m}$.
- Με βάση τον τύπο υπολογισμού της σταθεράς χρόνου της αλυσίδας (Elmore), η ζητούμενη καθυστέρηση υπολογίζεται ως εξής:



$$t_{pHL} = 0.69 \cdot [R_1 \cdot C_1 + (R_1 + R_2) \cdot C_2 + (R_1 + R_2 + R_3) \cdot C_3 + (R_1 + R_2 + R_3 + R_4) \cdot C_L]$$

και αφού όλα τα τρανζίστορ της αλυσίδας είναι όμοια με αντίσταση R_N :

$$t_{pHL} = 0.69 R_N (C_1 + 2 \cdot C_2 + 3 \cdot C_3 + 4 \cdot C_L)$$

Παράδειγμα 5

Από το φυσικό σχέδιο της πύλης, προκύπτουν οι τιμές επιφάνειας (A) και περιμέτρου (P) των περιοχών πηγής (S) και υποδοχής (D) των οκτώ (8) τρανζίστορ της πύλης, που δίνονται στον παρακάτω πίνακα και θα χρησιμοποιηθούν για τον υπολογισμό των χωρητικότητων των επαφών πηγής και υποδοχής των τρανζίστορ:

Τρανζίστορ	AS (μm^2)	AD (μm^2)	PS (μm)	PD (μm)
1	0.3125	0.0625	1.75	0.25
2	0.0625	0.0625	0.25	0.25
3	0.0625	0.0625	0.25	0.25
4	0.0625	0.3125	0.25	1.75
5	0.296875	0.171875	1.875	0.875
6	0.171875	0.171875	0.875	0.875
7	0.171875	0.171875	0.875	0.875
8	0.296875	0.171875	1.875	0.875

Παράδειγμα 5

- Από το λογικό κύκλωμα της πύλης, διαπιστώνουμε τις χωρητικότητες των τρανζίστορ που συνεισφέρουν στις συγκεντρωτικές χωρητικότητες των εσωτερικών κόμβων της πύλης (C_1, C_2, C_3) και στη συγκεντρωτική χωρητικότητα εξόδου (C_L).
- Χρησιμοποιώντας τις παραμέτρους χωρητικότητας των τρανζίστορ και τη χωρητικότητα φορτίου, υπολογίζουμε τις 4 προαναφερόμενες χωρητικότητες.

Χωρητικότητα	Συνεισφορές (H → L)	Τιμές (fF)
C_1	$C_{d1} + C_{s2} + 2 \times C_{gd1} + 2 \times C_{gs2}$	$(0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + (0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + 2 \times (0.31 \times 0.5) + 2 \times (0.31 \times 0.5) = 0.85$
C_2	$C_{d2} + C_{s3} + 2 \times C_{gd2} + 2 \times C_{gs3}$	$(0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + (0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + 2 \times (0.31 \times 0.5) + 2 \times (0.31 \times 0.5) = 0.85$
C_3	$C_{d3} + C_{s4} + 2 \times C_{gd3} + 2 \times C_{gs4}$	$(0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + (0.57 \times 0.0625 \times 2 + 0.61 \times 0.25 \times 0.28) + 2 \times (0.31 \times 0.5) + 2 \times (0.31 \times 0.5) = 0.85$
C_L	$C_{d4} + 2 \times C_{gd4} + C_{d5} + C_{d6} + C_{d7} + C_{d8} + 2 \times C_{gd5} + 2 \times C_{gd6} + 2 \times C_{gd7} + 2 \times C_{gd8} = C_{d4} + 4 \times C_{d5} + 4 \times 2 \times C_{gd6} + C_f$	$(0.57 \times 0.3125 \times 2 + 0.61 \times 1.75 \times 0.28) + 2 \times (0.31 \times 0.5) + 4 \times (0.79 \times 0.171875 \times 1.9 + 0.86 \times 0.875 \times 0.22) + 4 \times 2 \times (0.27 \times 0.375) + 5 = 8.5$

Παράδειγμα 5

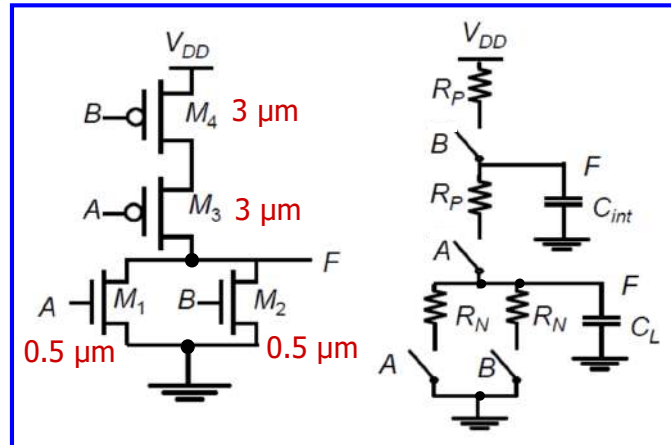
Για τον υπολογισμό της ζητούμενης καθυστέρησης, αντικαθιστούμε τις χωρητικότητες των εσωτερικών κόμβων και της εξόδου της πύλης που υπολογίσαμε, καθώς και τη μέση αντίσταση αγωγής του τρανζίστορ NMOS, στη σχέση που καταλήξαμε για την καθυστέρηση της πύλης που αφορά τη μετάβαση της εξόδου από υψηλή σε χαμηλή στάθμη:

$$t_{pHL} = 0.69 \cdot R_N \cdot (C_1 + 2 \cdot C_2 + 3 \cdot C_3 + 4 \cdot C_L) \Rightarrow$$

$$t_{pHL} = 0.69 \cdot 6.5 \text{ k}\Omega \cdot (0.85 + 2 \cdot 0.85 + 3 \cdot 0.85 + 4 \cdot 8.5) \text{ fF} \Rightarrow t_{pHL} = 175.4 \text{ ps}$$

Καθορισμός διαστάσεων τρανζίστορ λογικής πύλης

Καθορισμός διαστάσεων των τρανζίστορ μιας πύλης με κριτήριο την καθυστέρησή της



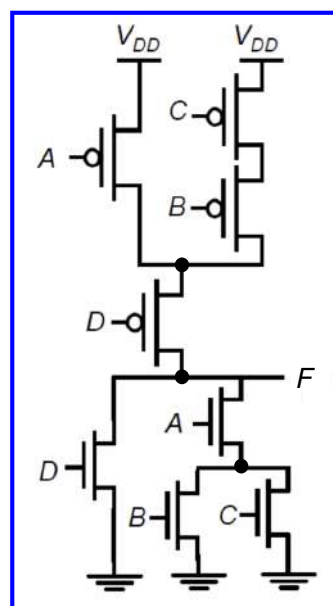
NOR 2 εισόδων

- Για να καθορίσουμε τις διαστάσεις των τρανζίστορ μιας πύλης NOR 2 εισόδων, έτσι ώστε να έχει περίπου την ίδια καθυστέρηση με έναν αντιστροφέα CMOS (NMOS: $W = 0.5 \mu\text{m} / 0.25 \mu\text{m}$, PMOS: $1.5 \mu\text{m} / 0.25 \mu\text{m}$), επειδή η PD διαδρομή στη χειρότερη περίπτωση περιλαμβάνει ένα τρανζίστορ, τα NMOS τρανζίστορ μπορούν να έχουν το ίδιο πλάτος με το πλάτος του NMOS τρανζίστορ του αντιστροφέα.
- Για να οδηγηθεί η έξοδος σε υψηλή στάθμη, πρέπει να άγουν και τα δυο τρανζίστορ PMOS και αφού οι αντιστάσεις προστίθενται, τα πλάτη τους πρέπει να διπλασιαστούν συγκρινόμενα με το πλάτος του τρανζίστορ PMOS του αντιστροφέα και να είναι $3 \mu\text{m}$.

Παράδειγμα 6

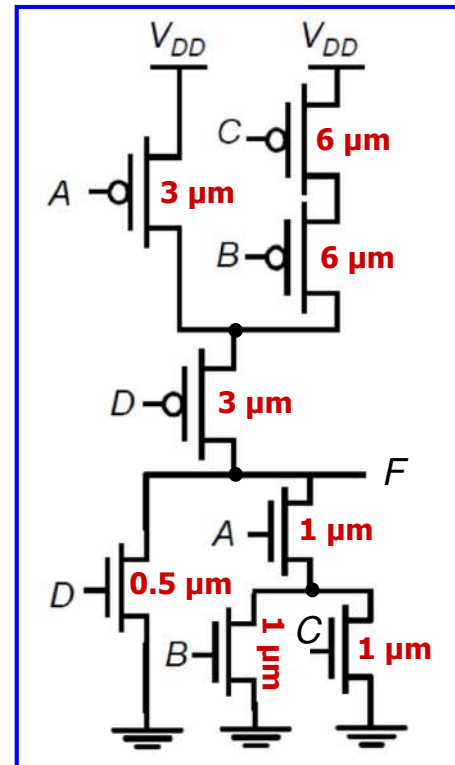
Καθορίζουμε τις διαστάσεις των τρανζίστορ σύνθετης λογικής πύλης, ώστε αυτή να έχει περίπου την ίδια καθυστέρηση (για μετάβαση της εξόδου από χαμηλή σε υψηλή στάθμη και για μετάβαση της εξόδου από υψηλή σε χαμηλή στάθμη) με αντιστροφέα CMOS με τρανζίστορ διαστάσεων NMOS: $W = 0.5 \mu\text{m} / L = 0.25 \mu\text{m}$, PMOS: $W = 1.5 \mu\text{m} / L = 0.25 \mu\text{m}$.

$$F = [D + A \cdot (B + C)]'$$



Παράδειγμα 6

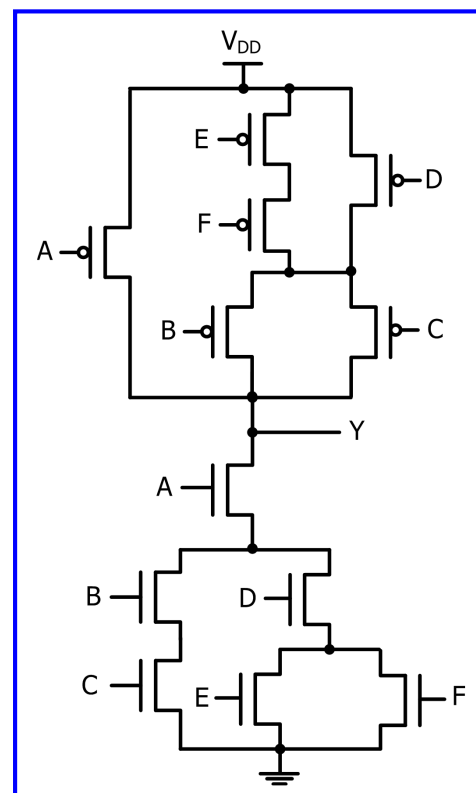
- Πρόκειται για πύλη τεχνολογίας 0.25 μm , συνεπώς διατηρούμε όλα τα τρανζίστορ με μήκος καναλιού το ελάχιστο δυνατό των 0.25 μm .
- Τα πιο κρίσιμα τρανζίστορ κατά τον καθορισμό του πλάτους καναλιού, είναι εκείνα που είναι συνδεδεμένα σε σειρά.
- Όταν N τρανζίστορ είναι συνδεδεμένα σε σειρά και επιθυμούμε να αποκτήσουν την ίδια αντίσταση αγωγής με εκείνη ενός απλού τρανζίστορ, τότε το πλάτος καθενός από τα σειριακά τρανζίστορ προκύπτει εάν πολλαπλασιάσουμε το πλάτος του απλού τρανζίστορ με το πλήθος N.
- Τα πλάτος των τρανζίστορ που είναι συνδεδεμένα παράλληλα τίθεται ίσο με εκείνο του απλού τρανζίστορ, αφού η μέγιστη αντίστασή αγωγής των παράλληλα συνδεδεμένων τρανζίστορ είναι ίση με την αντίσταση του καθενός από αυτά.
- Η τεχνική αυτή εφαρμόζεται επαναληπτικά σε **κάθε κλάδο των δικτυωμάτων PUN και PDN** της πύλης.



Παράδειγμα 7

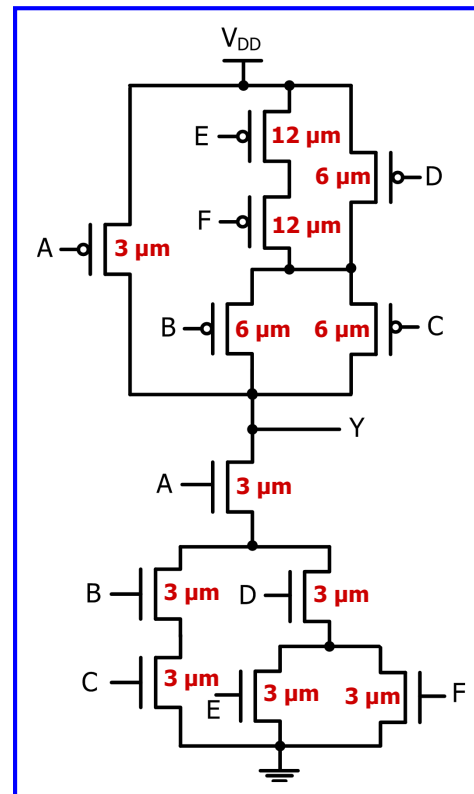
- Από το κυκλωματικό διάγραμμα σύνθετης πύλης, αφού προσδιορίσουμε τη συνάρτηση που υλοποιεί, καθορίζουμε τις διαστάσεις των τρανζίστορ της, ώστε αυτή να έχει περίπου την ίδια καθυστέρηση με αντιστροφέα CMOS που αποτελείται από τρανζίστορ με τις ελάχιστες δυνατές διαστάσεις.
- Η καθυστέρηση θα πρέπει να είναι περίπου ίδια για μετάβαση της εξόδου από χαμηλή σε υψηλή στάθμη και για μετάβαση της εξόδου από υψηλή σε χαμηλή στάθμη.
- Δίνεται ότι η κινητικότητα των ηλεκτρονίων είναι τριπλάσια από εκείνη των οπών, καθώς και ότι οι ελάχιστες διαστάσεις ενός τρανζίστορ είναι $L = 0.5 \mu\text{m}$ και $W = 1 \mu\text{m}$.
- Με βάση το δικτύωμα PDN προκύπτει ότι η σύνθετη πύλη υλοποιεί τη συνάρτηση:

$$Y = \{A \cdot [B \cdot C + D \cdot (E + F)]\}'$$



Παράδειγμα 7

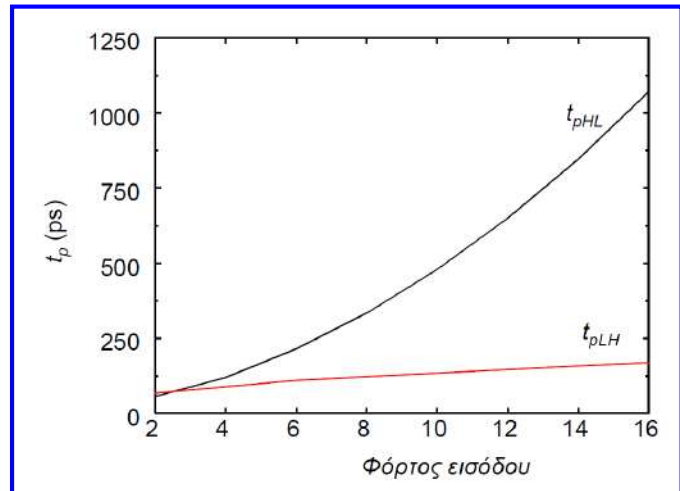
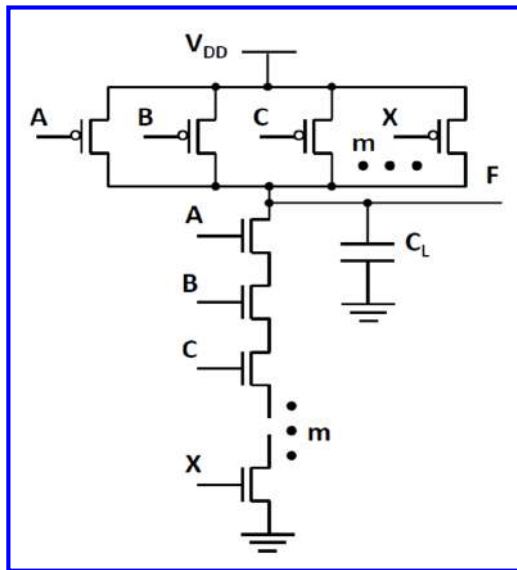
- Πρόκειται για πύλη τεχνολογίας $0.5 \mu\text{m}$, συνεπώς διατηρούμε όλα τα τρανζίστορ με μήκος καναλιού το ελάχιστο δυνατό των $0.5 \mu\text{m}$.
- Για να παρουσιάζει ένας αντιστροφέας CMOS με ελάχιστες διαστάσεις τρανζίστορ, την ίδια καθυστέρηση για ανοδική και καθοδική μετάβαση της εξόδου του, πρέπει όταν το τρανζίστορ NMOS έχει το ελάχιστο δυνατό πλάτος ($W_n = 1 \mu\text{m}$), το τρανζίστορ PMOS να έχει τριπλάσιο πλάτος ($W_p = 3 \mu\text{m}$), λόγω της διαφοράς κινητικότητας ηλεκτρονίων – οπών, έτσι ώστε τα δύο τρανζίστορ να έχουν περίπου την ίδια αντίσταση.
- Για τον υπολογισμό του πλάτους κάθε τρανζίστορ, εφαρμόζουμε την τεχνική του προηγούμενου παραδείγματος, επαναληπτικά σε κάθε κλάδο των δικτυωμάτων PUN και PDN της πύλης, έτσι ώστε στη χειρότερη περίπτωση το δικτύωμα PDN να παρουσιάζει ίση αντίσταση με το τρανζίστορ NMOS του αντιστροφέα και το δικτύωμα PUN να παρουσιάζει ίση αντίσταση με το τρανζίστορ PMOS του αντιστροφέα.



Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου

- Όταν αυξάνεται η πολυπλοκότητα μιας πύλης (δηλαδή ο φόρτος εισόδου), ο αριθμός των τρανζίστορ που απαιτούνται για την υλοποίησή της ($2 \cdot N$ τρανζίστορ για N εισόδους) είναι υψηλός και απαιτείται μεγάλη επιφάνεια υλοποίησης.
- Το δεύτερο πρόβλημα είναι ότι η ενδογενής καθυστέρηση διάδοσης μιας συμπληρωματικής πύλης CMOS αυξάνεται σημαντικά ως συνάρτηση του φόρτου εισόδου.
- Για παράδειγμα, σε μία πύλη NAND με πολλές εισόδους, η γραμμική αύξηση του πλήθους των παράλληλα συνδεδεμένων τρανζίστορ PMOS που συνδέονται στην έξοδο της πύλης, οδηγεί σε γραμμική αύξηση της καθυστέρησης μετάβασης από χαμηλή σε υψηλή στάθμη, αφού αυξάνεται γραμμικά η χωρητικότητα, ενώ η αντίσταση του δικτυώματος PUN (στη χειρότερη περίπτωση) παραμένει αμετάβλητη.
- Η καθυστέρηση από υψηλή σε χαμηλή στάθμη παρουσιάζει περίπου τετραγωνική αύξηση σε σχέση με τον φόρτο εισόδου, αφού με αύξηση του πλήθους των τρανζίστορ προκαλείται ταυτόχρονη αύξηση της αντίστασης του δικτυώματος PDN (σειριακά συνδεδεμένα τρανζίστορ) και της χωρητικότητας φορτίου.
- Έτσι έχουν αναπτυχθεί τεχνικές για τον περιορισμό της καθυστέρησης σε κυκλώματα CMOS με υψηλό φόρτο εισόδου.

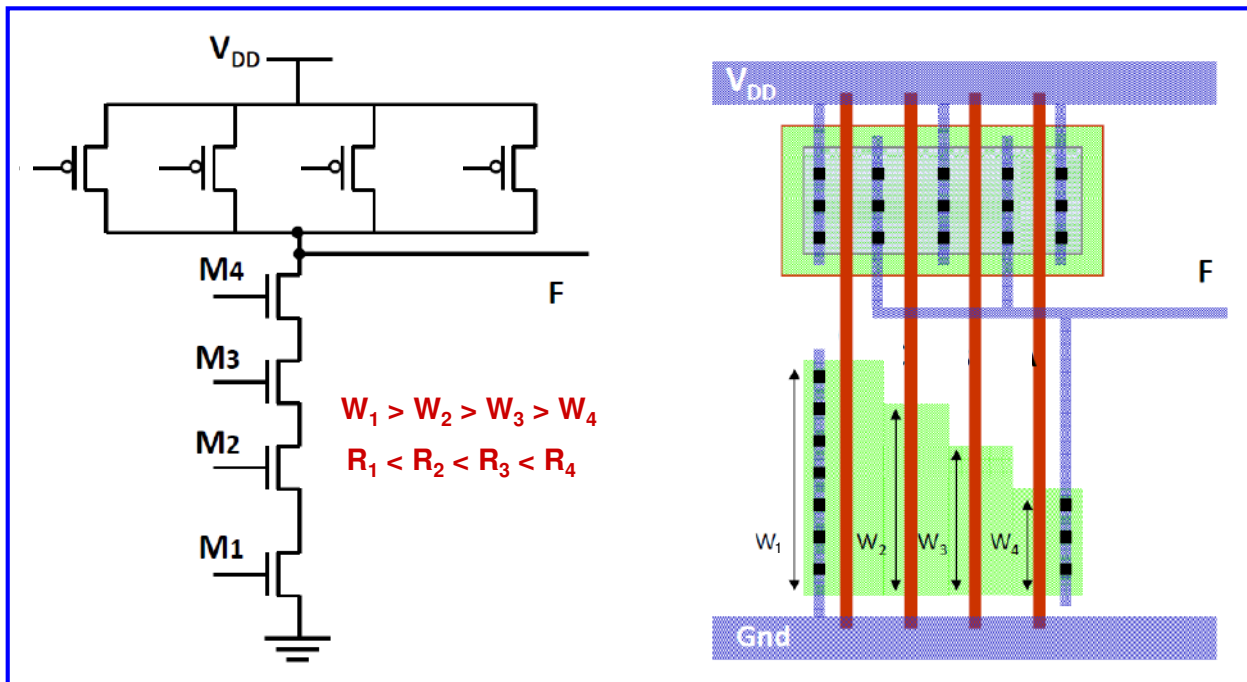
Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου



Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου

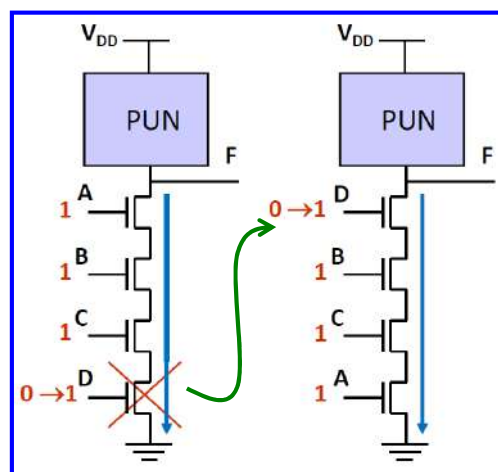
- Η πλέον εμφανής λύση είναι η **αύξηση του πλάτους των σειριακά συνδεδεμένων τρανζίστορ**, αφού έτσι μειώνεται η αντίσταση της αλυσίδας.
- Ωστόσο, αυξάνοντας το πλάτος των τρανζίστορ καταλήγουμε σε μεγαλύτερες παρασιτικές χωρητικότητες, οι οποίες όχι μόνο επηρεάζουν την καθυστέρηση διάδοσης της πύλης, αλλά δημιουργούν μεγαλύτερο φορτίο για την πύλη που προηγείται.
- Όταν η χωρητικότητα εξόδου κυριαρχείται από την ενδογενή χωρητικότητα της πύλης, με την αύξηση του πλάτους των τρανζίστορ προκαλείται μόνο αυτοφόρτωση και η καθυστέρηση διάδοσης παραμένει ανεπηρέαστη.
- Συνεπώς, η αύξηση του πλάτους των τρανζίστορ οδηγεί σε μείωση της καθυστέρησης όταν η χωρητικότητα εξόδου κυριαρχείται από το φορτίο (φόρτο) εξόδου.
- Μια **εναλλακτική λύση είναι η προοδευτική αλλαγή του πλάτους των τρανζίστορ**.
- Η αντίσταση του τρανζίστορ που συνδέεται στη γείωση (M_1) εμφανίζεται N φορές στην έκφραση της καθυστέρησης πύλης, η αντίσταση του M_2 εμφανίζεται $N - 1$ φορές, κ.ο.κ.
- Είναι λοιπόν φανερό ότι εάν η αντίσταση του M_1 γίνει η μικρότερη από όλες, η αντίσταση του M_2 η αμέσως μεγαλύτερη κ.ο.κ., μειώνεται η αντίσταση της αλυσίδας και η αύξηση της χωρητικότητας είναι περιορισμένη.
- Ωστόσο, ενώ η προοδευτική αλλαγή του πλάτους των τρανζίστορ είναι εύκολη σε ένα σχηματικό διάγραμμα, δεν είναι τόσο απλή σε μία πραγματική φυσική υλοποίηση.

Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου



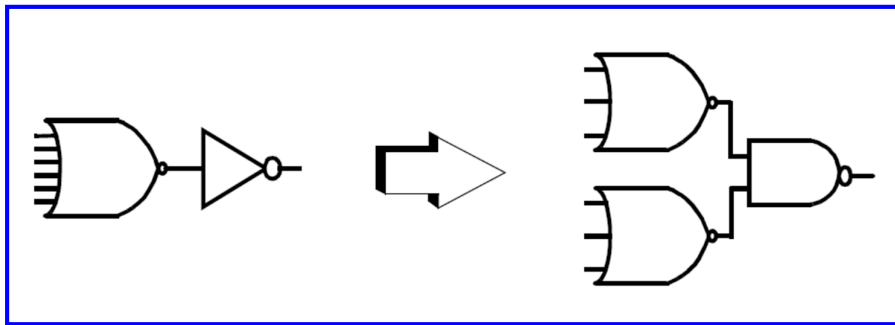
Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου

- Όλα τα σήματα εισόδου μιας πύλης δεν φτάνουν στις εισόδους της την ίδια χρονική στιγμή, λόγω διαφορετικής καθυστέρησης διάδοσης προηγούμενων πυλών.
- **Κρίσιμο σήμα εισόδου** σε μία πύλη είναι το τελευταίο σήμα που λαμβάνει σταθερή τιμή.
- Η διαδρομή διαμέσου της λογικής που καθορίζει την τελική καθυστέρηση της δομής αναφέρεται ως **κρίσιμη διαδρομή (critical path)**.
- Με τοποθέτηση των **τρανζίστορ κρίσιμης διαδρομής (δηλαδή αυτών με τη μεγαλύτερη καθυστέρηση) κοντά στην έξοδο της πύλης**, επιτυγχάνεται μείωση της καθυστέρησης.



Καθυστέρηση σε κυκλώματα με υψηλό φόρτο εισόδου

- Αναδιατάσσοντας την ή τις λογικές εκφράσεις που διέπουν μια συμπληρωματική πύλη CMOS, είναι δυνατό να μειωθεί ο φόρτος εισόδου και έτσι να μειωθεί η καθυστέρηση της πύλης.
- Η τετραγωνική εξάρτηση της καθυστέρησης της πύλης από το φόρτο εισόδου κάνει μια πύλη πολλών εισόδων (π.χ. NOR 6 εισόδων) εξαιρετικά αργή.
- Η **τμηματοποίηση μιας πύλης (λογική αναδόμηση)** σε περισσότερες πύλες που η καθεμία έχει λιγότερες εισόδους, μπορεί να οδηγήσει σε αύξηση της ταχύτητας, η οποία μπορεί να αντισταθμίσει την επιπλέον καθυστέρηση που πιθανώς προκαλείται από αλλαγές στη λογική δομή (π.χ. αντικατάσταση αντιστροφέα με πύλη NAND κατά τη λογική αναδόμηση μιας πύλης NOR 6 εισόδων).



Καθυστέρηση σε δικτυώματα λογικής πολλών σταδίων

- Στην ενότητα 4, αναλύσαμε μια αλυσίδα αντιστροφέων ώστε να διαπιστώσουμε το μέγεθος των αντιστροφέων και τον αριθμό των σταδίων (αντιστροφέων) της αλυσίδας που οδηγούν στην ελάχιστη καθυστέρηση διάδοσης της αλυσίδας.
- Τροποποιούμε την έκφραση καθυστέρησης του αντιστροφέα, ώστε να γενικευτεί για συμπληρωματικές πύλες CMOS:

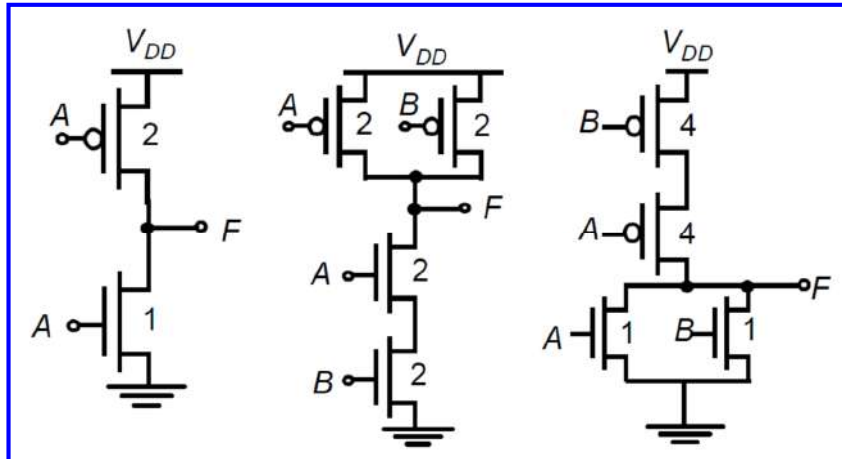
Ενδογενής καθυστέρηση αντιστροφέα

$$t_p = t_{p0} \left(1 + \frac{C_{ext}}{\gamma C_g} \right) = t_{p0} (1 + f/\gamma) \rightarrow t_p = t_{p0} (p + gf/\gamma) \quad \gamma = C_{int} / C_g$$

- Ο ενεργός φόρτος εξόδου (f) αναφέρεται και ως ηλεκτρική προσπάθεια (electrical effort).
- p (παράγοντας ενδογενούς καθυστέρησης) = λόγος της ενδογενούς (χωρίς φορτίο) καθυστέρησης της πύλης προς την ενδογενή καθυστέρηση του αντιστροφέα και προφανώς όσο πιο σύνθετη είναι μια πύλη τόσο μεγαλύτερη είναι η τιμή του λόγου p .
- Για παράδειγμα, ο παράγοντας ενδογενούς καθυστέρησης (p) είναι 1 για τον αντιστροφέα και n για μια πύλη NAND ή NOR με n εισόδους.
- g είναι η λογική προσπάθεια (logical effort), δηλαδή το πόσο μεγαλύτερη χωρητικότητα εισόδου πρέπει να διαθέτει μια λογική πύλη, έτσι ώστε να παράξει το ίδιο ρεύμα εξόδου με έναν αντιστροφέα (εξαρτάται από την τοπολογία της λογικής πύλης).

Παράδειγμα 8

- Υπολογίζουμε τη λογική προσπάθεια συμπληρωματικών πυλών CMOS NAND και NOR 2 εισόδων.
- Υποθέτουμε λόγο πλατών για τα PMOS και NMOS τρανζίστορ του αντιστροφέα ίσο με 2.
- Καθορίζουμε το πλάτος των τρανζίστορ των πυλών NAND και NOR 2 εισόδων, ώστε οι ισοδύναμες αντιστάσεις τους να ισούνται με την αντίσταση του αντιστροφέα.



Παράδειγμα 8

- Η λογική προσπάθεια μιας πύλης υπολογίζεται ως ο λόγος της χωρητικότητας εισόδου της πύλης προς την χωρητικότητα εισόδου ενός αντιστροφέα που έχει την ίδια ικανότητα παραγωγής ρεύματος εξόδου με την πύλη.
- Η συνολική χωρητικότητα εισόδου ενός αντιστροφέα ελάχιστου μεγέθους είναι τριπλάσια από τη χωρητικότητα πύλης ενός τρανζίστορ NMOS με ελάχιστο πλάτος καναλιού (C_{unit}), δηλαδή, ισούται με $3 \cdot C_{unit}$.
- Μετά τον καθορισμό του πλάτους καναλιού των τρανζίστορ των πυλών, ώστε οι ισοδύναμες αντιστάσεις τους, στη χειρότερη περίπτωση, να ισούνται με την αντίσταση ενός αντιστροφέα, η συνολική χωρητικότητα **κάθε εισόδου** της πύλης NAND είναι $4 \cdot C_{unit}$ ή $4/3$ της χωρητικότητας εισόδου του αντιστροφέα.
- Παρομοίως, προκύπτει ότι η συνολική χωρητικότητα κάθε εισόδου της πύλης NOR είναι $5/3$ της συνολικής χωρητικότητας εισόδου του αντιστροφέα.
- Αυτό σημαίνει ότι, οι πύλες NAND και NOR με 2 εισόδους είναι κατά $1.33 (= 4/3)$ και $1.66 (= 5/3)$ φορές, αντίστοιχα, χειρότερες στην παραγωγή ρεύματος εξόδου (ικανότητα οδήγησης φορτίου) από αυτήν ενός αντιστροφέα με ίση χωρητικότητα εισόδου.
- Αυτό επηρεάζει την καθυστέρηση που οφείλεται στη χωρητικότητα φορτίου, αυξάνοντάς την κατά τον ίδιο παράγοντα.
- Από τα παραπάνω προκύπτει ότι: $g_{NAND2} = 4/3$ και $g_{NOR2} = 5/3$.

Καθυστέρηση σε δικτυώματα λογικής πολλών σταδίων

Λογική προσπάθεια βασικών συμπληρωματικών πυλών CMOS

ΠΥΛΗ	ΑΡΙΘΜΟΣ ΕΙΣΟΔΩΝ			
	1	2	3	n
Αντιστροφέας	1			
NAND		4/3	5/3	(n+2)/3
NOR		5/3	7/3	(2n+1)/3

Καθυστέρηση σε δικτυώματα λογικής πολλών σταδίων

- **Συνολική καθυστέρηση** μιας **διαδρομής** μέσω ενός λογικού συνδυαστικού κυκλώματος πολλών σταδίων:

$$t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N \left(p_j + \frac{f_j g_j}{\gamma} \right)$$

- Χρησιμοποιώντας ανάλυση αντίστοιχη με εκείνη της αλυσίδας αντιστροφέων, καταλήγουμε στο ότι **για να επιτευχθεί ελάχιστη καθυστέρηση διαδρομής**, πρέπει **κάθε στάδιο (πύλη της διαδρομής)** να έχει ίδιο γινόμενο ηλεκτρικής (f) και λογικής (g) προσπάθειας ή **ίδια προσπάθεια (h)**:

$$f_1 \cdot g_1 = f_2 \cdot g_2 = \dots = f_N \cdot g_N \Rightarrow h_1 = h_2 = \dots = h_N$$

- **Λογική προσπάθεια** και **ηλεκτρική προσπάθεια διαδρομής**:

$$G = g_1 \cdot g_2 \cdot \dots \cdot g_N$$

$$F = f_1 \cdot f_2 \cdot \dots \cdot f_N = C_L / C_{g1}$$

- Όταν σε κόμβο (έξοδο πύλης) της υπό ανάλυση διαδρομής υπάρχει διακλάδωση, τότε ένα μέρος του ρεύματος οδήγησης κατευθύνεται στη διαδρομή, ενώ ένα άλλο μέρος κατευθύνεται εκτός της διαδρομής. **Προσπάθεια διακλάδωσης b λογικής πύλης**:

$$b = (C_{on-path} + C_{off-path}) / C_{on-path}$$

Καθυστέρηση σε δικτυώματα λογικής πολλών σταδίων

- $C_{on-path}$ = χωρητικότητα φορτίου πύλης κατά μήκος της υπό ανάλυση διαδρομής.
- $C_{off-path}$ = χωρητικότητα συνδέσεων εκτός της υπό ανάλυση διαδρομής.
- Η προσπάθεια διακλάδωσης είναι 1, όταν δεν υπάρχει διακλάδωση.

- Προσπάθεια διακλάδωσης διαδρομής: $B = b_1 \cdot b_2 \dots \cdot b_N$

- Συνολική προσπάθεια διαδρομής: $H = G \cdot F \cdot B$

- Προσπάθεια πύλης (σταδίου) για ελάχιστη καθυστέρηση διαδρομής:

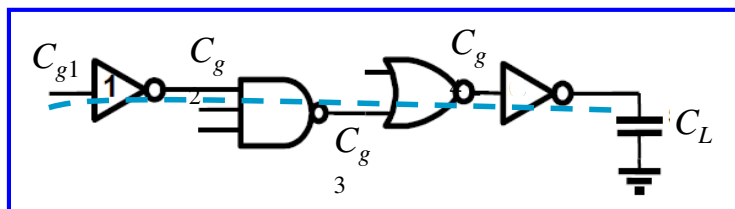
$$h = \sqrt[N]{H}$$

- Ελάχιστη καθυστέρηση διαδρομής:

$$D = t_{p0} \left(\sum_{j=1}^N p_j + \frac{N(\sqrt[N]{H})}{\gamma} \right)$$

Παράδειγμα 9

- Η έξοδος του παρακάτω λογικού συνδυαστικού δικτυώματος έχει χωρητικότητα φορτίου 5 φορές μεγαλύτερη από τη χωρητικότητα εισόδου της πρώτης πύλης του δικτυώματος, η οποία είναι ένας αντιστροφέας ελάχιστου μεγέθους με λόγο $W_p / W_n = 2$. Καθορίζουμε το μέγεθος των πυλών του λογικού δικτυώματος σε σχέση με το μέγεθος της πρώτης πύλης (δηλαδή του αντιστροφέα ελάχιστου μεγέθους), έτσι ώστε η καθυστέρηση της διαδρομής που υποδεικνύεται στο δικτύωμα να είναι ελάχιστη.



- Με βάση τον πίνακα της σελίδας 52, η λογική προσπάθεια της διαδρομής έχει ως εξής:

$$G = g_1 \cdot g_2 \cdot g_3 \cdot g_4 = 1 \cdot (5/3) \cdot (5/3) \cdot 1 = 2.77.$$

- Η ηλεκτρική προσπάθεια της διαδρομής είναι: $F = C_L / C_{g1} = (5 \cdot C_{g1}) / C_{g1} = 5$.
- Αφού δεν υπάρχουν διακλαδώσεις ($B = 1$), η προσπάθεια διαδρομής είναι:

$$H = G \cdot F \cdot B = 2.77 \cdot 5 \cdot 1 = 13.85.$$

Παράδειγμα 9

- Η **προσπάθεια πύλης** (σταδίου) για ελάχιστη καθυστέρηση διαδρομής έχει ως εξής:

$$h = H^{1/4} = 13.85^{1/4} = 1.93.$$

- Υπολογίζουμε την **ηλεκτρική προσπάθεια κάθε πύλης** της διαδρομής:

$$h = f_1 \cdot g_1 \Rightarrow f_1 = h / g_1 \Rightarrow f_1 = 1.93 / 1 = 1.93,$$

$$f_2 = h / g_2 \Rightarrow f_2 = 1.93 / (5 / 3) = 1.16, \quad f_3 = h / g_3 \Rightarrow f_3 = 1.93 / (5 / 3) = 1.16 \text{ και}$$

$$f_4 = h / g_4 \Rightarrow f_4 = 1.93 / 1 = 1.93.$$

- Στη συνέχεια υπολογίζουμε τα **μεγέθη των πυλών** της διαδρομής, ξεκινώντας από την τελευταία πύλη της διαδρομής:

$$f_4 = C_L / C_{g4} \Rightarrow f_4 = 5 \cdot C_{g1} / C_{g4} \Rightarrow C_{g4} = 5 \cdot C_{g1} / f_4 \Rightarrow C_{g4} = 2.59 \cdot C_{g1},$$

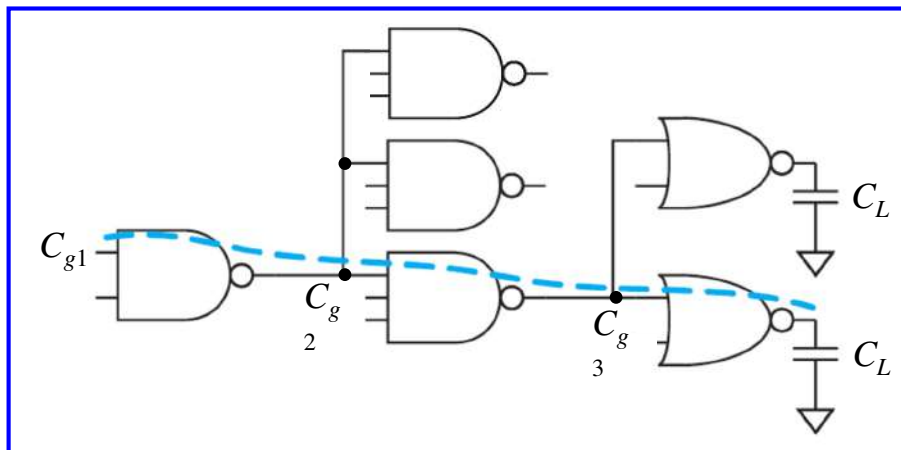
$$f_3 = C_{g4} / C_{g3} \Rightarrow f_3 = 2.59 \cdot C_{g1} / C_{g3} \Rightarrow C_{g3} = 2.59 \cdot C_{g1} / f_3 \Rightarrow C_{g3} = 2.23 \cdot C_{g1},$$

$$f_2 = C_{g3} / C_{g2} \Rightarrow f_2 = 2.23 \cdot C_{g1} / C_{g2} \Rightarrow C_{g2} = 2.23 \cdot C_{g1} / f_2 \Rightarrow C_{g2} = 1.92 \cdot C_{g1},$$

- Αφού η χωρητικότητα εισόδου μιας πύλης είναι ανάλογη του πλάτους των τρανζιστορ που αυτή περιλαμβάνει, προκύπτει ότι για να είναι ελάχιστη η καθυστέρηση της διαδρομής, πρέπει το μέγεθος της 2ης πύλης να είναι 1.92 φορές μεγαλύτερο από εκείνο της 1ης πύλης και τα μεγέθη της 3ης και της τελευταίας πύλης πρέπει να είναι 2.23 και 2.59 φορές, αντίστοιχα, μεγαλύτερα από εκείνο της 1ης πύλης της διαδρομής.

Παράδειγμα 10

Η έξοδος του παρακάτω λογικού συνδυαστικού δικτυώματος έχει χωρητικότητα φορτίου 8 φορές μεγαλύτερη από τη χωρητικότητα εισόδου της πρώτης πύλης του δικτυώματος, η οποία είναι μία πύλη NAND 2 εισόδων με λόγο $W_p / W_n = 0.5 \mu\text{m} / 0.5 \mu\text{m}$. Το μήκος καναλιού όλων των τρανζιστορ στις πύλες του δικτυώματος είναι το ελάχιστο δυνατό (0.25 μm). Καθορίζουμε τα πλάτη καναλιού των τρανζιστορ των πυλών της διαδρομής που υποδεικνύεται στο λογικό δικτύωμα, έτσι ώστε η καθυστέρηση της διαδρομής να είναι ελάχιστη. Με δεδομένο ότι η ενδογενής χωρητικότητα ενός αντιστροφέα ελάχιστου μεγέθους είναι 2 ps και ότι $\gamma = 1$, υπολογίζουμε την ελάχιστη καθυστέρηση του διαδρομής.



Παράδειγμα 10

- Με βάση τον πίνακα της σελίδας 52, η **λογική προσπάθεια της διαδρομής** έχει ως εξής:

$$G = g_1 \cdot g_2 \cdot g_3 = (4/3) \cdot (5/3) \cdot (5/3) = 3.7.$$

- Η **ηλεκτρική προσπάθεια της διαδρομής** είναι: $F = C_L / C_{g1} = (8 \cdot C_{g1}) / C_{g1} = 8.$
- Η **προσπάθεια διακλάδωσης** είναι: $B = b_1 \cdot b_2 \cdot b_3 = 1 \cdot (3/1) \cdot (2/1) = 6.$
- Η **προσπάθεια διαδρομής** είναι: $H = G \cdot F \cdot B = 3.7 \cdot 8 \cdot 6 = 177.6.$
- Η **προσπάθεια πύλης** (σταδίου) για ελάχιστη καθυστέρηση διαδρομής έχει ως εξής:

$$h = H^{1/3} = 177.6^{1/3} = 5.62.$$

- Υπολογίζουμε την **ηλεκτρική προσπάθεια κάθε πύλης** της διαδρομής:

$$h = f_1 \cdot g_1 \Rightarrow f_1 = h / g_1 \Rightarrow f_1 = 5.62 / (4/3) = 4.21,$$

$$f_2 = h / g_2 \Rightarrow f_2 = 5.62 / (5/3) = 3.37, \quad f_3 = h / g_3 \Rightarrow f_3 = 5.62 / (5/3) = 3.37.$$

- Στη συνέχεια υπολογίζουμε τις **χωρητικότητες εισόδου των πυλών της διαδρομής**, σε σχέση με την χωρητικότητα εισόδου της 1ης πύλης, ξεκινώντας από την τελευταία πύλη:

$$f_3 = C_L / C_{g3} \Rightarrow f_3 = 8 \cdot C_{g1} / C_{g3} \Rightarrow C_{g3} = 8 \cdot C_{g1} / f_3 \Rightarrow C_{g3} = 2.37 \cdot C_{g1},$$

$$f_2 = C_{g3} / C_{g2} \Rightarrow f_2 = 2 \cdot 2.37 \cdot C_{g1} / C_{g2} \Rightarrow C_{g2} = 4.74 \cdot C_{g1} / f_2 \Rightarrow C_{g2} = 1.4 \cdot C_{g1}.$$

Παράδειγμα 10

- Θεωρώντας ότι η χωρητικότητα εισόδου (πύλης) ενός τρανζίστορ ανά μονάδα πλάτους καναλιού είναι C_g τότε για την **1η πύλη** της διαδρομής μπορούμε να γράψουμε ότι:

$$C_{g1} = (W_n + W_p) \cdot C_g \Rightarrow C_{g1} = (0.5 + 0.5) \mu\text{m} \cdot C_g \Rightarrow C_{g1} = C_g.$$

- Έχουμε υπολογίσει ότι $C_{g2} = 1.4 \cdot C_{g1}$, επομένως: $C_{g2} = 1.4 \cdot C_g$, που σημαίνει ότι για τη 2η πύλη πρέπει: $(W_n + W_p) = 1.4 \mu\text{m}$.
- Πρόκειται για πύλη NAND 3 εισόδων, της οποίας η λογική προσπάθεια έχει καθοριστεί με το λόγο πλατών των τρανζίστορ να είναι $W_p / W_n = 2 / 3$, δηλαδή τέτοιος ώστε η ισοδύναμη αντίσταση της πύλης να ισούται με την αντίσταση αντιστροφεία με $W_p / W_n = 2$.
- Με βάση το λόγο αυτό, για την **2η πύλη** προκύπτει ότι: $W_p + (3/2) \cdot W_p = 1.4 \mu\text{m} \Rightarrow W_p = 1.4 / 2.5 \mu\text{m} \Rightarrow W_p = 0.56 \mu\text{m}$ και $W_n = (1.4 - 0.56) \mu\text{m} \Rightarrow W_n = 0.84 \mu\text{m}$.
- Επίσης, υπολογίσαμε ότι $C_{g3} = 2.37 \cdot C_{g1}$, επομένως: $C_{g3} = 2.37 \cdot C_g$, που σημαίνει ότι για τη 3η πύλη πρέπει: $(W_n + W_p) = 2.37 \mu\text{m}$.
- Πρόκειται για πύλη NOR 2 εισόδων, της οποίας η λογική προσπάθεια έχει καθοριστεί με το λόγο πλατών των τρανζίστορ να είναι $W_p / W_n = 4 / 1$, δηλαδή τέτοιος ώστε η ισοδύναμη αντίσταση της πύλης να ισούται με την αντίσταση αντιστροφεία με $W_p / W_n = 2$.
- Με βάση το λόγο αυτό, για την **3η πύλη** προκύπτει ότι: $W_p + (1/4) \cdot W_p = 2.37 \mu\text{m} \Rightarrow W_p = 2.37 / 1.25 \mu\text{m} \Rightarrow W_p = 1.9 \mu\text{m}$ και $W_n = (2.37 - 1.9) \mu\text{m} \Rightarrow W_n = 0.47 \mu\text{m}$.

Παράδειγμα 10

- Η ελάχιστη καθυστέρηση της διαδρομής έχει ως εξής:

$$D = t_{p0} \left(\sum_{j=1}^N p_j + \frac{N(\sqrt{H})}{\gamma} \right) \Rightarrow D = 2 \cdot \left[(2 + 3 + 2) + \frac{3 \cdot 5.62}{1} \right] \text{ps} \Rightarrow D = 47.7 \text{ps}$$

Κατανάλωση ενέργειας

- Οι αιτίες κατανάλωσης ενέργειας συμπληρωματικών πυλών CMOS είναι αντίστοιχες με εκείνες του αντιστροφέα CMOS, που αναλύθηκαν στην Ενότητα 4.
- Η κατανάλωση ενέργειας των πυλών είναι ισχυρή συνάρτηση του μεγέθους των τρανζίστορ (που επηρεάζει τη φυσική χωρητικότητα) των χρόνων ανόδου-καθόδου εισόδων και εξόδων (που επιδρούν στην κατανάλωση ενέργειας βραχυκυκλώματος), των τάσεων κατωφλίου των τρανζίστορ και της θερμοκρασίας (που συμβάλουν στην κατανάλωση ενέργειας λόγω ρευμάτων διαρροής) και της δραστηριότητας μεταβάσεων.
- Η **δραστηριότητα μεταβάσεων** είναι μία ισχυρή **συνάρτηση της λογικής συνάρτησης**.
- Για στατικές πύλες CMOS με στατιστικά ανεξάρτητες εισόδους, η πιθανότητα μετάβασης είναι η πιθανότητα p_0 η έξοδος να είναι σε κατάσταση 0 σε έναν κύκλο, πολλαπλασιαζόμενη με την πιθανότητα p_1 η έξοδος να είναι σε κατάσταση 1 στον επόμενο κύκλο:

$$\alpha_{0 \rightarrow 1} = p_0 \cdot p_1 = p_0 \cdot (1 - p_0)$$

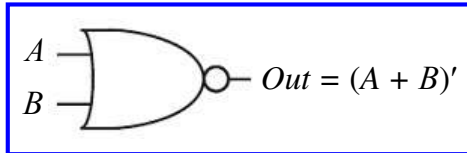
- Υποθέτοντας ότι οι εισοδοί είναι ανεξάρτητες και ομοιόμορφα καταμεμημένες, κάθε στατική πύλη N εισόδων έχει μία πιθανότητα μετάβασης που δίνεται από την ακόλουθη σχέση:

$$\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} \cdot \frac{N_1}{2^N} = \frac{N_0 \cdot (2^N - N_0)}{2^{2N}}$$

όπου N_0 είναι ο αριθμός των 0, και N_1 είναι ο αριθμός των 1 στη στήλη εξόδου του πίνακα αλήθειας της συνάρτησης.

Παράδειγμα 11

- Προσδιορίζουμε την πιθανότητα μετάβασης της εξόδου μιας πύλης NOR με 2 εισόδους από την κατάσταση 0 στην κατάσταση 1.
- Υποθέτουμε ότι μόνο μία μετάβαση εισόδου είναι δυνατή κατά τη διάρκεια ενός κύκλου ρολογιού και ότι οι **είσοδοι** στην πύλη NOR έχουν μία **ομοιόμορφη κατανομή**, δηλαδή, οι 4 δυνατοί συνδυασμοί τιμών των εισόδων A και B (00, 01, 10, 11) παρουσιάζουν ίση πιθανότητα εμφάνισης.



A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

- Με βάση τον πίνακα αλήθειας, η ζητούμενη πιθανότητα μετάβασης, έχει ως εξής:

$$\alpha_{0 \rightarrow 1} = \frac{N_0 \cdot (2^N - N_0)}{2^{2N}} = \frac{3 \cdot (2^2 - 3)}{2^2 \cdot 2} = \frac{3}{16}$$

Παράδειγμα 11

- Εάν **δεν υποθέσουμε ομοιόμορφη κατανομή των εισόδων** της πύλης, αλλά θέσουμε ως p_A και p_B τις πιθανότητες οι εισοδοί A και B να έχουν λογική τιμή 1.
- Τότε, από τον πίνακα αλήθειας προκύπτουν οι εξής πιθανότητες για την έξοδο της πύλης:

$$p_1 = P_{(A=0)} P_{(B=0)} = (1 - p_A) (1 - p_B), \quad p_0 = 1 - p_1 = 1 - (1 - p_A) (1 - p_B)$$

- Επομένως, η ζητούμενη πιθανότητα μετάβασης έχει ως εξής:

$$\alpha_{0 \rightarrow 1} = p_0 p_1 = [1 - (1 - p_A) (1 - p_B)] (1 - p_A) (1 - p_B)$$

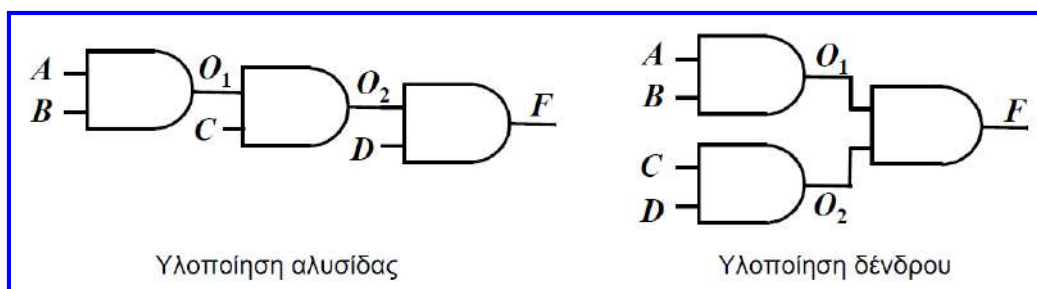
- Παρομοίως, υπολογίζονται οι πιθανότητες μετάβασης εξόδου άλλων βασικών πυλών, από τους αντίστοιχους πίνακες αλήθειας:

Πύλες 2 εισόδων	$\alpha_{0 \rightarrow 1}$
AND	$(1 - p_A p_B) p_A p_B$
OR	$(1 - p_A) (1 - p_B) [1 - (1 - p_A) (1 - p_B)]$
XOR	$[1 - (p_A + p_B - 2p_A p_B)] (p_A + p_B - 2p_A p_B)$

Τεχνικές μείωσης κατανάλωσης ενέργειας

- Η χωρητική κατανάλωση ενέργειας μίας λογικής πύλης μπορεί να μειωθεί ελαχιστοποιώντας τη **φυσική χωρητικότητα** και τη **δραστηριότητα μεταβάσεων**.
- Η **φυσική χωρητικότητα** μπορεί να μειωθεί με έναν αριθμό από τρόπους (επιλογή κυκλωματικού τύπου, ρύθμιση μεγέθους των τρανζίστορ, εφαρμογή βελτιστοποιήσεων στην αρχιτεκτονική κ.ά.).
- Η **δραστηριότητα μεταβάσεων** μπορεί να μειωθεί με βελτιστοποίηση των λογικών κυκλωματικών δομών, έτσι ώστε να μειώνουν τις μεταβάσεις που απαιτούνται για την υλοποίηση μιας δεδομένης συνάρτησης.
- Τροποποιώντας την τοπολογία ενός λογικού δικτυώματος (**λογική επαναδόμηση**) μπορούμε να μειώσουμε την ενέργεια που καταναλώνει.
- Για **παράδειγμα**, για την συνάρτηση $F = A \cdot B \cdot C \cdot D$ μπορούν να ακολουθηθούν εναλλακτικές υλοποιήσεις.
- Θεωρώντας ότι οι εισόδοι είναι ανεξάρτητες και ομοιόμορφα κατανομημένες (δηλαδή, $p_1 = 0.5$ για όλες τις εισόδους) και χρησιμοποιώντας την έκφραση της πιθανότητας μετάβασης της πύλης AND από τον πίνακα του Παραδείγματος 11, μπορεί να υπολογιστεί η δραστηριότητα μεταβάσεων για τις εναλλακτικές υλοποιήσεις της συνάρτησης.
- Τα αποτελέσματα δείχνουν ότι η υλοποίηση αλυσίδας έχει χαμηλότερη συνολική δραστηριότητα μεταβάσεων από ότι η υλοποίηση δέντρου για τυχαίες εισόδους.

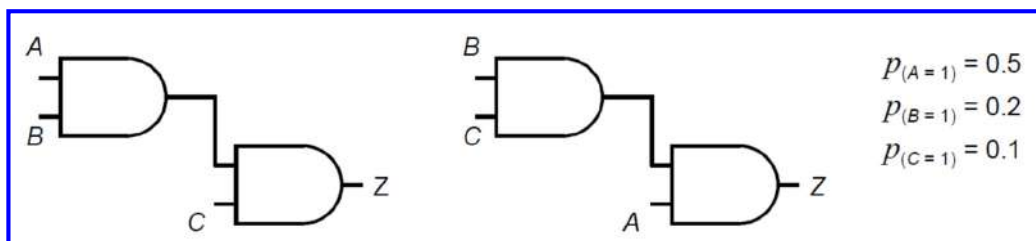
Τεχνικές μείωσης κατανάλωσης ενέργειας



	O_1	O_2	F
p_1 (αλυσίδα)	1/4	1/8	1/16
$p_0 = 1-p_1$ (αλυσίδα)	3/4	7/8	15/16
$p_{0 \rightarrow 1}$ (αλυσίδα)	3/16	7/64	15/256
p_1 (δένδρο)	1/4	1/4	1/16
$p_0 = 1-p_1$ (δένδρο)	3/4	3/4	15/16
$p_{0 \rightarrow 1}$ (δένδρο)	3/16	3/16	15/256

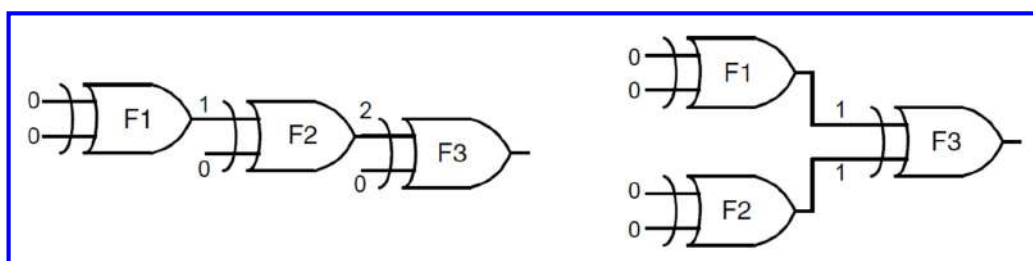
Τεχνικές μείωσης κατανάλωσης ενέργειας

- Η δραστηριότητα μεταβάσεων σε κόμβους ενός λογικού δικτυώματος μπορεί να μειωθεί με **αναδιάταξη των σημάτων εισόδου**.
- Για **παράδειγμα**, για τα ακόλουθα κυκλώματα δίνονται οι πιθανότητες των εισόδων να έχουν τιμή 1.
- Επειδή και τα δύο κυκλώματα υλοποιούν την ίδια λογική συνάρτηση, είναι προφανές ότι η δραστηριότητα μεταβάσεων στον κόμβο εξόδου είναι ίδια και για τις δύο περιπτώσεις.
- Η διαφορά που προκύπτει λόγω της διαφορετικής διάταξης των σημάτων εισόδου στα 2 κυκλώματα, έγκειται στη δραστηριότητα μεταβάσεων του **ενδιάμεσου κόμβου**.
- Στο 1ο κύκλωμα, η πιθανότητα μετάβασης 0 σε 1 είναι $(1 - 0.5 \cdot 0.2) \cdot (0.5 \cdot 0.2) = 0.09$.
- Στο 2ο κύκλωμα, η πιθανότητα μετάβασης 0 σε 1 είναι $(1 - 0.2 \cdot 0.1) \cdot (0.2 \cdot 0.1) = 0.02$.
- Προκύπτει ότι είναι προτιμότερο να αναβάλλουμε για το τελευταίο στάδιο, την εισαγωγή σημάτων (όπως του A) με υψηλή πιθανότητα μετάβασης.



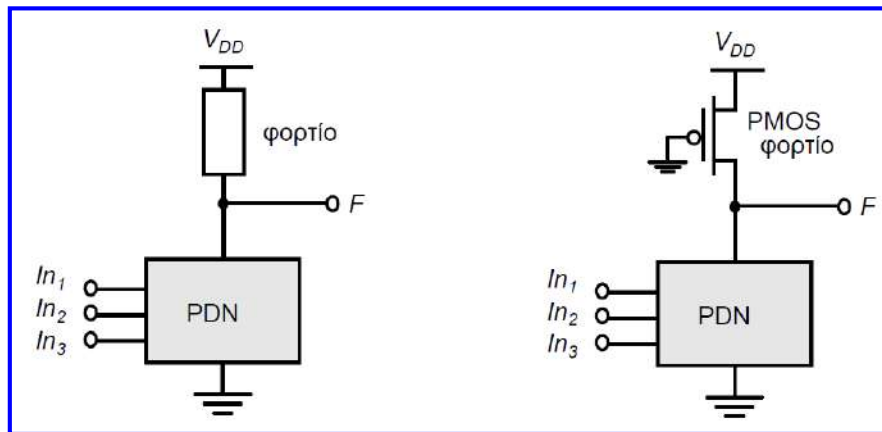
Τεχνικές μείωσης κατανάλωσης ενέργειας

- Η εμφάνιση **ψευδοπαλμών (glitches)** οφείλεται κυρίως στην **απουσία ταιριάσματος του μήκους διαδρομών σε ένα λογικό δικτύωμα**.
- Εάν όλα τα σήματα εισόδου μίας πύλης αλλάζουν ταυτόχρονα, δεν εμφανίζονται ψευδοπαλμοί.
- Ωστόσο, αν υπάρχουν σήματα εισόδου που αλλάζουν σε διαφορετικούς χρόνους (λόγω διαφορετικού μήκους διαδρομών σε σχέση με τις αρχικές εισόδους του δικτυώματος), μπορεί να αναπτυχθούν ψευδοπαλμοί που προκαλούν επιπλέον κατανάλωση ενέργειας.
- Το πρώτο από τα δικτυώματα που ακολουθούν υποφέρει από ψευδοπαλμούς, ως αποτέλεσμα της μεγάλης ανομοιοτητας μεταξύ των χρόνων άφιξης των σημάτων εισόδου των πυλών.
- **Επανασχεδιάζοντας το δικτύωμα, ώστε όλοι οι χρόνοι άφιξης να είναι όμοιοι** (2ο δικτύωμα), μειώνεται δραστικά ο αριθμός των πλεονασματικών μεταβάσεων (ψευδοπαλμών).



Λογική εξαρτημένη από το λόγο W_p / W_n

- Η συμπληρωματική λογική CMOS είναι στιβαρή, αλλά απαιτεί $2 \cdot N$ τρανζίστορ για την υλοποίηση μίας λογικής πύλης N εισόδων, οδηγώντας σε αυξημένες χωρητικότητες.
- Για το λόγο αυτό έχουν αναπτυχθεί **εναλλακτικές λογικές υλοποίησης πυλών**, οι οποίες οδηγούν σε απλούστερες ή ταχύτερες πύλες.
- Η **εξαρτημένη λογική από τον λόγο του μεγέθους των τρανζίστορ (ratioed logic)** συνιστά μία προσπάθεια μείωσης του αριθμού των τρανζίστορ που απαιτούνται για την υλοποίηση μίας λογικής συνάρτησης, συχνά με κόστος τη μείωση της στιβαρότητας και την επιπλέον κατανάλωση ενέργειας.



Ψευδο-NMOS λογική

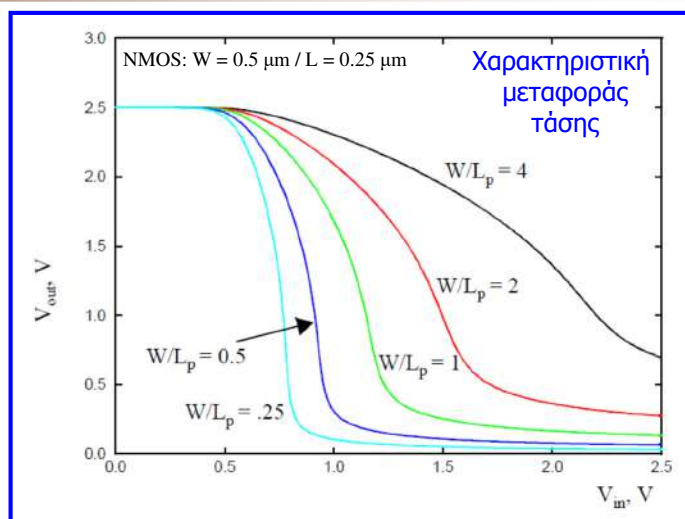
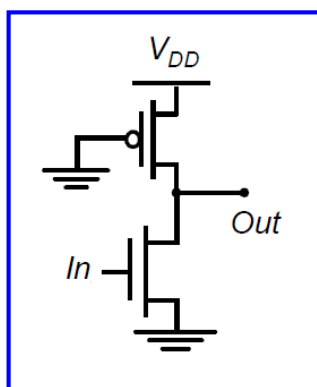
- Ο σκοπός του δικτύματος PUN στη συμπληρωματική λογική CMOS είναι να παρέχει μία διαδρομή μεταξύ της τροφοδοσίας και της εξόδου, όταν το δικτύωμα PDN σταματά να άγει.
- Στην εξαρτημένη από τον λόγο του μεγέθους των τρανζίστορ λογική, το **δικτύωμα PUN αντικαθίσταται από ένα μοναδικό στοιχείο φορτίου**, του οποίου στόχος είναι η αύξηση της τάσης εξόδου, ώστε να επιτευχθεί η επιθυμητή υψηλή στάθμη.
- Αντιπροσωπευτικό παράδειγμα εξαρτημένης λογικής από το λόγο του μεγέθους των τρανζίστορ, η οποία χρησιμοποιεί ως **φορτίο ένα PMOS τρανζίστορ με γειωμένη πύλη**, είναι η **ψευδο-NMOS λογική**.
- Το πλεονέκτημα μιας ψευδο-NMOS λογικής πύλης είναι ο **μειωμένος αριθμός των τρανζίστορ** ($N + 1$, αντί τα $2 \cdot N$ τρανζίστορ της συμπληρωματικής λογικής CMOS).
- Η υψηλή στάθμη της τάσης εξόδου (V_{OH}) ισούται με την τάση τροφοδοσίας, αφού τα τρανζίστορ του δικτύματος PDN δεν άγουν όταν η έξοδος βρίσκεται στην υψηλή στάθμη.
- Ωστόσο, η **χαμηλή στάθμη της τάσης εξόδου (V_{OL}) δεν είναι 0**, επειδή υπάρχει ανταγωνισμός μεταξύ των τρανζίστορ του δικτύματος PDN και του γειωμένου τρανζίστορ PMOS.
- Αυτό οδηγεί σε **μειωμένα περιθώρια θορύβου** και **στατική κατανάλωση ενέργειας**.

Ψευδο-NMOS λογική

- Η σχέση του μεγέθους του τρανζίστορ PMOS με το μέγεθος των τρανζίστορ του δικτύματος PDN, χρησιμοποιείται ώστε να εξισορροπηθούν παράμετροι όπως τα περιθώρια θορύβου, η καθυστέρηση διάδοσης και η κατανάλωση ενέργειας.
- Επειδή η συνολική λειτουργία της πύλης εξαρτάται από τον λόγο των μεγεθών των τρανζίστορ NMOS και του τρανζίστορ PMOS, η λογική αναφέρεται ως **εξαρτημένη από τον λόγο του μεγέθους των τρανζίστορ**.
- Αυτό έρχεται σε αντίθεση με τις **μη εξαρτημένες λογικές από τον λόγο του μεγέθους των τρανζίστορ (ratioless)**, όπως η **συμπληρωματική λογική CMOS**.
- Η τιμή της χαμηλής στάθμης της τάσης εξόδου (V_{OL}) είναι ανάλογη προς το πλάτος του τρανζίστορ PMOS και αντιστρόφως ανάλογη προς το πλάτος των τρανζίστορ του PDN.
- Για να μειωθεί όσο το δυνατό περισσότερο η στάθμη V_{OL} , το **τρανζίστορ PMOS θα πρέπει να έχει πλάτος πολύ μικρότερο από τα τρανζίστορ NMOS** του δικτύματος PDN.
- Αυτό όμως αυξάνει την καθυστέρηση διάδοσης για τη φόρτιση της εξόδου προς την υψηλή στάθμη, αφού περιορίζεται το ρεύμα που παρέχεται από το τρανζίστορ PMOS.
- Σημαντικό **μειονέκτημα** των πυλών **ψευδο-NMOS** είναι η **κατανάλωση στατικής ενέργειας**, όταν η έξοδος τους είναι σταθερή σε χαμηλή στάθμη και οφείλεται στην απευθείας διαδρομή ρεύματος που υφίσταται μεταξύ της τροφοδοσίας και της γείωσης.

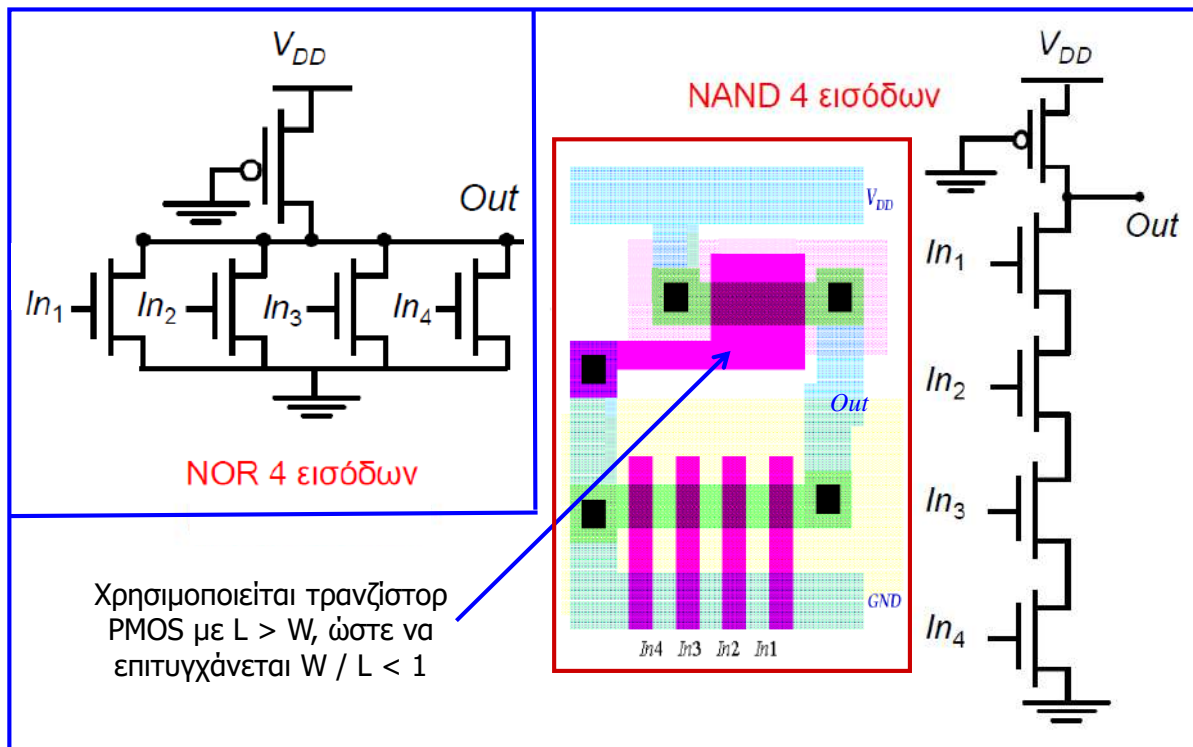
Ψευδο-NMOS λογική

Ψεύδο-NMOS αντιστροφείας



$(W / L)_p$	V_{OL}	Στατική ισχύς	t_{p1h}
4	0.693V	564μW	14ps
2	0.273V	298μW	56ps
1	.133V	160μW	123ps
0.5	0.064V	80μW	268ps
0.25	0.031V	41μW	569ps

Ψευδο-NMOS λογική



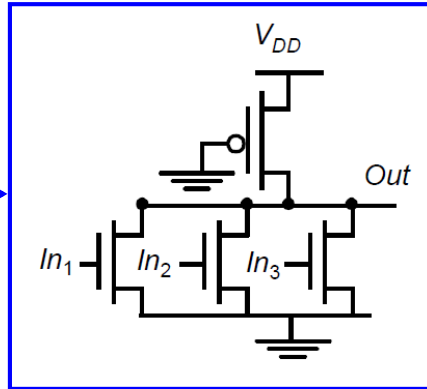
Παράδειγμα 12

- Σχεδιάζουμε το κυκλωματικό διάγραμμα μιας πύλης NOR 3 εισόδων χρησιμοποιώντας λογική ψευδο-NMOS. Τα τρανζίστορ είναι τεχνολογίας $0.25 \mu\text{m}$ με πλάτος $W_n = 1 \mu\text{m}$ και $W_p = 0.25 \mu\text{m}$. Άλλες παράμετροι των τρανζίστορ δίνονται στον παρακάτω πίνακα.
- Υπολογισμός την τιμή χαμηλής στάθμης (V_{OL}) της πύλης, υποθέτοντας ότι μόνο μία είσοδος της πύλης έχει λογική τιμή 1 και παραβλέποντας τους τετραγωνικούς όρους της τάσης υποδοχής-πηγής που συμμετέχουν στις εκφράσεις του ρεύματος υποδοχής των τρανζίστορ.
- Στη συνέχεια, υπολογίζουμε την ισχύ που αντιστοιχεί στην στατική κατανάλωση ενέργειας της πύλης που σχεδιάσαμε.
- Στους παραπάνω υπολογισμούς παραβλέπουμε το φαινόμενο διαμόρφωσης μήκους καναλιού ($\lambda_n = \lambda_p = 0$).

$V_{DD} = 2.5 \text{ V}$	$V_{T0} \text{ (V)}$	$V_{DSAT} \text{ (V)}$	$k' \text{ (A/V}^2\text{)}$
NMOS	0.43	0.63	$115 \cdot 10^{-6}$
PMOS	-0.4	-1	$-30 \cdot 10^{-6}$

Παράδειγμα 12

Σχεδιάζουμε μια πύλη
NOR 3 εισόδων
ψευδο-NMOS λογικής



- Η τιμή χαμηλής στάθμης (V_{OL}) υπολογίζεται με εξίσωση των ρευμάτων που ρέουν μέσω του τρανζίστορ NMOS της πύλης που άγει (είσοδος = 1) και του τρανζίστορ PMOS (φορτίο) της πύλης που σχεδιάσαμε για $V_{in} = V_{DD}$.
- Σε αυτό το σημείο λειτουργίας, το τρανζίστορ NMOS λειτουργεί στη γραμμική περιοχή αφού $V_{GSn} = V_{DD}$ και η τάση εξόδου της πύλης (V_{DSn}) είναι κοντά στην τιμή 0, με αποτέλεσμα $V_{DSn} < V_{DSATn} < V_{GSn} - V_{Tn}$.
- Το τρανζίστορ PMOS λειτουργεί στην περιοχή κορεσμού, αφού η πύλη του είναι γειωμένη $V_{GSp} = -V_{DD}$ και η τάση εξόδου της πύλης είναι κοντά στην τιμή 0 ($V_{DSp} = 0 - V_{DD}$), με αποτέλεσμα $V_{GSp} - V_{Tp} > V_{DSp}$.

Παράδειγμα 12

$$\begin{aligned}
 k_n \cdot \left[(V_{DD} - V_{Tn}) \cdot V_{OL} - \frac{V_{OL}^2}{2} \right] &= -k_p \left[(-V_{DD} - V_{Tp}) \cdot V_{DSATp} - \frac{V_{DSATp}^2}{2} \right] \Rightarrow \\
 k'_n \cdot \frac{W_n}{L_n} \cdot (V_{DD} - V_{Tn}) \cdot V_{OL} &= -k'_p \cdot \frac{W_p}{L_p} \cdot (-V_{DD} - V_{Tp}) \cdot V_{DSATp} \Rightarrow \\
 k'_p \cdot \frac{W_p}{L_p} \cdot (V_{DD} + V_{Tp}) \cdot V_{DSATp} &= \frac{-30 \cdot \frac{0.25}{0.25} \cdot (2.5 - 0.4) \cdot (-1)}{115 \cdot \frac{1}{0.25} \cdot (2.5 - 0.43)} \Rightarrow \\
 V_{OL} &= \frac{k'_p \cdot \frac{W_p}{L_p} \cdot (V_{DD} + V_{Tp}) \cdot V_{DSATp}}{k'_n \cdot \frac{W_n}{L_n} \cdot (V_{DD} - V_{Tn})} \Rightarrow V_{OL} = \frac{-30 \cdot \frac{0.25}{0.25} \cdot (2.5 - 0.4) \cdot (-1)}{115 \cdot \frac{1}{0.25} \cdot (2.5 - 0.43)} \Rightarrow \\
 V_{OL} &= 0.066 \text{ V} = 66 \text{ mV}
 \end{aligned}$$

- Η τιμή που υπολογίστηκε είναι αρκετά χαμηλή, λόγω του ότι το πλάτος του τρανζίστορ PMOS είναι 4 φορές μικρότερο από το πλάτος του τρανζίστορ NMOS που άγει.
- Ωστόσο, η επιλογή αυτή αυξάνει την καθυστέρηση διάδοσης για τη φόρτιση της εξόδου προς την υψηλή στάθμη, αφού περιορίζεται το ρεύμα που παρέχεται από το τρανζίστορ PMOS.

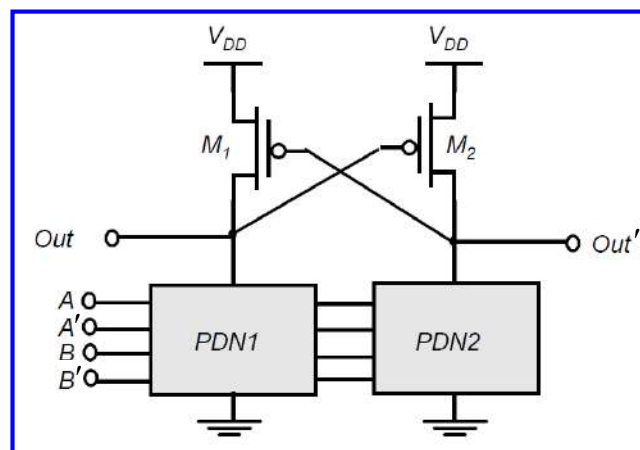
Παράδειγμα 12

- Όπως υπολογίστηκε προηγουμένως, όταν η τάση εξόδου βρίσκεται στη χαμηλή στάθμη, είναι πολύ κοντά στην τιμή 0. Τότε, το τρανζίστορ PMOS λειτουργεί στην περιοχή κορεσμού, αφού η πύλη του είναι γειωμένη $V_{GSp} = -V_{DD}$, με αποτέλεσμα $V_{GSp} - V_{Tp} > V_{DSp}$.
- Μειονέκτημα της ψευδο-NMOS λογικής αποτελεί η **στατική ενέργεια που καταναλώνεται όταν η τάση εξόδου είναι στη χαμηλή στάθμη**, μέσω της απευθείας διαδρομής ρεύματος μεταξύ τροφοδοσίας και γείωσης.
- Η ισχύς που αντιστοιχεί σε αυτή την κατανάλωση ενέργειας, υπολογίζεται ως εξής:

$$P_s = V_{DD} \cdot I_p \Rightarrow P_s = V_{DD} \cdot \left\{ k'_p \cdot \frac{W_p}{L_p} \cdot \left[(-V_{DD} - V_{Tp}) \cdot V_{DSATp} - \frac{V_{DSATp}^2}{2} \right] \right\} \Rightarrow$$
$$P_s = 2.5 \cdot \left\{ 30 \cdot 10^{-6} \cdot \frac{0.25}{0.25} \cdot \left[(-2.5 + 0.4) \cdot (-1) - \frac{(-1)^2}{2} \right] \right\} \Rightarrow P_s = 120 \mu W$$

Λογική DCVSL

- Συνδυάζοντας **διαφορική λογική** (κάθε είσοδος διατίθεται και με τη συμπληρωματική μορφή της και παρέχεται και η συμπληρωματική μορφή της εξόδου) και **θετική ανατροφοδότηση της εξόδου στην είσοδο του τρανζίστορ-φορτίου** (το τρανζίστορ-φορτίο παύει να άγει όταν δε χρειάζεται), είναι δυνατό να καταλήξουμε σε μια λογική εξαρτημένη από τον λόγο του μεγέθους των τρανζίστορ **χωρίς στατική κατανάλωση ενέργειας** και με **πλήρη ταλάντευση της τάσης εξόδου** μεταξύ τροφοδοσίας και γείωσης.
- Αντιπροσωπευτικό παράδειγμα τέτοιας λογικής είναι η **διαφορική διαδοχική λογική διακοπτικής τάσης (differential cascade voltage switch logic, DCVSL)**.

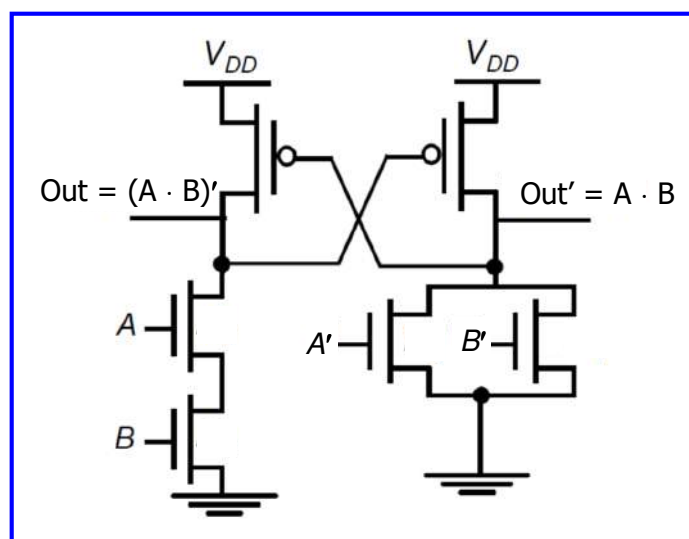


Λογική DCVSL

- Τα δικτύωματα PDN1 και PDN2 χρησιμοποιούν τρανζίστορ NMOS και όταν το PDN1 άγει, το PDN2 δεν άγει, ενώ όταν το PDN1 δεν άγει, το PDN2 άγει, έτσι ώστε η επιθυμητή λογική συνάρτηση και η συμπληρωματική της να υλοποιούνται ταυτόχρονα.
- Όταν για έναν συνδυασμό τιμών των εισόδων το PDN1 άγει ενώ το PDN2 δεν άγει και οι έξοδοι Out και Out' είναι αρχικά σε υψηλή και χαμηλή στάθμη, αντίστοιχα, καθώς αρχίζει η αγωγή του PDN1, η έξοδος Out αρχίζει να μεταβαίνει σε χαμηλή στάθμη, αν και υπάρχει ακόμα ανταγωνισμός μεταξύ του M_1 και του PDN1.
- Η έξοδος Out' βρίσκεται σε κατάσταση υψηλής εμπέδησης (απροσδιόριστη, μη καθοριζόμενη από τις εισόδους), αφού το M_2 και το PDN2 δεν άγουν.
- Το PDN1 πρέπει να είναι αρκετά ισχυρό (από άποψη παραγωγής ρεύματος οδήγησης) για να φέρει την έξοδο Out κάτω από την τιμή $V_{DD} - |V_{Tp}|$, σημείο στο οποίο το M_2 αρχίζει να άγει και να οδηγεί την έξοδο Out' στην υψηλή στάθμη (τάση τροφοδοσίας), σταματώντας την αγωγή του M_1 .
- Μετά από αυτό, ο κόμβος εξόδου Out εκφορτίζεται πλήρως και η έξοδος Out οδηγείται σε τιμή 0.

Λογική DCVSL

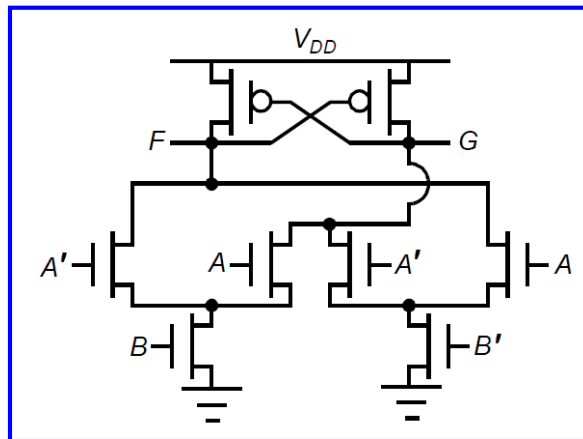
NAND / AND 2 εισόδων



Στο δικτύωμα PDN που υλοποιεί την αντιστρέφουσα λογική συνάρτηση $(A \cdot B)'$, το λογικό γινόμενο αντιστοιχεί σε δύο σειριακά τρανζίστορ. Στο δικτύωμα PDN που υλοποιεί την συμπληρωματική συνάρτηση της αντιστρέφουσας $[(A \cdot B)']' = (A' + B')$, το λογικό άθροισμα των συμπληρωματικών εισόδων αντιστοιχεί σε δύο παράλληλα τρανζίστορ.

Παράδειγμα 13

A. Προσδιορίζουμε τις λογικές συναρτήσεις που υλοποιεί το παρακάτω κύκλωμα λογικής DCVSL.



Παρατηρούμε ότι στο κύκλωμα που χρησιμοποιεί τη λογική DCVSL, γίνεται **κοινή χρήση τρανζίστορ στα δύο δικτυώματα PDN** με στόχο τη μείωση του πλήθους των τρανζίστορ. Αυτό αποτελεί αποδοτική πρακτική για τα κυκλώματα αυτής της λογικής.

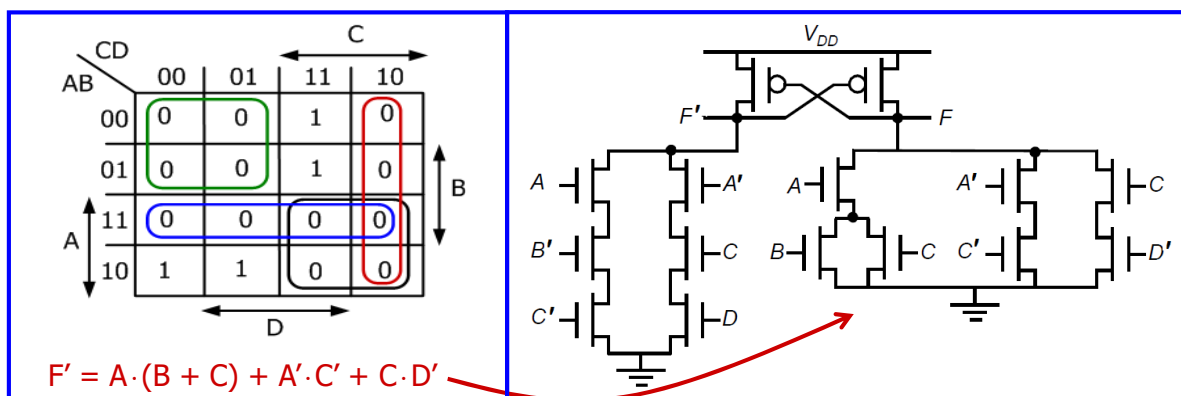
Από το δικτύωμα που υλοποιεί τη συνάρτηση F προκύπτει ότι: $F = (A' \cdot B + A \cdot B')' = (A \oplus B)'$ (λογική πύλη **XNOR**). Από το δικτύωμα που υλοποιεί τη συνάρτηση G προκύπτει ότι: $G = (A \cdot B + A' \cdot B')' = A \oplus B$ (λογική πύλη **XOR**).

Όπως αναμενόταν οι δύο συναρτήσεις (F, G) είναι συμπληρωματικές.

Παράδειγμα 13

B. Σχεδιάζουμε το κυκλωματικό διάγραμμα που υλοποιεί τη συνάρτηση 4 εισόδων $F = A \cdot B' \cdot C' + A' \cdot C \cdot D$ και την συμπληρωματική της F' , χρησιμοποιώντας λογική DCVSL. Υποθέτουμε ότι είναι διαθέσιμες και οι συμπληρωματικές μορφές των 4 εισόδων.

Σχεδιάζουμε μια πύλη λογικής DCVSL με ένα δικτύωμα PDN που υλοποιεί τη συνάρτηση F' , στο οποίο τα λογικά γινόμενα της F αντιστοιχούν σε σειριακά συνδεδεμένα τρανζίστορ NMOS και το λογικό άθροισμα σε παράλληλα συνδεδεμένα τρανζίστορ NMOS. Στη συνέχεια παράγουμε την ελαχιστοποιημένη μορφή της F' , ομαδοποιώντας τα μηδενικά του χάρτη Karnaugh της F και σχεδιάζουμε ένα δεύτερο δικτύωμα PDN που υλοποιεί τη συνάρτηση F με βάση την ελαχιστοποιημένη μορφή της F' , ακολουθώντας τους ίδιους κανόνες με εκείνους που χρησιμοποιήθηκαν για το σχεδιασμό του πρώτου δικτυώματος PDN.

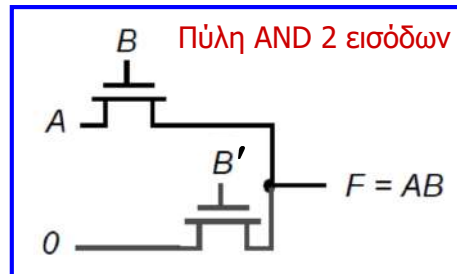


$$F' = A \cdot (B + C) + A' \cdot C' + C \cdot D'$$

Λογική τρανζίστορ διέλευσης

- Μία ευρέως χρησιμοποιούμενη εναλλακτική της συμπληρωματικής CMOS είναι η **λογική τρανζίστορ-διέλευσης (pass transistor logic)**, η οποία στοχεύει στη μείωση του πλήθους των τρανζίστορ, επιτρέποντας στις εισόδους που αντιστοιχούν στις μεταβλητές μιας λογικής συνάρτησης, να οδηγούν εκτός από ακροδέκτες πύλης και ακροδέκτες πηγής και υποδοχής των τρανζίστορ.

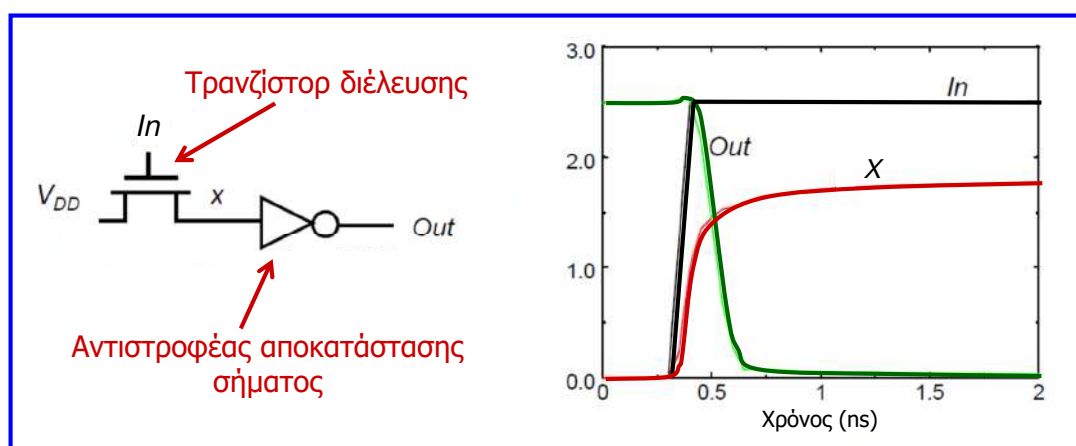
A	B	A · B
0	0	0
0	1	0
1	0	0
1	1	1



- Η υλοποίηση λογικών πυλών επιτυγχάνεται με χρήση τρανζίστορ διέλευσης NMOS και απαιτούνται **λιγότερα τρανζίστορ**.
- Η πύλη AND χρειάζεται 4 τρανζίστορ (2 τρανζίστορ διέλευσης και 2 για τον αντιστροφέα παραγωγής της εισόδου B'), ενώ η συμπληρωματική CMOS πύλη AND 2 εισόδων απαιτεί για την υλοποίησή της 6 τρανζίστορ (4 για την πύλη NAND και 2 για τον αντιστροφέα).
- Η λογική με τρανζίστορ διέλευσης πλεονεκτεί όσον αφορά τη **μειωμένη χωρητικότητα** που παρουσιάζει, λόγω του μειωμένου πλήθους των τρανζίστορ.

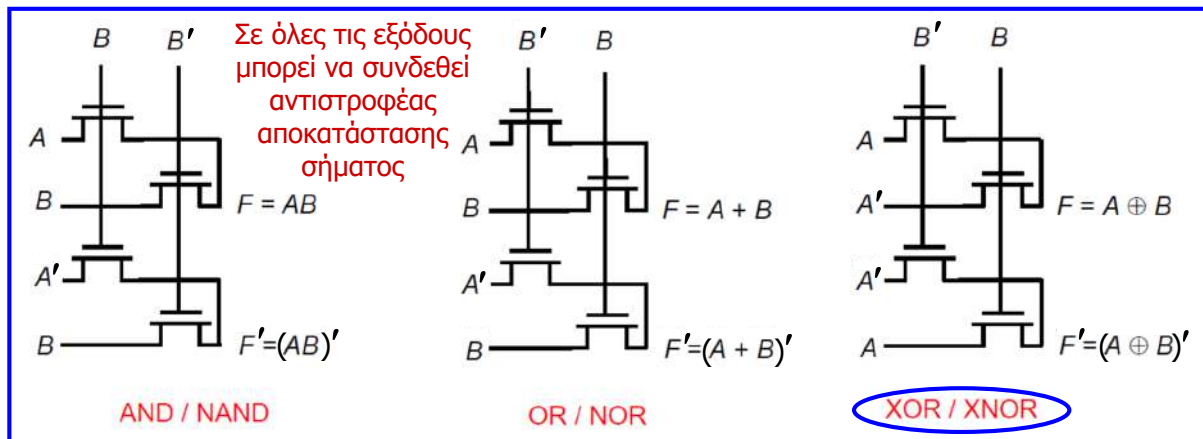
Λογική τρανζίστορ διέλευσης

- Ενώ το τρανζίστορ NMOS είναι αποτελεσματικό στη διέλευση της τιμής 0, είναι αδύναμο όταν οδηγεί έναν κόμβο σε υψηλή στάθμη, αφού ο κόμβος φορτίζεται μέχρι $V_{DD} - V_{Tn}$.
- Το **φαινόμενο σώματος** ενισχύει την πτώση τάσης αφού αυξάνει την τάση κατωφλίου του τρανζίστορ διέλευσης.
- Τα κυκλώματα αυτά, καταναλώνουν **μειωμένη χωρητική ενέργεια**, λόγω του μειωμένου εύρους ταλάντευσης της εξόδου, αλλά μπορεί να οδηγήσουν σε **στατική κατανάλωση ενέργειας** στον αντιστροφέα αποκατάστασης σήματος.

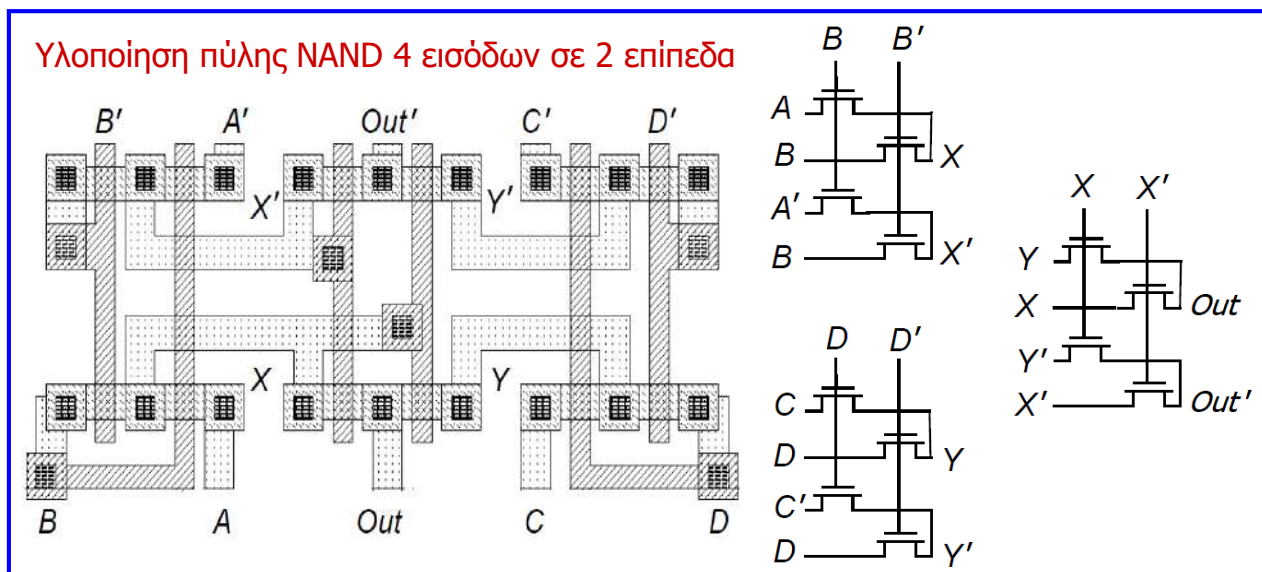


Συμπληρωματική λογική τρανζιστορ διέλευσης (CPL)

- Για το σχεδιασμό συνδυαστικών κυκλωμάτων υψηλής επίδοσης, χρησιμοποιείται η συμπληρωματική ή διαφορική λογική τρανζιστορ διέλευσης (complementary pass transistor logic, CPL).
- Η βασική ιδέα (όμοια με της λογικής DCVSL) είναι να διατίθενται οι κανονικές και συμπληρωματικές μορφές των εισόδων και να παράγονται κανονικές και συμπληρωματικές εξόδοι.
- Οι πύλες συνίστανται από δύο δικτυώματα (ένα για την παραγωγή κάθε μορφής εξόδου) και όλες οι βασικές πύλες έχουν την ίδια τοπολογία (απλότητα σχεδιασμού).



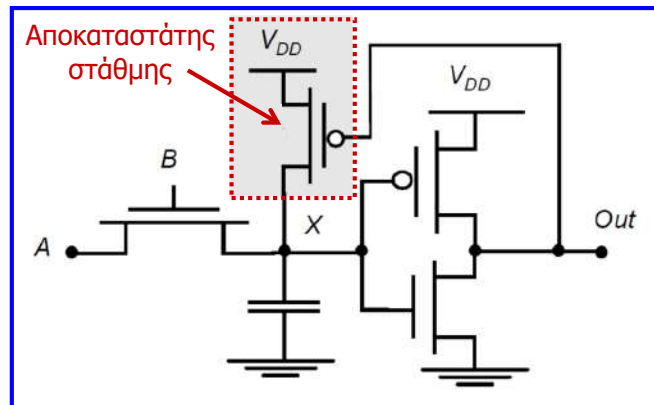
Συμπληρωματική λογική τρανζιστορ διέλευσης (CPL)



- Η υλοποίηση της παραπάνω πύλης NAND σε 2 επίπεδα πυλών έχει αυξημένο πλήθος τρανζιστορ, πολύπλοκες διασυνδέσεις, αλλά με αυτή υλοποιείται ταυτόχρονα και η πύλη AND.
- Ωστόσο σε συγκεκριμένες εφαρμογές όπως αθροιστές, πολλαπλασιαστές που απαιτούν άφθονες πύλες XOR (οι οποίες υλοποιούνται με συγκριτικά πολύ απλό τρόπο) και κύτταρα μνήμης RAM, παρέχουν μειωμένη επιφάνεια, καθυστέρηση και κατανάλωση ενέργειας.

Συμπληρωματική λογική τρανζίστορ διέλευσης (CPL)

- Η λογική CPL όπως και η λογική τρανζίστορ διέλευσης απλής εξόδου, υποφέρει από **κατανάλωση στατικής ενέργειας** και **μειωμένα περιθώρια θορύβου**, λόγω του ότι η **υψηλή στάθμη** στην είσοδο του αντιστροφέα αποκατάστασης σήματος φτάνει έως $V_{DD} - V_{Tn}$.
- Έχουν προταθεί διάφορες **τεχνικές για την αντιμετώπιση** του προβλήματος αυτού.
- Μία τεχνική βασίζεται στη χρήση ενός **αποκαταστάτη στάθμης (level restorer)**, που είναι ένα τρανζίστορ PMOS του οποίου η πύλη συνδέεται στην έξοδο του αντιστροφέα αποκατάστασης σήματος, η υποδοχή του συνδέεται στην είσοδο του αντιστροφέα και η πηγή του συνδέεται στην τάση τροφοδοσίας.
- Όταν η είσοδος A μεταβαίνει από 0 σε V_{DD} , το τρανζίστορ διέλευσης φορτίζει τον κόμβο X έως την τάση $V_{DD} - V_{Tn}$.
- Η έξοδος του αντιστροφέα οδηγείται σε χαμηλή στάθμη, με αποτέλεσμα την αγωγή του τρανζίστορ PMOS και την οδήγηση του κόμβου X σε πλήρη τάση V_{DD} .



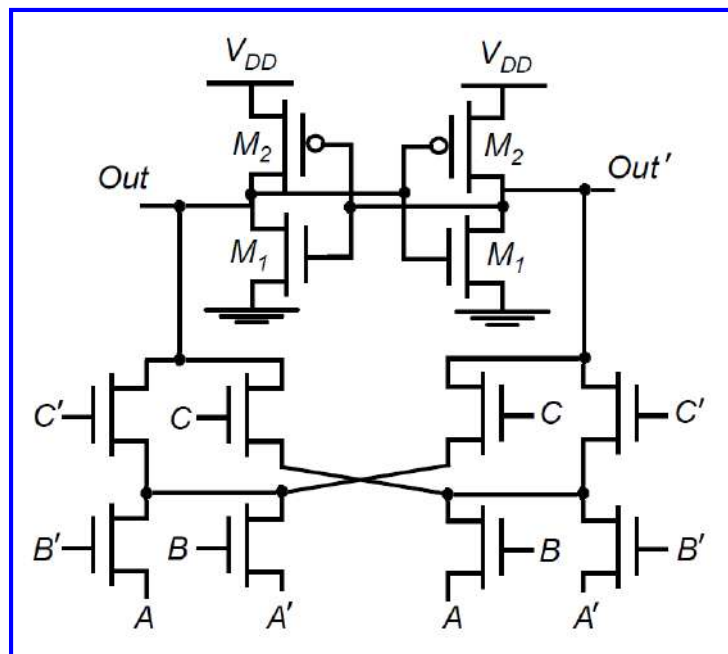
Συμπληρωματική λογική τρανζίστορ διέλευσης (CPL)

- Με την προσθήκη του αποκαταστάτη στάθμης, οι στάθμες τάσης είναι η τάση τροφοδοσίας και η γείωση και εξαλείφεται η στατική κατανάλωση ενέργειας στον αντιστροφέα αποκατάστασης σήματος.
- Ωστόσο, η τεχνική αυτή αυξάνει την πολυπλοκότητα σχεδιασμού, αφού το κύκλωμα γίνεται **εξαρτώμενο από τα μεγέθη των τρανζίστορ (ratioed)**.
- Όταν το τρανζίστορ διέλευσης προσπαθεί να οδηγήσει τον κόμβο X στη χαμηλή στάθμη, το τρανζίστορ PMOS ωθεί τον κόμβο αυτόν σε τιμή V_{DD} , συνεπώς το τρανζίστορ διέλευσης θα πρέπει να είναι ισχυρότερο (από άποψη παραγωγής ρεύματος οδήγησης) από το τρανζίστορ PMOS, ώστε να προκαλεί την επιθυμητή αλλαγή κατάστασης στον κόμβο X και στην έξοδο της πύλης.
- Ο αποκαταστάτης στάθμης εκτός από το ότι αυξάνει τη χωρητικότητα του κόμβου X με αποτέλεσμα την αύξηση της καθυστέρησης, επιδρά αρνητικά στην ταχύτητα της πύλης κατά την καθοδική μετάβαση και θετικά κατά την ανοδική μετάβαση του κόμβου X.
- Μια τροποποίηση της τεχνικής του αποκαταστάτη στάθμης, βασίζεται στη **λογική τρανζίστορ διέλευσης με αποκατάσταση εύρους ταλάντευσης (swing-restored pass transistor logic, SRPL)**.
- Στη λογική αυτή αντί για τρανζίστορ αποκατάστασης στάθμης και αντιστροφέα αποκατάστασης σήματος, χρησιμοποιούνται **2 αντιστροφείς σε σταυροειδή σύνδεση**, με στόχο την αποκατάσταση της στάθμης και τη βελτίωση της επίδοσης των πυλών.

Λογική SRPL

Στη λογική SRPL όταν τοποθετούμε πύλες σε διαδοχή, παρεμβάλουμε απομονωτές μεταξύ των εξόδων των πυλών, διότι αν αυτό δεν γίνει, ο ανταγωνισμός μεταξύ των αποκαταστατών στάθμης των διαδοχικών πυλών επηρεάζει αρνητικά την ταχύτητα.

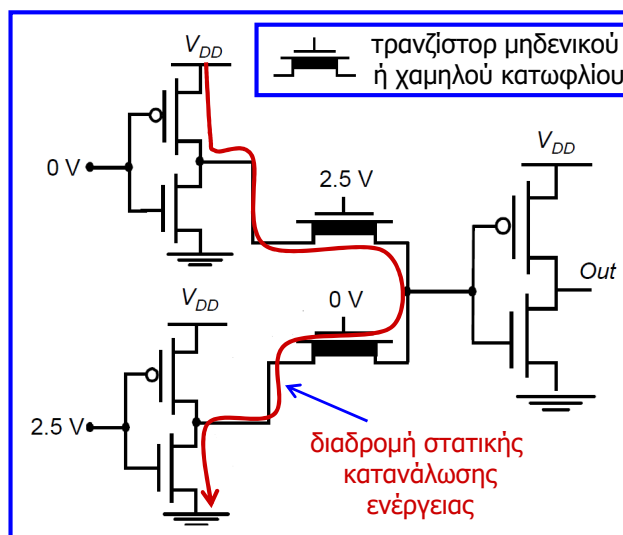
Πύλη
XOR / XNOR
3 εισόδων
λογικής SRPL



Τρανζίστορ πολλαπλών κατωφλίων στη λογική CPL

- Η χρησιμοποίηση τρανζίστορ πολλαπλών κατωφλίων αποτελεί μία τεχνολογική λύση στο πρόβλημα της πτώσης τάσης που σχετίζεται με την λογική CPL.
- Η χρησιμοποίηση **τρανζίστορ μηδενικού-κατωφλίου (zero-threshold transistor)** ή χαμηλής τάσης κατωφλίου για τα τρανζίστορ διέλευσης NMOS, εξαλείφει το μεγαλύτερο μέρος της πτώσης τάσης κατωφλίου και οδηγεί την έξοδο πολύ κοντά στην τάση τροφοδοσίας.
- Τα υπόλοιπα τρανζίστορ που χρησιμοποιούνται στη λογική CPL, υλοποιούνται με τρανζίστορ τυπικής τάσης κατωφλίου.

Η χρησιμοποίηση τρανζίστορ μηδενικού κατωφλίου έχει αρνητική επίδραση στην κατανάλωση ενέργειας, λόγω των ρευμάτων διαρροής που ρέουν μέσω των τρανζίστορ διέλευσης (τα οποία δεν αποκόπτονται) και μπορεί να προκαλέσουν στατική κατανάλωση στα κυκλώματα, δημιουργώντας απευθείας διαδρομές ρεύματος μεταξύ τροφοδοσίας και γείωσης.



Παράδειγμα 14

Υλοποιούμε της συνάρτηση $S = A \cdot B \cdot C + A \cdot B' \cdot C' + A' \cdot B' \cdot C + A' \cdot B \cdot C'$, η οποία υπολογίζει το αριθμητικό άθροισμα των 3 εισόδων A, B, C, χρησιμοποιώντας λογική τρανζίστορ διέλευσης και έναν αντιστροφέα αποκατάστασης σήματος. Υποθέτουμε ότι είναι διαθέσιμες και οι συμπληρωματικές μορφές των εισόδων.

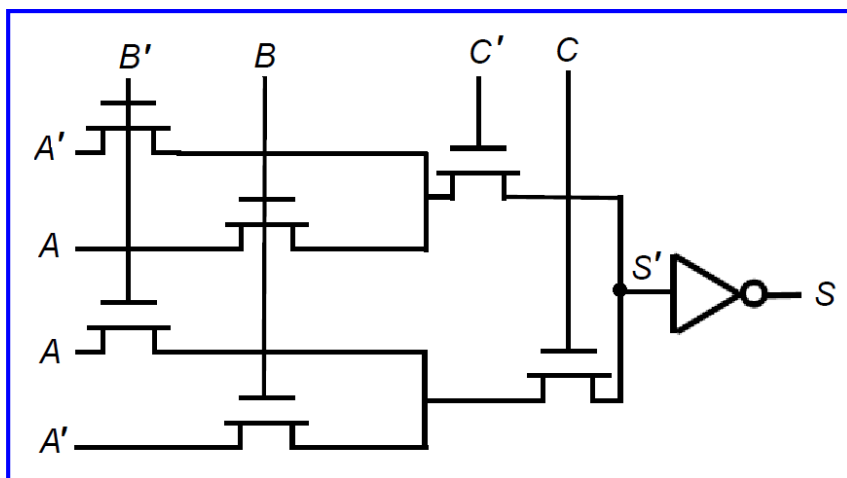
- Λόγω του ότι ζητείται η προσθήκη αντιστροφέα αποκατάστασης σήματος, θα πρέπει να υλοποιήσουμε τη συμπληρωματική συνάρτηση της συνάρτησης που δίνεται. Αφού η συνάρτηση που δίνεται είναι σε μορφή αθροίσματος ελαχιστόρων, η συμπληρωματική συνάρτηση ισούται με το άθροισμα των 4 ελαχιστόρων που απουσιάζουν από τη συνάρτηση, δηλαδή:

$$\begin{aligned} S' &= A' \cdot B' \cdot C' + A' \cdot B \cdot C + A \cdot B' \cdot C + A \cdot B \cdot C' = \\ &= C' \cdot (A' \cdot B' + A \cdot B) + C \cdot (A' \cdot B + A \cdot B'). \end{aligned}$$

- Για την υλοποίηση της συνάρτησης απαιτούνται 4 τρανζίστορ διέλευσης για την υλοποίηση των λογικών γινομένων $A' \cdot B'$, $A \cdot B$, $A' \cdot B$ και $A \cdot B'$ με τις εισόδους A και A' να είναι εισοδοί στα τρανζίστορ διέλευσης και τις εισόδους B και B' να είναι εισοδοί ελέγχου στα τρανζίστορ διέλευσης. Στη συνέχεια, πρέπει να συνδέσουμε παράλληλα ανά 2 τα τρανζίστορ διέλευσης, έτσι ώστε να υλοποιήσουμε τα λογικά αθροίσματα $A' \cdot B' + A \cdot B$ και $A' \cdot B + A \cdot B'$. Τέλος, πρέπει να συνδέσουμε στην έξοδο κάθε ζεύγους παράλληλα συνδεδεμένων τρανζίστορ διέλευσης ένα τρανζίστορ διέλευσης με εισόδους ελέγχου την είσοδο C' στο πρώτο ζεύγος και την είσοδο C στο δεύτερο ζεύγος.

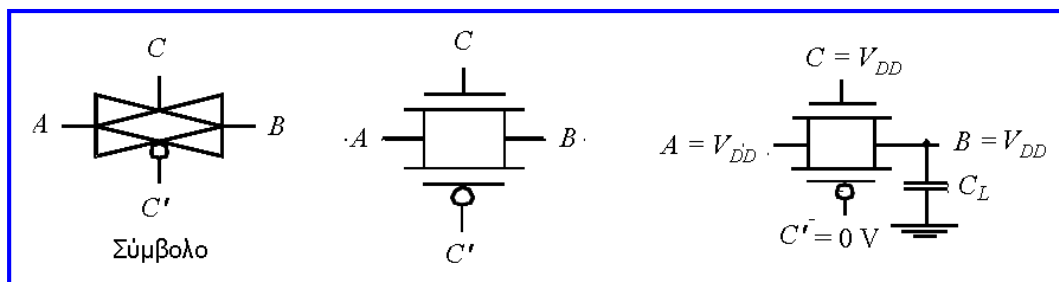
Παράδειγμα 14

Με βάση τα παραπάνω, η ζητούμενη υλοποίηση έχει ως εξής:



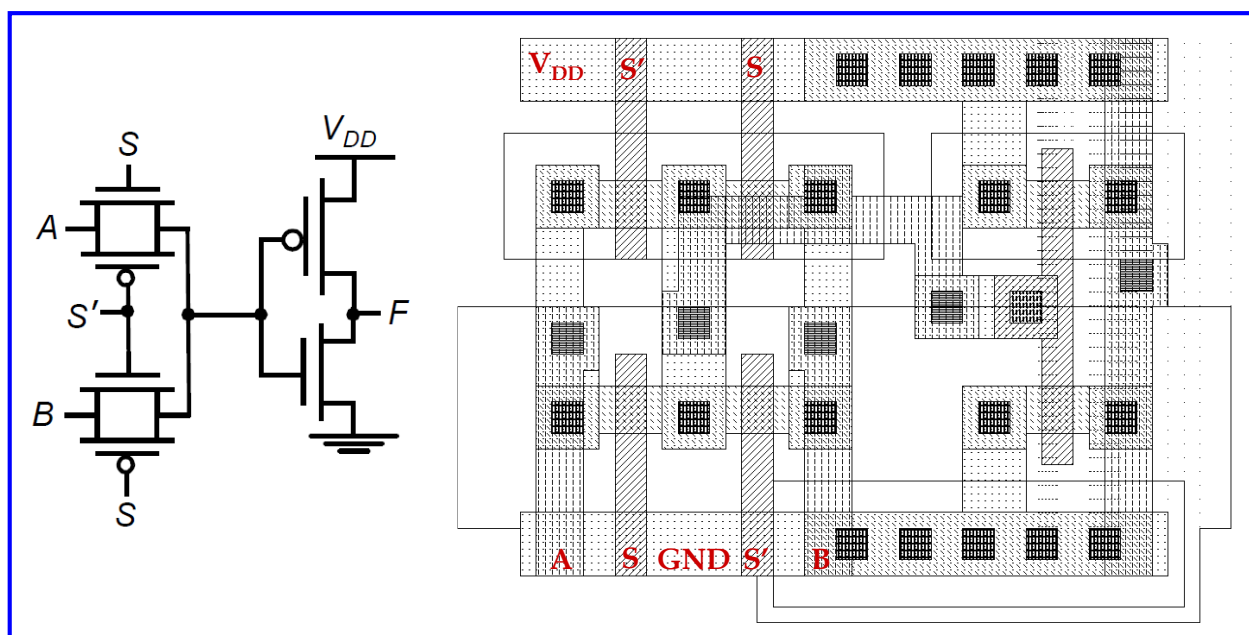
Λογική πύλης διέλευσης

- Η πλέον χρησιμοποιούμενη λύση για την αντιμετώπιση του προβλήματος της πτώσης τάσης κατωφλίου είναι η χρησιμοποίηση **πυλών διέλευσης (transmission gates)**.
- Η λογική βασίζεται στις συμπληρωματικές ιδιότητες των τρανζιστορ NMOS και PMOS: τα NMOS περνούν ισχυρό 0 αλλά ασθενές 1, ενώ τα PMOS περνούν ισχυρό 1 αλλά ασθενές 0.
- Η ιδανική προσέγγιση είναι να χρησιμοποιήσουμε ένα NMOS για οδήγηση της εξόδου στη χαμηλή στάθμη και ένα PMOS για οδήγηση της εξόδου στην υψηλή στάθμη.
- Η πύλη διέλευσης συνδυάζει τις θετικές ιδιότητες των δυο τρανζιστορ, τοποθετώντας ένα τρανζιστορ NMOS παράλληλα με ένα τρανζιστορ PMOS.
- Τα σήματα ελέγχου στην πύλη διέλευσης είναι συμπληρωματικά: όταν $C = 1$ άγουν και τα δυο τρανζιστορ, επιτρέποντας το σήμα εισόδου να διέλθει μέσω της πύλης ($A = B$), ενώ όταν $C = 0$ τα τρανζιστορ δεν άγουν με αποτέλεσμα τη δημιουργία ενός ανοιχτού κυκλώματος μεταξύ των A και B .



Λογική πύλης διέλευσης

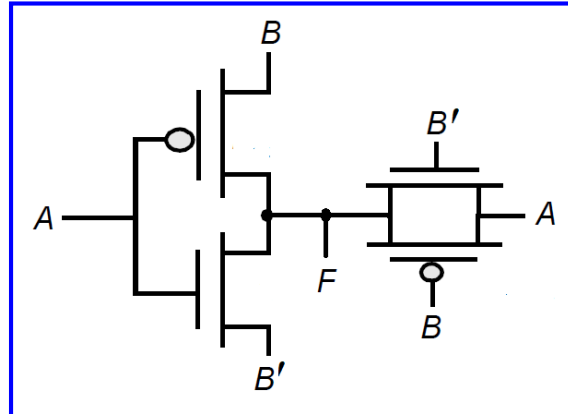
Αντιστρέφων πολυπλέκτης 2 σε 1, $F' = S \cdot A + S' \cdot B$
(η αντίστοιχη συμπληρωματική πύλη απαιτεί 8 τρανζιστορ αντί για 6)



Λογική πύλης διέλευσης

Δημοφιλής πύλη XOR 2 εισόδων που βασίζεται σε πύλες διέλευσης και χρησιμοποιείται σε κυκλώματα αθροιστών. Η λογική πύλης διέλευσης χρησιμοποιείται αποδοτικά σε κυκλώματα αθροιστών, πολλαπλασιαστών, καθώς και σε κυκλώματα καταχωρητών.

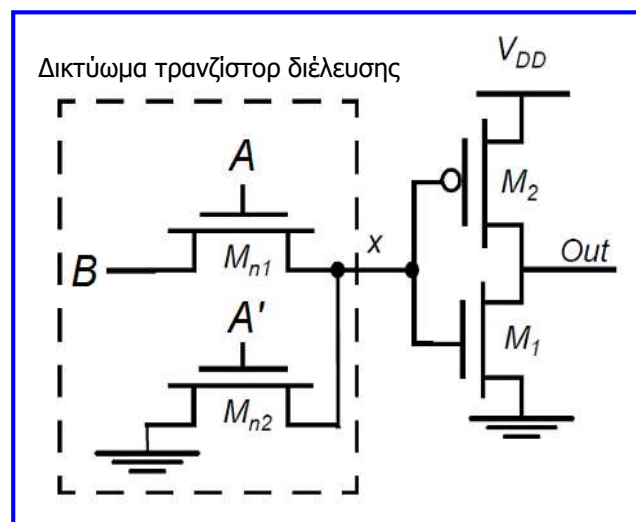
A	B	$F=A\oplus B$
0	0	0
0	1	1
1	0	1
1	1	0



Παράδειγμα 15

Για το κύκλωμα του διπλανού σχήματος:

- Προσδιορίζουμε τη λογική συνάρτηση που υλοποιείται από αυτό.
- Διαπιστώνουμε εάν το κύκλωμα καταναλώνει στατική ενέργεια.
- Χρησιμοποιώντας ένα τρανζίστορ, βελτιώνουμε το κύκλωμα ώστε να μην καταναλώνει στατική ενέργεια και εξηγούμε το κριτήριο με το οποίο επιλέγουμε το πλάτος του εν λόγω τρανζίστορ, υποθέτοντας ότι το λογικό κατώφλι του αντιστροφέα CMOS του κυκλώματος είναι $V_{DD}/2$.
- Υλοποιούμε το ίδιο κύκλωμα με πύλες διέλευσης, υποθέτοντας ότι είναι διαθέσιμες και οι συμπληρωματικές μορφές των δύο εισόδων A, B.
- Αντικαθιστούμε το δικτύωμα των τρανζίστορ διέλευσης του κυκλώματος που δίνεται με νέο δικτύωμα από τρανζίστορ διέλευσης, έτσι ώστε στον κόμβο x να λαμβάνουμε τη συνάρτηση $x = A \cdot B \cdot C$, υποθέτοντας ότι είναι διαθέσιμες και οι συμπληρωματικές μορφές των τριών εισόδων A, B και C.



Παράδειγμα 15

A. Το κύκλωμα υλοποιεί τη συνάρτηση του συμπληρώματος του λογικού γινομένου δύο εισόδων, δηλαδή είναι μια **πύλη NAND με 2 εισόδους**. Αυτό μπορεί να διαπιστωθεί εύκολα, αφού εάν καταγράψουμε σε έναν πίνακα τους τέσσερις συνδυασμούς των εισόδων A και B και υπολογίσουμε την έξοδο του κυκλώματος, προκύπτει ο πίνακας αλήθειας της πύλης NAND 2 εισόδων.

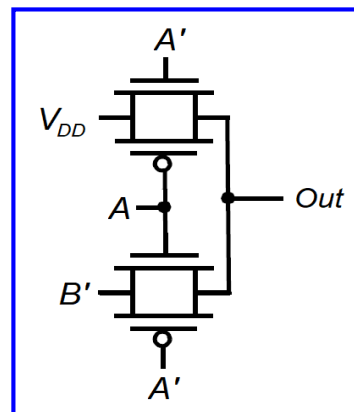
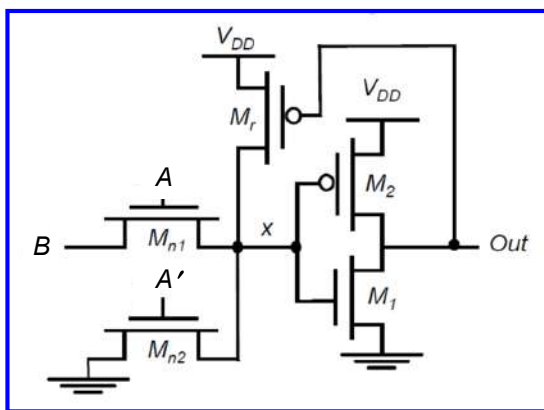
A	B	(A · B)'
0	0	1
0	1	1
1	0	1
1	1	0

B. Στο κύκλωμα που δίνεται, όταν $A = B = V_{DD}$, η τάση του κόμβου x είναι $V_x = V_{DD} - V_{Tn}$. Το γεγονός ότι στον κόμβο x η τάση είναι μικρότερη από την τάση τροφοδοσίας, προκαλεί **στατική κατανάλωση ενέργειας στον αντιστροφέα που οδηγείται από το δικτύωμα** των τρανζίστορ διέλευσης, αφού η υποβαθμισμένη υψηλή στάθμη στον κόμβο x, δεν επαρκεί ώστε να αποκόψει πλήρως το τρανζίστορ PMOS του αντιστροφέα.

C. Για να μην καταναλώνει στατική ενέργεια το κύκλωμα, πρέπει να γίνει σε αυτό προσθήκη ενός **τρανζίστορ PMOS με ρόλο αποκαταστάτη στάθμης**. Το βελτιωμένο κύκλωμα παρουσιάζεται στην επόμενη σελίδα.

Το **πλάτος του τρανζίστορ PMOS** που προστέθηκε στο κύκλωμα πρέπει να επιλεγεί, έτσι ώστε όταν μία από τις εισόδους A ή B λαμβάνει τιμή 0, το τρανζίστορ M_{n2} ή το τρανζίστορ M_{n1} , αντίστοιχα, να είναι ισχυρότερο ώστε να μπορεί να οδηγήσει τον κόμβο x σε τάση $V_{DD} / 2$ (λογικό κατώφλι αντιστροφέα) ή μικρότερη, έτσι ώστε να αλλάξει κατάσταση η έξοδος του αντιστροφέα και να διακοπεί η αγωγή του τρανζίστορ PMOS που προσθέσαμε.

Παράδειγμα 15



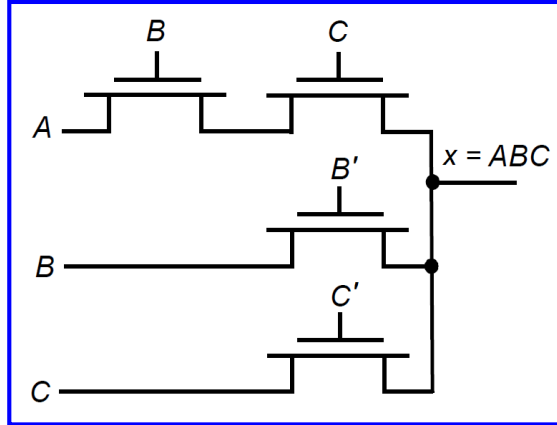
D. Από τον πίνακα αλήθειας της συνάρτησης, παρατηρούμε ότι όταν $A = 0$ τότε $Out = 1$, ενώ όταν $A = 1$ τότε $Out = B'$.

A	B	Out = (A · B)'	
0	0	1	Out = 1
0	1	1	
1	0	1	Out = B'
1	1	0	

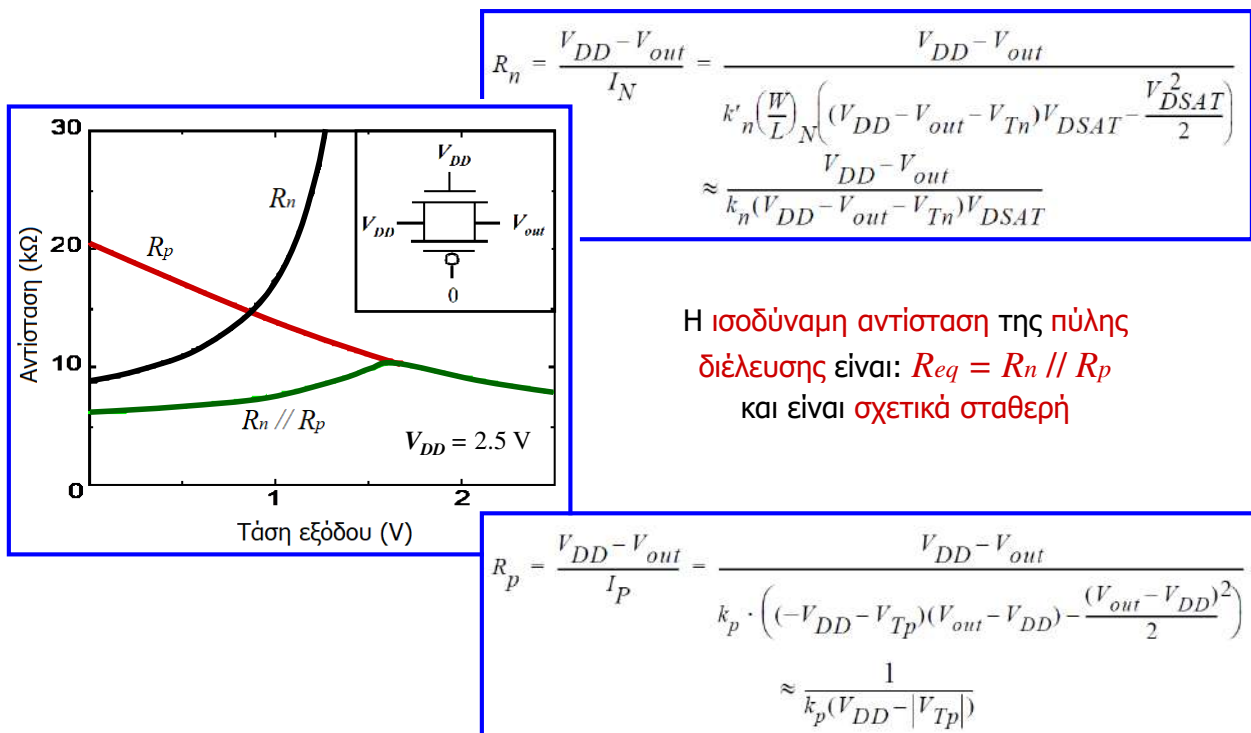
Επομένως, προκύπτει ότι η συνάρτηση μπορεί να υλοποιηθεί με 2 πύλες διέλευσης με εισόδους 1 (V_{DD}) και B' και εισόδους ελέγχου την είσοδο A και την συμπληρωματική μορφή της A' .

Παράδειγμα 15

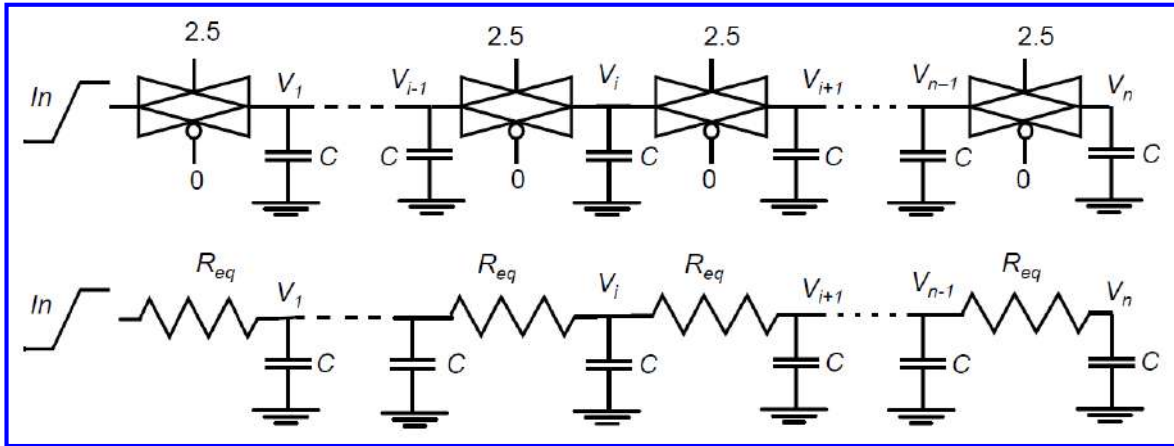
- E. Μια υλοποίηση της πύλης AND 3 εισόδων με τρανζίστορ διέλευσης (που ουσιαστικά ζητείται) είναι αυτή του σχήματος που ακολουθεί και παράγει το ορθό αποτέλεσμα για όλους τους συνδυασμούς τιμών των τριών εισόδων ($x = 1$ όταν $A = B = C = 1$ και $x = 0$ για όλους τους υπόλοιπους συνδυασμούς τιμών των εισόδων).



Ισοδύναμη αντίσταση πύλης διέλευσης



Καθυστέρηση αλυσίδας πυλών διέλευσης



- Με βάση τον τύπο καθυστέρησης του Elmore (σελίδα 32), η **καθυστέρηση διάδοσης** μιας αλυσίδας από n πύλες διέλευσης είναι **ανάλογη του n^2** και δίνεται από τη σχέση:

$$t_p = 0.69 \sum_{k=0}^n CR_{eq}k = 0.69CR_{eq} \frac{n(n+1)}{2}$$

- Η χρήση αλυσίδων από πύλες διέλευσης με μεγάλο μήκος σε ένα κύκλωμα, προκαλεί σημαντική αύξηση της καθυστέρησης του κυκλώματος.

Καθυστέρηση αλυσίδας πυλών διέλευσης

- Η μεγάλη καθυστέρηση της αλυσίδας αντιμετωπίζεται με **διακοπή της αλυσίδας** και **παρεμβολή** ενός **απομονωτή** (απομονωτής = 2 διαδοχικοί αντιστροφείς) μετά από **κάθε τμήμα** από m πύλες διέλευσης.
- Υποθέτοντας μία καθυστέρηση διάδοσης t_{buf} για κάθε απομονωτή, η **συνολική καθυστέρηση διάδοσης αλυσίδας και απομονωτών**, δίνεται από την ακόλουθη σχέση:

$$t_p = 0.69 \left[CR_{eq} \frac{n(m+1)}{2} \right] + \left(\frac{n}{m} - 1 \right) t_{buf}$$

- Η καθυστέρηση που προκύπτει παρουσιάζει γραμμική εξάρτηση ως προς τον αριθμό των πυλών διέλευσης (n), σε αντίθεση με το κύκλωμα χωρίς τους απομονωτές, το οποίο παρουσιάζει τετραγωνική εξάρτηση.
- Το βέλτιστο πλήθος m_{opt} των πυλών διέλευσης μεταξύ των απομονωτών μπορεί να βρεθεί εξισώνοντας την παράγωγο της καθυστέρησης αλυσίδας με 0:

$$m_{opt} = 1.7 \cdot \sqrt{t_{buf} / (C \cdot R_{eq})}$$

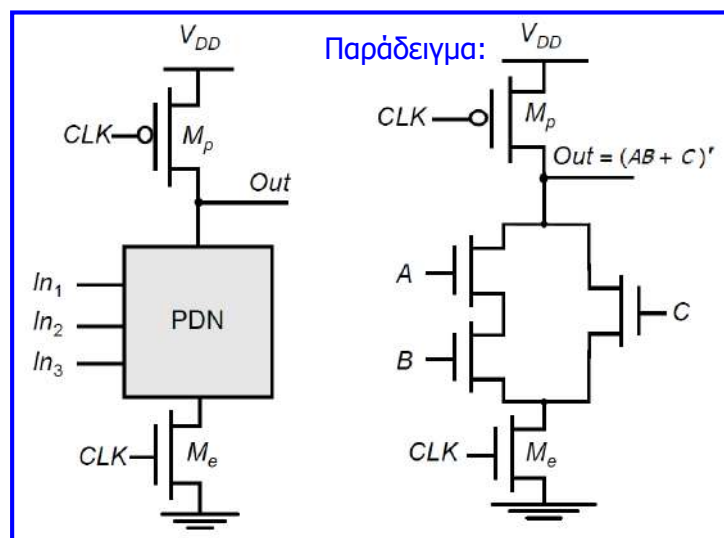
- Ο αριθμός των πυλών διέλευσης ανά τμήμα αυξάνεται με αύξηση της καθυστέρησης t_{buf} . Στις σύγχρονες τεχνολογίες η τιμή του m_{opt} είναι 3 ή 4.

Δυναμική λογική CMOS

- Η συμπληρωματική λογική CMOS για την υλοποίηση λογικής συνάρτησης με N μεταβλητές (εισόδους) απαιτεί $2 \cdot N$ τρανζίστορ, ενώ έχουν προταθεί άλλες στατικές λογικές για τη μείωση του πλήθους των τρανζίστορ.
- Η λογική ψεύδο-NMOS απαιτεί μόνο $N+1$ τρανζίστορ για την υλοποίηση μίας λογικής πύλης με N εισόδους, αλλά δυστυχώς παρουσιάζει στατική κατανάλωση ενέργειας, ανταγωνισμό στις μεταβάσεις καθόδου και μη μηδενική τάση V_{OL} .
- Τα κυκλώματα **δυναμικής λογικής (dynamic logic)** αντιπαρέρχονται τα μειονεκτήματα αυτά, επιτυγχάνοντας μειωμένο πλήθος τρανζίστορ για την υλοποίηση λογικών συναρτήσεων, μέσω της **προσθήκης μιας εισόδου ρολογιού** (ακολουθία παλμών) και της υιοθέτησης μιας ακολουθίας **δύο φάσεων λειτουργίας**: φάση **προφόρτισης (precharge)** και **φάση υπολογισμού (evaluation)**.
- Για την **οδήγηση της εξόδου προς την τάση τροφοδοσίας** χρησιμοποιεί ένα **χρονισμένο τρανζίστορ PMOS προφόρτισης** (τροφοδότηση του ακροδέκτη πύλης του τρανζίστορ με το σήμα ρολογιού), αντί για το τρανζίστορ PMOS σε ρόλο φορτίου που χρησιμοποιείται στη λογική ψεύδο-NMOS και άγει διαρκώς.
- Το δικτύωμα PDN μιας δυναμικής πύλης υλοποιείται ακριβώς όπως στην συμπληρωματική λογική CMOS.
- Η φάση (κατάσταση) λειτουργίας των δυναμικών πυλών καθορίζεται από την τιμή του σήματος ρολογιού.

Δυναμική λογική CMOS

- **Φάση προφόρτισης**: όταν $CLK = 0$, η έξοδος οδηγείται στην τάση τροφοδοσίας μέσω του M_p .
- Κατά τη διάρκεια της προφόρτισης, το τρανζίστορ M_e (που αναφέρεται και ως «πόδι», foot) δεν άγει με αποτέλεσμα η διαδρομή που περιλαμβάνει το δικτύωμα PDN να είναι απενεργοποιημένη.
- Λόγω του «ποδιού», κατά την προφόρτιση δεν καταναλώνεται στατική ενέργεια, αφού δεν υφίσταται διαδρομή ρεύματος από την τροφοδοσία προς τη γείωση.



- **Φάση υπολογισμού**: όταν $CLK = 1$, το τρανζίστορ προφόρτισης M_p δεν άγει ενώ το «πόδι» άγει και η έξοδος εκφορτίζεται υπό συνθήκη, ανάλογα με τις τιμές των εισόδων και την τοπολογία του δικτύωματος PDN.
- Εάν οι εισοδοί είναι τέτοιες ώστε το δικτύωμα PDN να άγει, δημιουργείται μία διαδρομή μεταξύ της εξόδου και της γείωσης και η έξοδος εκφορτίζεται, ενώ εάν το δικτύωμα PDN δεν άγει, η τιμή προφόρτισης μένει αποθηκευμένη στον κόμβο (χωρητικότητα) εξόδου.

Δυναμική λογική CMOS

- Κατά τη διάρκεια της φάσης υπολογισμού, η μόνη δυνατή διαδρομή μεταξύ της εξόδου και των γραμμών τροφοδοσίας και γείωσης, είναι προς τη γείωση.
- Συνεπώς, εάν η έξοδος εκφορτιστεί, δεν μπορεί να φορτιστεί ξανά μέχρι την επόμενη λειτουργία προφόρτισης.
- Έτσι, οι είσοδοι της πύλης μπορούν να προκαλέσουν μία μόνο μετάβαση κατά τη διάρκεια της φάσης υπολογισμού.
- Το **πλήθος των τρανζίστορ** που απαιτείται για την υλοποίηση μιας δεδομένης λογικής συνάρτησης με **N μεταβλητές (εισόδους)** είναι **$N + 2$** (μικρότερη επιφάνεια από τις αντίστοιχες συμπληρωματικές στατικές πύλες).
- Η δυναμική λογική δεν εξαρτάται από το λόγο των μεγεθών των τρανζίστορ (**non-ratioed**), αφού το πλάτος του τρανζίστορ προφόρτισης δεν επηρεάζει την λειτουργικότητα της πύλης.
- Το τρανζίστορ προφόρτισης μπορεί να έχει μεγάλο πλάτος για να βελτιωθεί ο χρόνος προφόρτισης, ωστόσο αυτό αυξάνει την κατανάλωση ενέργειας που σχετίζεται με το σήμα ρολογιού.
- Μια πύλη δυναμικής λογικής καταναλώνει **μόνο δυναμική ενέργεια**, αφού δεν εμφανίζεται διαδρομή στατικού ρεύματος μεταξύ της τροφοδοσίας και της γείωσης.
- Η **συνολική κατανάλωση ενέργειας** είναι ωστόσο **μεγαλύτερη** συγκρινόμενη με εκείνη των αντίστοιχων στατικών πυλών, **λόγω αυξημένης δραστηριότητας μεταβάσεων**.

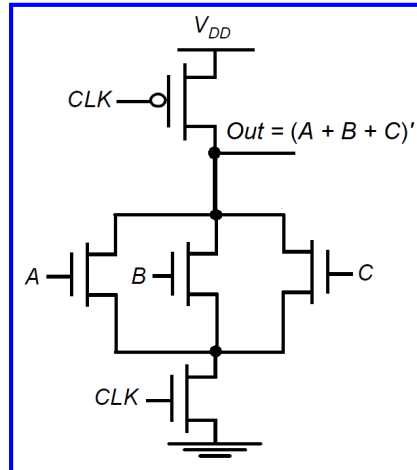
Δυναμική λογική CMOS

- Οι **δυναμικές πύλες** είναι **ταχύτερες** από τις στατικές, για δύο λόγους:
 - ✓ Ο πρώτος λόγος είναι η **μειωμένη χωρητικότητα φορτίου** λόγω του μικρότερου πλήθους τρανζίστορ ανά πύλη και του ότι η χωρητικότητα ανά είσοδο (ή ανά φόρτο εισόδου) συνίσταται στη χωρητικότητα ενός μόνο τρανζίστορ (**μειωμένη λογική προσπάθεια δυναμικών πυλών**).
 - ✓ Ο δεύτερος λόγος είναι ότι οι δυναμικές πύλες **δεν παρουσιάζουν ρεύμα βραχυκυκλώματος** (το οποίο ανταγωνίζεται την εκφόρτιση της εξόδου) και όλο το ρεύμα του δικτύματος PDN συμβάλει στην εκφόρτιση της χωρητικότητας φορτίου.
- Η χαμηλή και υψηλή στάθμη εξόδου V_{OL} και V_{OH} είναι ίσες με **0** και **τάση τροφοδοσίας**, αντίστοιχα και δεν εξαρτώνται από τα μεγέθη των τρανζίστορ.
- Για να είναι λειτουργική μία δυναμική πύλη απαιτείται μία περιοδική ακολουθία προφορτίσεων και υπολογισμών.
- Κατά τη διάρκεια της φάσης υπολογισμού, το δικτύωμα PDN (τρανζίστορ NMOS) ενός δυναμικού αντιστροφέα αρχίζει να άγει όταν το σήμα εισόδου υπερβεί την τάση κατωφλίου του, με αποτέλεσμα την έναρξη αλλαγής κατάστασης της πύλης (δηλαδή, $V_M = V_{TN}$).
- Επειδή δεν υπάρχει το τρανζίστορ PMOS που υπήρχε στον στατικό αντιστροφέα και με αύξηση του πλάτους του αυξανόταν το κατώφλι μετάβασης (V_M), ο δυναμικός αντιστροφέας παρουσιάζει **χαμηλή τιμή περιθωρίου θορύβου NM_L** .

Παράδειγμα 16

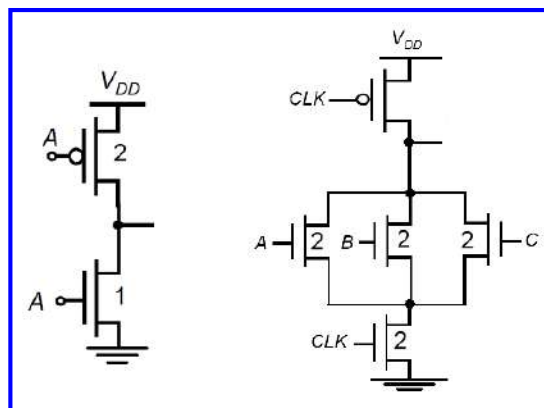
- Σχεδιάζουμε μία δυναμική πύλη NOR με τρεις εισόδους.
- Υπολογίζουμε τη λογική προσπάθεια της πύλης που σχεδιάσαμε και την συγκρίνουμε με τη λογική προσπάθεια της αντίστοιχης στατικής συμπληρωματικής πύλης CMOS.
- Υπολογίζουμε την πιθανότητα να συμβεί μετάβαση που οδηγεί σε κατανάλωση χωρητικής ενέργειας της πύλης που σχεδιάσαμε και τη συγκρίνουμε με την αντίστοιχη πιθανότητα της αντίστοιχης στατικής συμπληρωματικής πύλης CMOS, υποθέτοντας ότι οι εισοδοί των πυλών είναι ανεξάρτητες και ομοιόμορφα κατανομημένες.

Η δυναμική πύλη NOR τριών εισόδων έχει ως εξής:



Παράδειγμα 16

- Η **λογική προσπάθεια** μιας λογικής πύλης ερμηνεύεται ως το πόσο μεγαλύτερη ή μικρότερη χωρητικότητα εισόδου πρέπει να διαθέτει η πύλη, έτσι ώστε να παράξει το ίδιο ρεύμα εξόδου με έναν στατικό αντιστροφέα CMOS αναφοράς (με $W_p / W_n = 2$)
- Πριν τον υπολογισμό της λογικής προσπάθειας της δυναμικής πύλης που σχεδιάσαμε θα πρέπει να καθορίσουμε το πλάτος των τρανζιστορ της, ώστε η ισοδύναμη αντίσταση της να ισούται με την αντίσταση του στατικού αντιστροφέα.
- Το τρανζιστορ προφόρτισης PMOS δεν επηρεάζει τη λογική προσπάθεια της πύλης και επιλέγεται συνήθως να έχει μοναδιαία αντίσταση, αφού η προφόρτιση γίνεται όταν η πύλη είναι ανενεργή, χωρίς να επιδιώκεται υψηλή ταχύτητα.



Παράδειγμα 16

- Η συνολική χωρητικότητα εισόδου ενός στατικού αντιστροφέα ελάχιστου μεγέθους είναι τριπλάσια της χωρητικότητας πύλης ενός ελάχιστου μεγέθους NMOS τρανζίστορ (C_{unit}).
- Η συνολική χωρητικότητα κάθε εισόδου της δυναμικής πύλης NOR 3 εισόδων είναι $2 \cdot C_{unit}$ ή $2/3$ της χωρητικότητας εισόδου του αντιστροφέα. Συνεπώς: $g = 2/3$.
- Η πύλη αυτή είναι κατά 1.5 ($3/2$) φορές ικανότερη στην παραγωγή ρεύματος εξόδου (ικανότητα οδήγησης) από έναν αντιστροφέα με ίση χωρητικότητα εισόδου.
- Η λογική προσπάθεια της δυναμικής NOR είναι ανεξάρτητη από το πλήθος εισόδων.
- Σύμφωνα με όσα αναφέρθηκαν στις σελίδες 50-52, μια στατική συμπληρωματική πύλη NOR τριών εισόδων, παρουσιάζει λογική προσπάθεια ίση με $7/3$.
- Η σύγκριση των δύο λογικών προσπαθειών καταλήγει στο ότι οι δυναμικές πύλες είναι πιο γρήγορες από τις στατικές συμπληρωματικές πύλες.
- Στις στατικές πύλες μεγάλο μέρος της χωρητικότητας εισόδου οφείλεται στα πιο αργά τρανζίστορ PMOS και οδηγεί σε αυξημένη λογική προσπάθεια.
- Οι δυναμικές πύλες NOR έχουν μικρότερη λογική προσπάθεια από τις πύλες NAND (λόγω των σειριακών τρανζίστορ των NAND), ενώ στις στατικές πύλες συμβαίνει το αντίθετο.
- Το γεγονός αυτό μαζί με το ότι η λογική προσπάθεια των δυναμικών πυλών NOR είναι ανεξάρτητη από το πλήθος των εισόδων, είναι σημαντικοί λόγοι για χρήση μεγάλων δυναμικών πυλών NOR, έναντι άλλου τύπου δυναμικών πυλών, όπου αυτό είναι δυνατό.

Παράδειγμα 16

- Στις λογικές πύλες η μετάβαση που οδηγεί σε κατανάλωση χωρητικής ενέργειας είναι η μετάβαση από την χαμηλή στην υψηλή στάθμη ($0 \rightarrow 1$).
- Σε μια δυναμική πύλη, συμβαίνει μετάβαση της εξόδου από τη χαμηλή στην υψηλή στάθμη κατά τη διάρκεια της φάσης προφόρτισης, μόνο εάν η έξοδος είχε εκφορτιστεί κατά τη διάρκεια της προηγούμενης φάσης υπολογισμού.
- Έτσι, η πιθανότητα να συμβεί μετάβαση εξόδου από τη χαμηλή στην υψηλή στάθμη, σε μια δυναμική πύλη είναι:

$$\alpha_{0 \rightarrow 1} = p_0$$

όπου p_0 είναι η πιθανότητα η τάση εξόδου να είναι σε χαμηλή στάθμη.

- Επομένως, για εισόδους ανεξάρτητες και ομοιόμορφα κατανεμημένες, η πιθανότητα μετάβασης για μια δυναμική πύλη με N εισόδους, είναι:

$$\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N}$$

όπου N_0 είναι ο αριθμός των μηδενικών στη στήλη εξόδου του πίνακα αλήθειας της πύλης.

- Για μια δυναμική πύλη NOR 3 εισόδων: $\alpha_{0 \rightarrow 1} = 7 / 2^3 = 7 / 8 = 0.875$.

Παράδειγμα 16

- Για τις στατικές συμπληρωματικές πύλες CMOS, η πιθανότητα μετάβασης $0 \rightarrow 1$ είναι η πιθανότητα p_0 η έξοδος να είναι σε κατάσταση 0 σε έναν κύκλο, πολλαπλασιαζόμενη με την πιθανότητα p_1 η έξοδος να είναι σε κατάσταση 1 στον επόμενο κύκλο:

$$\alpha_{0 \rightarrow 1} = p_0 \cdot p_1 = p_0 \cdot (1 - p_0)$$

- Επομένως, για ανεξάρτητες εισόδους και ομοιόμορφα κατανομημένες, η πιθανότητα μετάβασης από τη χαμηλή στην υψηλή στάθμη, σε μια στατική πύλη με N εισόδους είναι:

$$\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} \cdot \frac{N_1}{2^N} = \frac{N_0 \cdot (2^N - N_0)}{2^{2N}}$$

όπου N_0 είναι ο αριθμός των 0, και N_1 είναι ο αριθμός των 1 στη στήλη εξόδου του πίνακα αλήθειας της λογικής πύλης.

- Για μια στατική συμπληρωματική πύλη NOR 3 εισόδων:

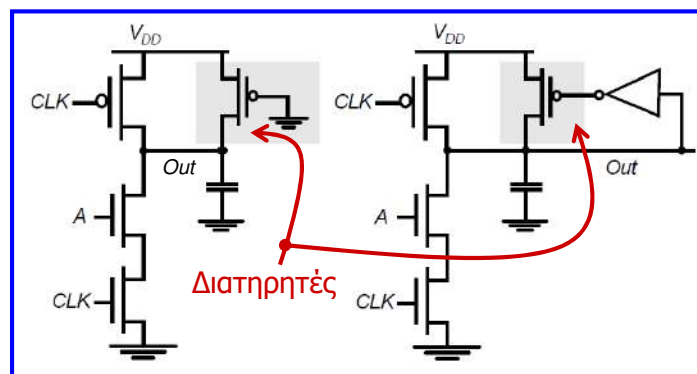
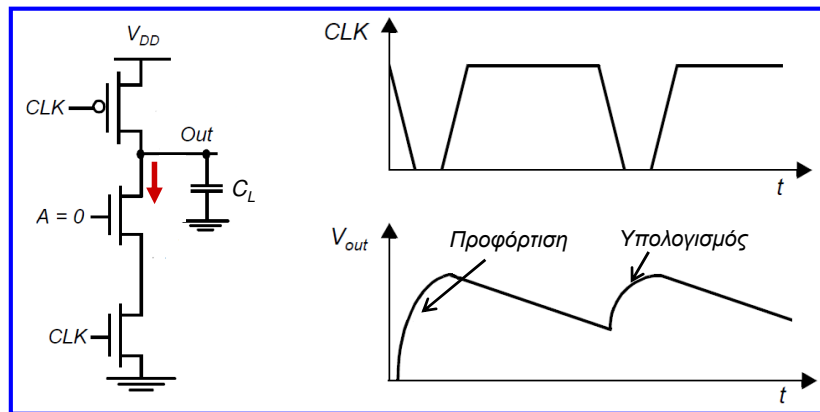
$$\alpha_{0 \rightarrow 1} = 7 \cdot (2^3 - 7) / 2^{2 \cdot 3} = 7 / 64 = 0.11.$$

- Προκύπτει ότι η πιθανότητα μετάβασης στην στατική πύλη είναι πολύ μικρότερη.
- Η δραστηριότητα μετάβασης μιας δυναμικής πύλης είναι γενικά υψηλότερη από εκείνη μιας αντίστοιχης στατικής πύλης, ωστόσο οι δυναμικές πύλες έχουν μικρότερη φυσική χωρητικότητα.

Διαρροή φορτίου στην δυναμική λογική CMOS

- Η λειτουργία μίας δυναμικής πύλης βασίζεται στην αποθήκευση της τιμής εξόδου στη χωρητικότητα εξόδου.
- Εάν το δικτύωμα PDN δεν άγει, η έξοδος θα πρέπει να παραμείνει στην προφορτιζόμενη κατάσταση (ίση με την τάση τροφοδοσίας), κατά τη διάρκεια της φάσης υπολογισμού.
- Ωστόσο, **το φορτίο αυτό βαθμιαία διαρρέει λόγω των ρευμάτων διαρροής** (υποκατωφλίου και ανάστροφα πολωμένων επαφών υποδοχής-υποστρώματος), με αποτέλεσμα τη **μείωση της τάσης εξόδου με την πάροδο του χρόνου**, καταλήγοντας σε προβληματική λειτουργία της πύλης.
- Η συμπεριφορά αυτή καθιστά μη ελκυστική τη χρήση δυναμικών πυλών για κυκλώματα χαμηλής συχνότητας (αργής λειτουργίας).
- Το πρόβλημα της διαρροής μπορεί να αντιμετωπιστεί με την προσθήκη ενός τρανζίστορ PMOS με ρόλο **διατηρητή (keeper) ή τροφοδότη (bleeder)**, το οποίο αντισταθμίζει το φορτίο που χάνεται λόγω των διαδρομών διαρροής.
- Ο διατηρητής θα πρέπει να έχει επαρκές πλάτος ώστε να μπορεί να αντισταθμίσει τα ρεύματα διαρροής, αλλά το μεγάλο πλάτος οδηγεί σε στατική κατανάλωση ενέργειας και σε αύξηση της καθυστέρησης.
- Συχνά, ο διατηρητής υλοποιείται σε σχηματισμό ανατροφοδότησης, ώστε να εξαλείφεται η στατική κατανάλωση ενέργειας.

Διαρροή φορτίου στην δυναμική λογική CMOS

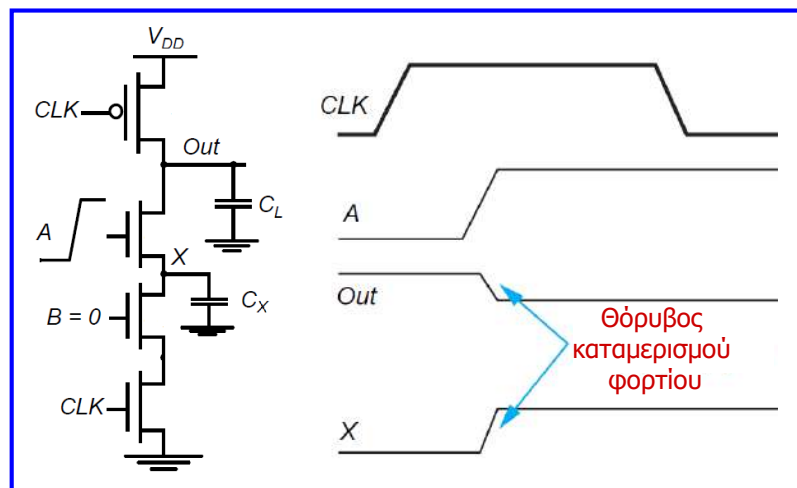


Καταμερισμός φορτίου στην δυναμική λογική CMOS

- Στις δυναμικές πύλες παρουσιάζονται προβλήματα, τα οποία σχετίζονται με τον **καταμερισμό φορτίου (charge sharing)**.
- Για **παράδειγμα** σε μια δυναμική πύλη NAND 2 εισόδων, όταν κατά την προφόρτιση οι εισοδοί έχουν τιμή 0 και η χωρητικότητα στον κόμβο X είναι εκφορτισμένη, εάν κατά τον υπολογισμό η είσοδος A μεταβεί από τη χαμηλή στην υψηλή στάθμη και η είσοδος B παραμένει στη χαμηλή στάθμη, το αρχικό φορτίο της C_L καταμερίζεται στις C_L και C_X .
- Σχηματίζεται χωρητικός διαιρέτης τάσης και οι τάσεις ισοσταθμίζονται με αποτέλεσμα την μείωση της τάσης εξόδου.

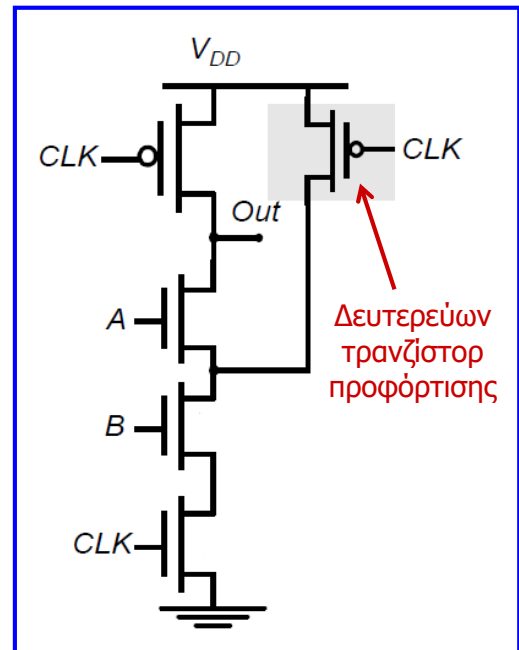
$$V_X = V_{out} = \frac{C_L}{(C_L + C_X)} \cdot V_{DD}$$

- Εάν ο θόρυβος καταμερισμού είναι μικρός, ο διατηρητής αποκαθιστά την τάση εξόδου.
- Ωστόσο, όταν η χωρητικότητα εξόδου είναι μικρή και η εσωτερική χωρητικότητα είναι μεγάλη, ο καταμερισμός φορτίου καθίσταται σοβαρό πρόβλημα.



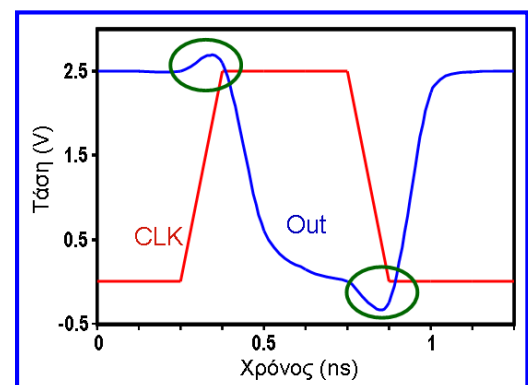
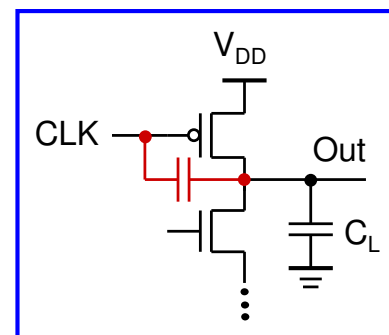
Καταμερισμός φορτίου στην δυναμική λογική CMOS

- Ο καταμερισμός φορτίου μπορεί να αντιμετωπιστεί με την **προφόρτιση στην τάση τροφοδοσίας μερικών ή όλων των εσωτερικών κόμβων**.
- Αυτό επιτυγχάνεται με **προσθήκη δευτερευόντων τρανζίστορ προφόρτισης**.
- Αφού οι εσωτερικοί κόμβοι φορτίζονται στην τάση τροφοδοσίας κατά την προφόρτιση, δεν συμβαίνει καταμερισμός φορτίου κατά τη φάση του υπολογισμού.
- Τα δευτερεύοντα τρανζίστορ προφόρτισης θα πρέπει να έχουν μικρό πλάτος, αφού ρόλος τους είναι μόνο η φόρτιση των σχετικά μικρών εσωτερικών χωρητικοτήτων και η χωρητικότητα διάχυσής τους καθυστερεί την φάση υπολογισμού.
- Συνήθως, αρκεί να προφορτίζεται κάθε δεύτερος κόμβος στο κύκλωμα.



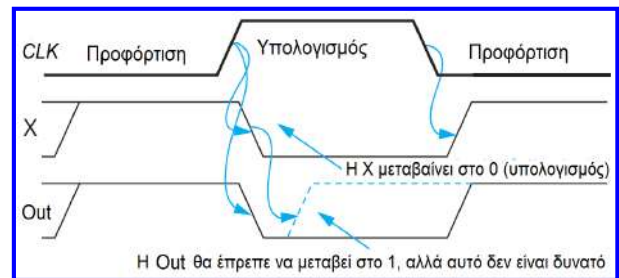
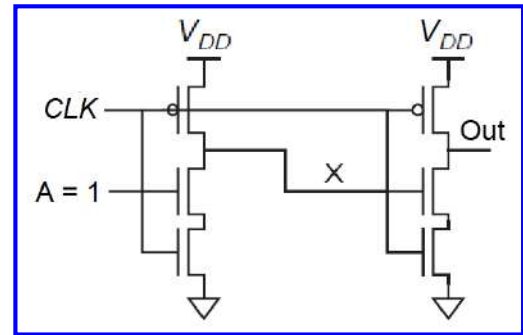
Χωρητική σύζευξη εισόδου ρολογιού & εξόδου πύλης

- Λόγω της χωρητικότητας πύλης-υποδοχής του τρανζίστορ προφόρτισης, δημιουργείται χωρητική σύζευξη μεταξύ της εισόδου ρολογιού και της εξόδου της πύλης (**τροφοδότηση ρολογιού, clock feedthrough**).
- Αυτό έχει ως αποτέλεσμα, κατά τη γρήγορη μετάβαση του σήματος ρολογιού από την χαμηλή στην υψηλή στάθμη, η τάση εξόδου να υπερβαίνει την τάση τροφοδοσίας, ενώ κατά την αντίστροφη μετάβαση του σήματος ρολογιού, η τάση εξόδου να λαμβάνει αρνητικές τιμές.
- Οι υπερβάσεις αυτές, διαρκούν όσο και η μετάβαση του σήματος ρολογιού, και μπορούν να οδηγήσουν στην επαφή υποδοχής-υποστρώματος του τρανζίστορ προφόρτισης σε ορθή πόλωση (από τη φυσιολογική ανάστροφη), με αποτέλεσμα την έγχυση ηλεκτρονίων (ροή ρεύματος) στο υπόστρωμα, τα οποία μπορούν να συλληθούν από γειτονικό κόμβο, προκαλώντας διαταραχή στην τάση του και ενδεχομένως λανθασμένη λειτουργία του κυκλώματος.
- Το φαινόμενο πρέπει να παραμένει σε επιτρεπτά όρια.



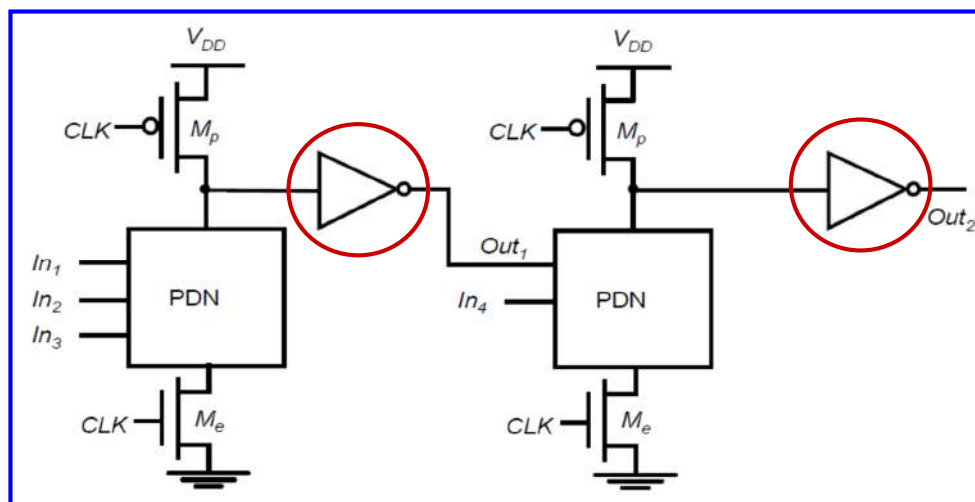
Τοποθέτηση δυναμικών πυλών σε σειρά

- Η **άμεση** σύνδεση δυναμικών πυλών σε σειρά παρουσιάζει λειτουργικά προβλήματα.
- Κατά τη διάρκεια της φάσης υπολογισμού, οι έξοδοι πρέπει να μεταβαίνουν στην υψηλή στάθμη.
- Αυτό σημαίνει ότι οι εισόδους μπορεί να είναι αρχικά σε χαμηλή στάθμη και να μεταβούν σε υψηλή, να είναι σε υψηλή στάθμη και να παραμείνουν σε αυτή, αλλά δεν μπορούν να είναι σε υψηλή στάθμη και να μεταβούν σε χαμηλή.
- Σε έναν δυναμικό αντιστροφέα, κατά την προφόρτιση η έξοδος οδηγείται σε υψηλή στάθμη και όταν $CLK = 1$, η είσοδος είναι σε υψηλή στάθμη και η έξοδος μεταβαίνει σε χαμηλή στάθμη.
- Εάν κατόπιν η είσοδος μεταβεί στη χαμηλή στάθμη, η έξοδος παραμένει στη χαμηλή στάθμη, ενώ για ορθή λειτουργία αντιστροφέα θα έπρεπε να μεταβεί στην υψηλή στάθμη.
- Οι **εισόδους** λοιπόν **πρέπει να μεταβαίνουν από 0 σε 1**, για να υπολογίσει μια πύλη τη σωστή συνάρτηση.



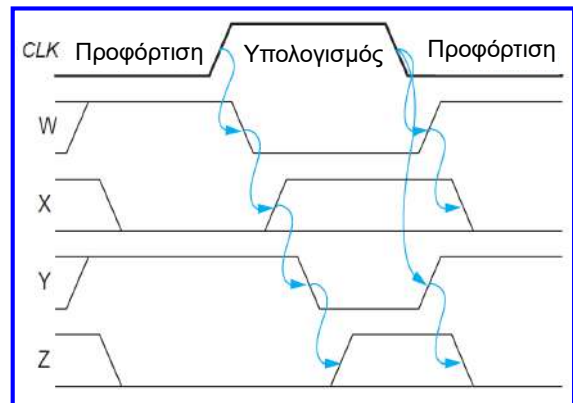
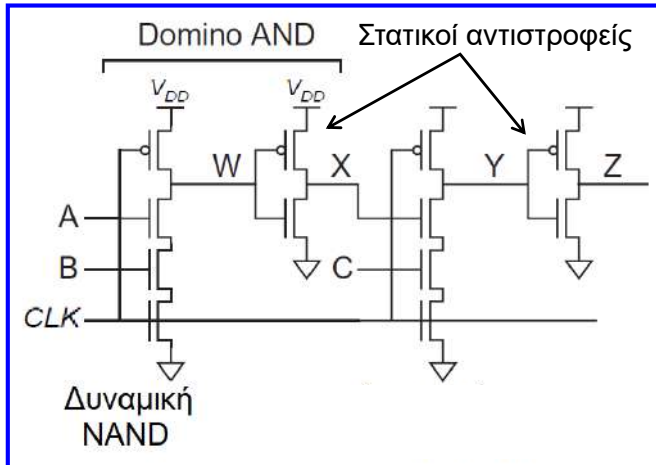
Δυναμική λογική διαδοχικής επίδρασης (domino)

- Το πρόβλημα λειτουργίας που παρουσιάζουν οι δυναμικές πύλες σε άμεση σύνδεση, μπορεί να λυθεί με την **παρεμβολή ενός στατικού αντιστροφέα CMOS** ανάμεσα στις δυναμικές πύλες.
- Η διάταξη αυτή αναφέρεται ως **λογική διαδοχικής επίδρασης** ή **λογική domino**, επειδή η προφόρτιση μοιάζει με το στήσιμο μιας σειράς από πλακίδια domino, ενώ η φάση υπολογισμού ενεργοποιεί τις πύλες (διαδοχικά, η προηγούμενη την επόμενη), περίπου όπως η πτώση των πλακιδίων domino.



Δυναμική λογική διαδοχικής επίδρασης (domino)

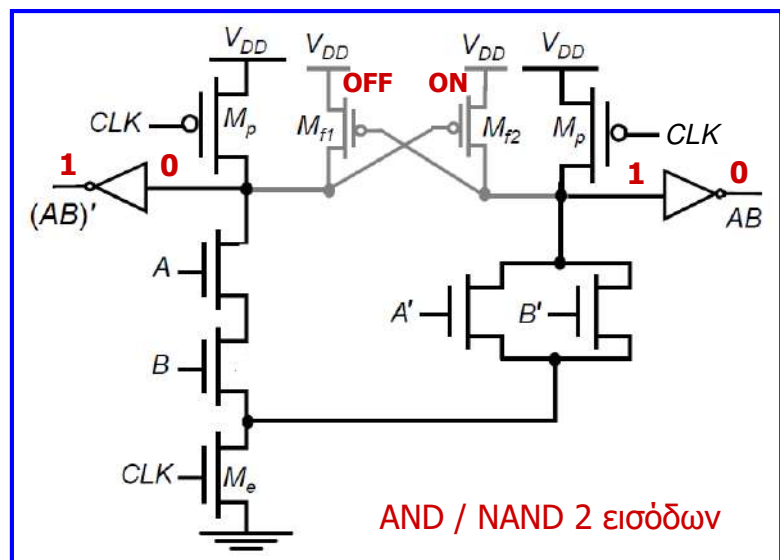
- Η **προφόρτιση** γίνεται **παράλληλα**, ενώ ο **υπολογισμός** γίνεται **διαδοχικά**.
- Επειδή κατά τον υπολογισμό η δυναμική έξοδος μεταβαίνει μόνο από την υψηλή στη χαμηλή στάθμη, ο στατικός αντιστροφέας CMOS μεταβαίνει μόνο από την χαμηλή στην υψηλή στάθμη, ευνοώντας τη μετάβαση της εξόδου από τη χαμηλή στην υψηλή στάθμη.
- Με τη λογική domino μπορούν να επιτευχθούν μεγάλες ταχύτητες, αφού υπάρχει μόνο ένας τύπος καθυστέρησης (για μετάβαση εξόδου από τη χαμηλή στην υψηλή στάθμη), ενώ ο άλλος τύπος καθυστέρησης (t_{pHL}) ισούται με 0.



Διαφορική λογική domino

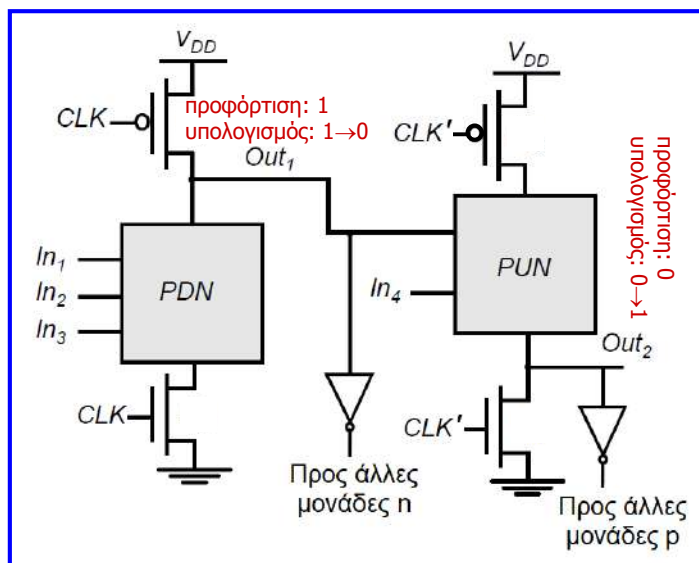
- Οι **πύλες λογικής domino** είναι από τη φύση τους **μη-αντιστρέφουσες** (non-inverting).
- Ο περιορισμός αυτός ξεπερνιέται με χρήση της **διαφορικής λογικής domino** (differential domino logic).
- Η λογική αυτή παρουσιάζει ομοιότητες με την λογική DCVSL, αλλά χρησιμοποιεί τρανζίστορ προφόρτισης αντί για απλά διασταυρούμενα φορτία-PMOS.
- Ο ρόλος των τρανζίστορ M_{f1} και M_{f2} , είναι να διατηρήσουν την τιμή των εξόδων όταν το σήμα ρολογιού παραμένει σε υψηλή στάθμη για μεγάλο χρονικό διάστημα.

Οι εισοδοί έρχονται από άλλες διαφορικές πύλες domino, είναι σε χαμηλή στάθμη κατά την προφόρτιση και μεταβαίνουν από 0 σε 1 κατά τον υπολογισμό.



Λογική nr-CMOS

- Μια **εναλλακτική** προσέγγιση για την **σειριακή σύνδεση δυναμικών πυλών** είναι η **λογική nr-CMOS**.
- Η λογική αυτή χρησιμοποιεί 2 μονάδες δυναμικής λογικής: **μονάδα n** με δικτύωμα PDN (NMOS) και **μονάδα p** με δικτύωμα PUN (PMOS) χωρίς τη χρήση ενδιάμεσου αντιστροφέα.
- Τα δικτύωμα PDN ελέγχεται από το CLK, ενώ το δικτύωμα PUN ελέγχεται από το CLK'.
- Στις εισόδους της μονάδας n επιτρέπονται μόνο μεταβάσεις από 0 σε 1, ενώ στις εισόδους της μονάδας p επιτρέπονται μεταβάσεις από 1 σε 0.
- Κατά την προφόρτιση (CLK = 0) η Out₁ οδηγείται στην τάση τροφοδοσίας, ενώ η Out₂ σε τάση 0.
- Για τη σύνδεση μεταξύ μονάδων ίδιου τύπου απαιτούνται αντιστροφείς.

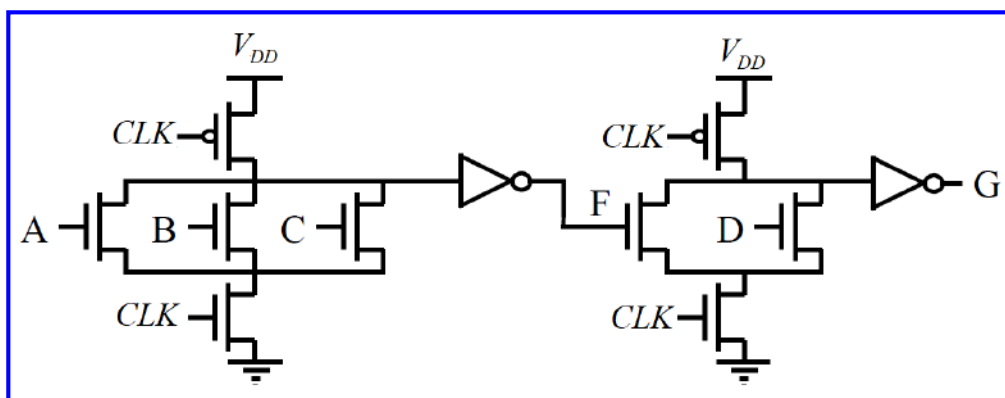


Παράδειγμα 17

Υλοποιούμε τις λογικές συναρτήσεις $F = A + B + C$ και $G = A + B + C + D$ αρχικά ως διαδοχικές δυναμικές πύλες και στη συνέχεια χρησιμοποιώντας λογική nr-CMOS, υποθέτοντας ότι είναι διαθέσιμες και οι συμπληρωματικές μορφές των εισόδων A, B, C και D.

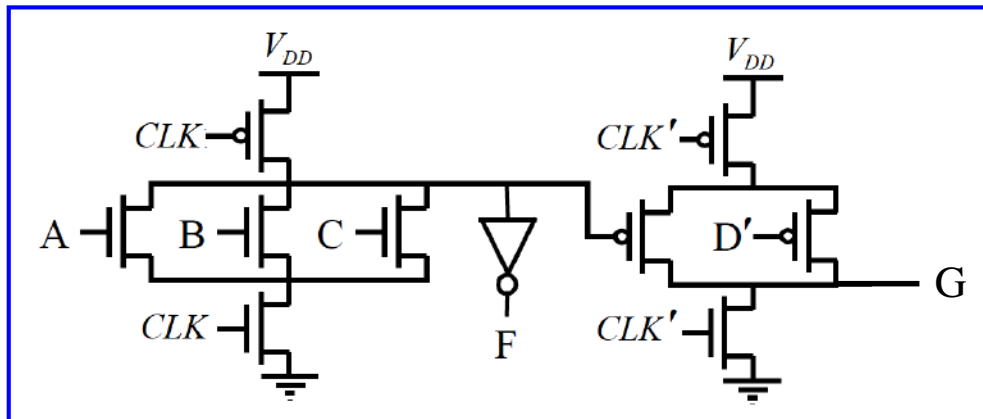
Οι δυναμικές πύλες με δικτυώματα PDN από τρανζίστορ NMOS δεν μπορούν να συνδεθούν απευθείας σε σειρά, λόγω των λειτουργικών προβλημάτων που παρουσιάζονται.

Έτσι, για να υλοποιήσουμε τις λογικές συναρτήσεις F και G ως δύο διαδοχικές δυναμικές πύλες χρησιμοποιούμε τη δυναμική λογική διαδοχικής επίδρασης (domino), όπως παρουσιάζεται στο παρακάτω σχήμα:



Παράδειγμα 17

Η υλοποίηση των λογικών συναρτήσεων F και G χρησιμοποιώντας λογική np-CMOS, παρουσιάζεται στο παρακάτω σχήμα:



Με τη **λογική domino** υλοποιούμε αντιστρέφουσες λογικές συναρτήσεις και για το λόγο αυτό τις μη αντιστρέφουσες συναρτήσεις F και G τις λαμβάνουμε στις εξόδους των αντιστροφέν που ακολουθούν τις δυναμικές πύλες.

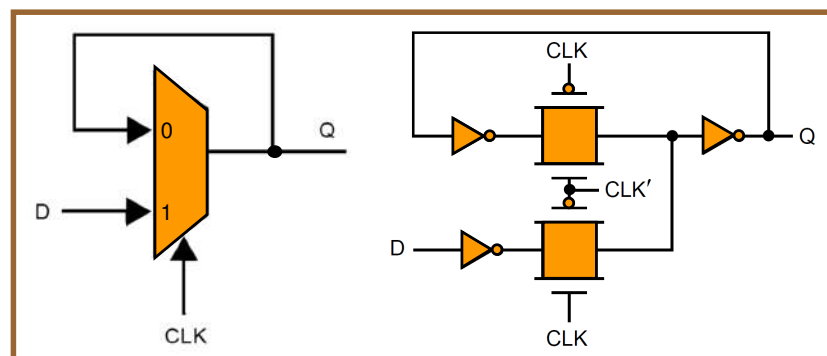
Στη **λογική np-CMOS**, η μονάδα n υλοποιεί αντιστρέφουσα λογική συνάρτηση, ενώ η μονάδα p υλοποιεί μη αντιστρέφουσα λογική συνάρτηση.

Συμπεράσματα

- Η στατική συμπληρωματική CMOS συνδυάζει τα δικά δικτυώματα οδήγησης PDN και PUN, με μόνο ένα από αυτά είναι ενεργοποιημένο κάθε φορά.
- Η πιο διαδεδομένη τεχνική φυσικού σχεδιασμού στατικών συμπληρωματικών πυλών CMOS, είναι η τεχνική τυπικού κυττάρου (standard cell), κατά την οποία ακολουθούνται μεθοδολογικά βήματα για την επίτευξη λειτουργικού και συμπαγούς φυσικού σχεδιασμού.
- Η επίδοση μιας πύλης CMOS είναι ισχυρή συνάρτηση του φόρτου εισόδου.
- Τεχνικές για τον χειρισμό του υψηλού φόρτου εισόδου, περιλαμβάνουν τον καθορισμό του μεγέθους των τρανζίστορ, την αναδιάταξη των εισόδων και την τμηματοποίηση.
- Η καθυστέρηση μιας πύλης CMOS είναι γραμμική συνάρτηση του φόρτου εξόδου.
- Η κατανάλωση ενέργειας ενός λογικού δικτυώματος εξαρτάται από τη δραστηριότητα μεταβάσεων του δικτυώματος.
- Η δραστηριότητα αυτή είναι μία συνάρτηση των στατιστικών των εισόδων, της τοπολογίας του δικτυώματος και του τύπου της λογικής.
- Τεχνικές που ασχολούνται με τη μείωση της δραστηριότητας μεταβάσεων, περιλαμβάνουν τη λογική επαναδόμηση, την αναδιάταξη εισόδων και τη μείωση των ψευδοπαλμών.
- Η εξαρτημένη από τον λόγο των μεγεθών των τρανζίστορ λογική αποτελείται από ένα PDN δικτύωμα συνδεδεμένο σε ένα στοιχείο φορτίου PMOS.

Συμπεράσματα

- Αυτό έχει ως αποτέλεσμα μείωση της πολυπλοκότητας της πύλης με κόστος τη στατική κατανάλωση ενέργειας και μία ασύμμετρη απόκριση.
- Οι πιο δημοφιλείς προσεγγίσεις αυτής της κατηγορίας είναι οι λογικές ψεύδο-NMOS και DCVSL, η οποία απαιτεί συμπληρωματικές εισόδους και παρέχει συμπληρωματικές εξόδους.
- Η λογική τρανζίστορ διέλευσης με τρανζίστορ NMOS, υλοποιεί τη λογική πύλη ως ένα απλό δικτύωμα διακοπών και παράγει απλές δομές, αλλά έχει το πρόβλημα της στατικής κατανάλωσης ενέργειας και των μειωμένων περιθωρίων θορύβου.
- Το πρόβλημα αυτό μπορεί να αντιμετωπιστεί προσθέτοντας αντιστροφείς αποκατάστασης σήματος, τρανζίστορ αποκατάστασης στάθμης ή με άλλες τεχνικές (λογική SPRL).
- Μεγάλες αλυσίδες από τρανζίστορ ή πύλες διέλευσης θα πρέπει να αποφεύγονται λόγω της τετραγωνικής αύξησης στη καθυστέρηση ως προς το πλήθος των τρανζίστορ της αλυσίδας.
- Η λειτουργία της δυναμικής λογικής βασίζεται στην αποθήκευση φορτίου σε ένα χωρητικό κόμβο και στην υπό συνθήκη εκφόρτιση του κόμβου ανάλογα με τις τιμές των εισόδων.
- Αυτό απαιτεί διαδικασία δύο φάσεων: φάση προφόρτισης και κατόπιν φάση υπολογισμού.
- Η δυναμική λογική είναι ευαίσθητη σε παρασιτικά φαινόμενα όπως η διαρροή φορτίου, ο καταμερισμός φορτίου και η τροφοδότηση ρολογιού.
- Η σύνδεση σε σειρά δυναμικών πυλών προκαλεί λειτουργικά προβλήματα και πρέπει να αντιμετωπίζεται προσεκτικά με αποδοτικές τεχνικές (domino, nr-CMOS).



6^η ενότητα: ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ CMOS



Περιεχόμενα 6^{ης} ενότητας

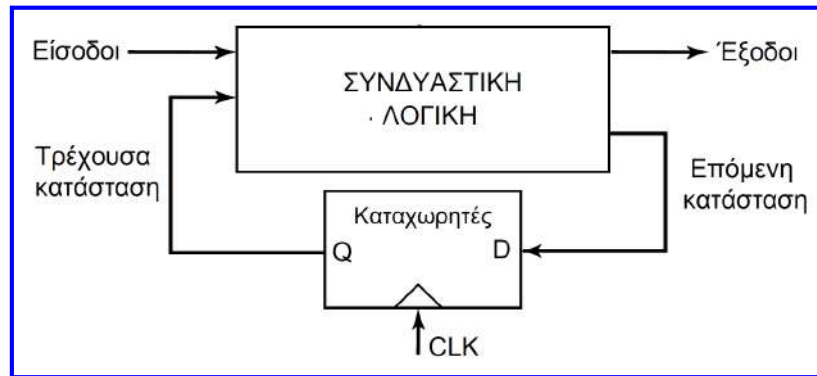
- Εισαγωγή στα ακολουθιακά κυκλώματα
- Στοιχεία μνήμης (μανδαλωτές και καταχωρητές)
- Στατικοί μανδαλωτές (latches) SR και D
- Στατικοί μανδαλωτές με πολυπλέκτες
- Στατικοί ακμοपुरοδοτούμενοι καταχωρητές κυρίου-υπηρέτη (master-slave)
- Χρονισμός στατικών καταχωρητών
- Δυναμικά στοιχεία μνήμης
- Δυναμικοί καταχωρητές με πύλες διέλευσης
- Χρονισμός δυναμικών καταχωρητών
- Ψευδοστατικοί καταχωρητές
- Δυναμικοί καταχωρητές C²MOS (clocked CMOS)
- Μανδαλωτές και καταχωρητές μοναδικής φάσης ρολογιού (TSPC)
- Βελτιστοποίηση σύγχρονων ακολουθιακών κυκλωμάτων με διοχέτευση (pipelining)
- Υλοποίηση δομών διοχέτευσης με δυναμικούς μανδαλωτές, μανδαλωτές C²MOS και λογική NORA-CMOS
- Συμπεράσματα

Εισαγωγή στα ακολουθιακά κυκλώματα

- Στα συνδυαστικά κυκλώματα, η έξοδος μίας λογικής μονάδας είναι συνάρτηση μόνο των τρεχουσών τιμών εισόδου.
- Ωστόσο, στα περισσότερα ψηφιακά συστήματα απαιτείται αποθήκευση της πληροφορίας της κατάστασής τους, με αποτέλεσμα να είναι αναγκαία η χρησιμοποίηση **ακολουθιακών (sequential) κυκλωμάτων**.
- Σε αυτά τα κυκλώματα, η έξοδος δεν εξαρτάται μόνο από τις τρέχουσες τιμές των εισόδων, αλλά εξαρτάται επίσης και από τις προηγούμενες τιμές των εισόδων, δηλαδή ένα ακολουθιακό κύκλωμα διαθέτει μνήμη.
- Ένα ακολουθιακό κύκλωμα, που συχνά αναφέρεται και ως **μηχανή πεπερασμένων καταστάσεων (finite-state machine, FSM)**, αποτελείται από **συνδυαστική λογική και καταχωρητές**, οι οποίοι αποθηκεύουν την κατάσταση του συστήματος.
- Ευρέως χρησιμοποιούμενα κυκλώματα είναι τα **σύγχρονα ακολουθιακά κυκλώματα (ΣΑΚ)**, στα οποία οι καταχωρητές βρίσκονται υπό τον έλεγχο ενός **καθολικού σήματος ρολογιού**.
- Οι **έξοδοι** ενός σύγχρονου ακολουθιακού κυκλώματος είναι **συνάρτηση των τρεχουσών τιμών των εισόδων και της τρέχουσας κατάστασης**.
- Η **επόμενη κατάσταση** προσδιορίζεται με βάση την **τρέχουσα κατάσταση** και τις **τρέχουσες τιμές των εισόδων** και τροφοδοτείται στις εισόδους των καταχωρητών.

Εισαγωγή στα ακολουθιακά κυκλώματα

Βασική δομή
σύγχρονου
ακολουθιακού
κυκλώματος (ΣΑΚ)



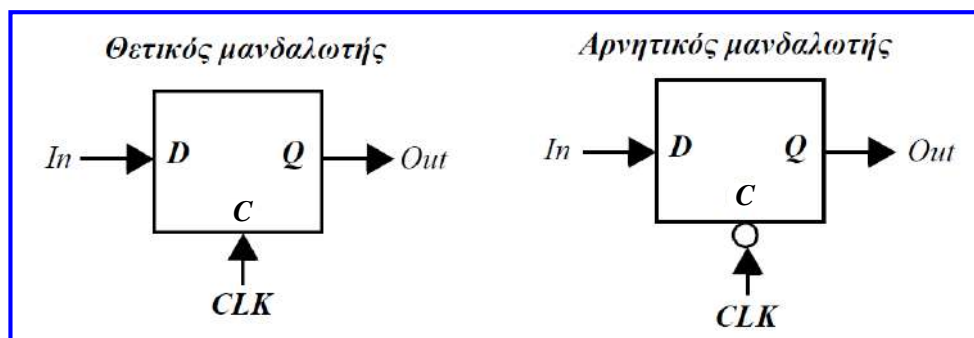
- Σε μία από τις ακμές του σήματος ρολογιού (ακμή πυροδότησης), τα ψηφία της επόμενης κατάστασης αντιγράφονται στις εξόδους των καταχωρητών και ξεκινά ένας νέος κύκλος.
- Κατόπιν οι καταχωρητές αγνοούν τις αλλαγές στα σήματα εισόδου μέχρι την επόμενη ακμή πυροδότησης.
- Οι καταχωρητές μπορεί να ενεργοποιούνται στη θετική ακμή (ακμοπυροδοτούμενοι θετικής ακμής, *positive edge triggered*), όπου τα δεδομένα εισόδου αντιγράφονται κατά την ανερχόμενη ακμή του σήματος ρολογιού ή να ενεργοποιούνται στην αρνητική ακμή (ακμοπυροδοτούμενοι αρνητικής ακμής, *negative edge triggered*), όπου τα δεδομένα εισόδου αντιγράφονται κατά την κατερχόμενη ακμή του σήματος ρολογιού (δηλώνεται με κύκλο στην είσοδο ρολογιού).

Στοιχεία μνήμης

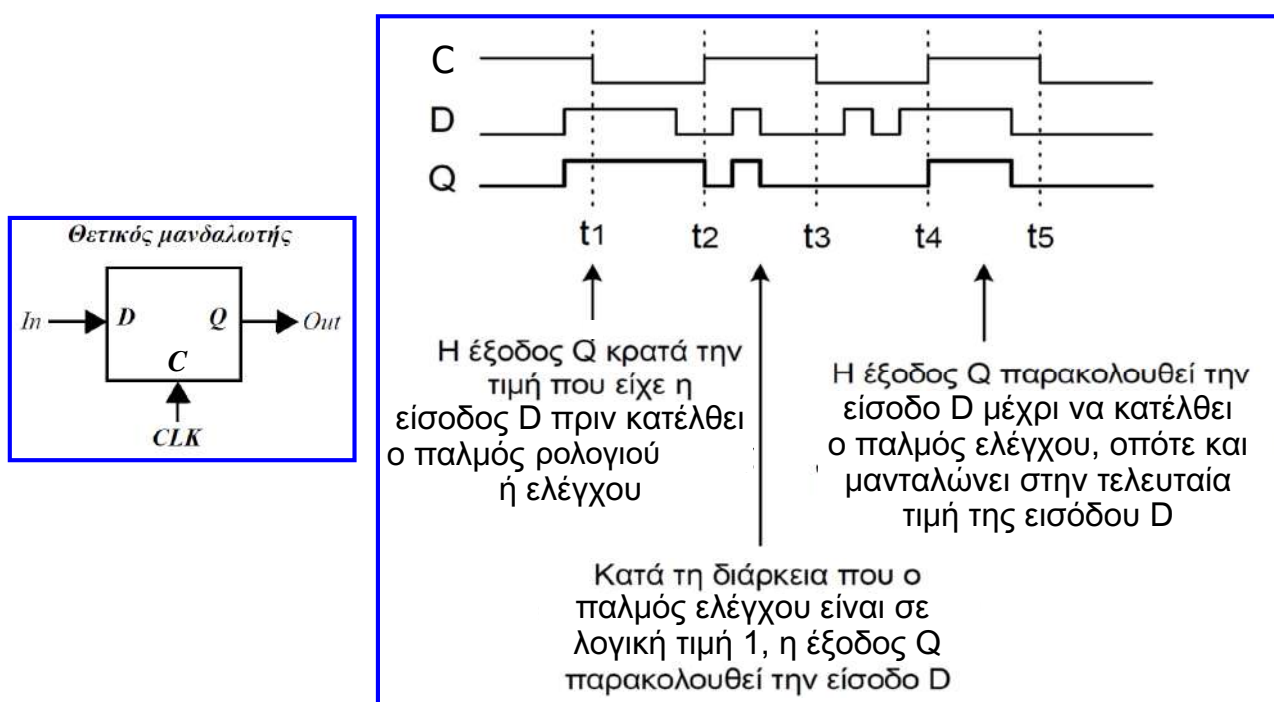
- Σε ένα υπολογιστικό σύστημα, η μνήμη διακρίνεται σε *μνήμη προσκηνίου (foreground memory)* και *μνήμη παρασκηνίου (background memory)*.
- Μεγάλες ποσότητες κεντρικής μνήμης αναφέρονται ως μνήμη παρασκηνίου, η οποία επιτυγχάνει υψηλότερες πυκνότητες μέσω χρήσης δομών τύπου πίνακα και εξισορροπεί την σχετικά χαμηλή επίδοση με το μεγάλο μέγεθος.
- Η μνήμη που *ενσωματώνεται στη λογική του συστήματος* είναι *μνήμη προσκηνίου* και συνήθως οργανώνεται σε *καταχωρητές* ή συστοιχίες καταχωρητών και παρουσιάζει υψηλή επίδοση.
- Οι μνήμες μπορεί να είναι *στατικές* ή *δυναμικές*.
- Οι *στατικές μνήμες* διατηρούν την κατάστασή τους όσο διαρκεί η τροφοδοσία και βασίζονται στη χρήση ανατροφοδότησης μεταξύ της εισόδου και της εξόδου ενός συνδυαστικού κυκλώματος.
- Οι *δυναμικές μνήμες* αποθηκεύουν δεδομένα για μία μικρή χρονική περίοδο και βασίζονται στην προσωρινή αποθήκευση φορτίου σε παρασιτικές χωρητικότητες.
- Τα ακολουθιακά κυκλώματα και συστήματα βασίζονται σε στοιχεία μνήμης που αναφέρονται ως *μανδαλωτές (latches)* και *καταχωρητές (registers)* ή *φλιπ-φλοπ*.

Στοιχεία μνήμης: μανδαλωτές

- Οι μανδαλωτές είναι **κυκλώματα ευαίσθητα σε στάθμη τάσης (level-sensitive)** που μεταφέρουν την είσοδό τους (D) στην έξοδό τους (Q), όταν το σήμα ελέγχου (ρολογιού) βρίσκεται στην υψηλή στάθμη.
- Όταν το σήμα ρολογιού βρίσκεται στην χαμηλή στάθμη, τα δεδομένα εισόδου διατηρούνται σταθερά στην έξοδο για ολόκληρη τη φάση στην οποία το σήμα ρολογιού βρίσκεται στη χαμηλή στάθμη.
- Ένας μανδαλωτής που λειτουργεί κάτω από τις προαναφερόμενες συνθήκες είναι ένας **θετικός μανδαλωτής**.
- Παρόμοια, ένας **αρνητικός μανδαλωτής** περνά την είσοδό του (D) στην έξοδό του (Q) όταν το σήμα ρολογιού βρίσκεται σε χαμηλή στάθμη.

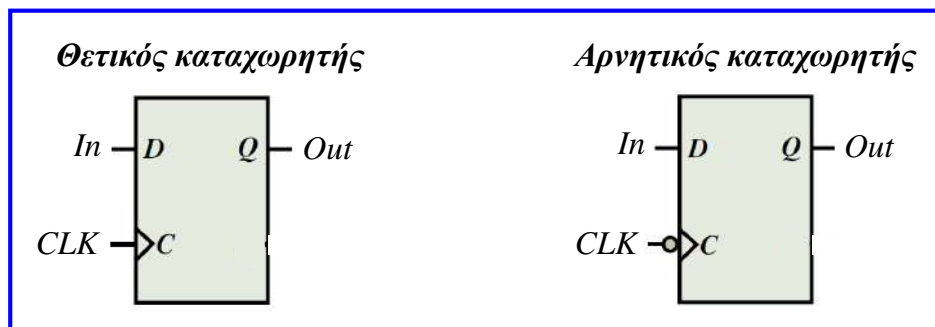


Στοιχεία μνήμης: μανδαλωτές

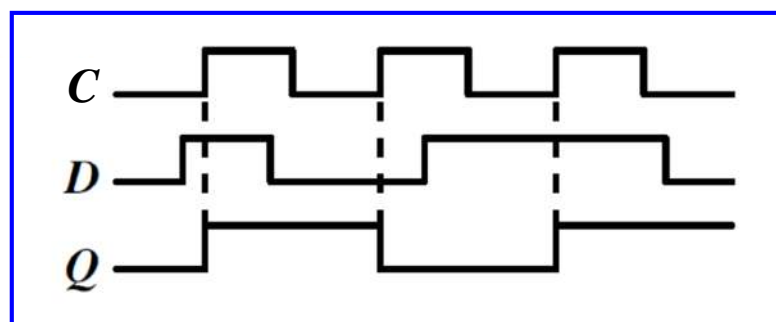
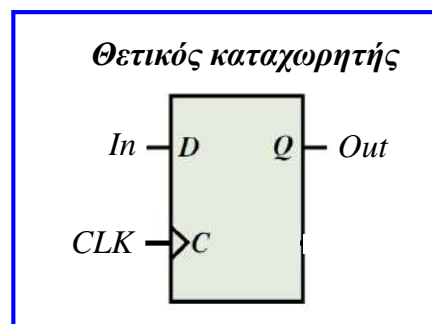


Στοιχεία μνήμης: καταχωρητές

- Αντίθετα με τους ευαίσθητους σε στάθμη τάσης μανδαλωτές, οι **καταχωρητές** ή **φλιπ-φλοπ** είναι **ακμοπυροδοτούμενα κυκλώματα**.
- Αυτό σημαίνει ότι οι καταχωρητές δειγματοληπτούν την είσοδό τους μόνο κατά τη μετάβαση (ακμή) του σήματος ρολογιού (**ανερχόμενη ακμή για θετικό καταχωρητή** και **κατερχόμενη ακμή για αρνητικό καταχωρητή**).
- Οι καταχωρητές υλοποιούνται συνήθως χρησιμοποιώντας τα βασικά κυκλώματα μανδαλωτών.
- Μία συχνά εμφανιζόμενη περίπτωση καταχωρητή είναι η **διάταξη κύριου-υπηρέτη (master-slave)**, που τοποθετεί σε σειρά έναν θετικό και έναν αρνητικό μανδαλωτή.

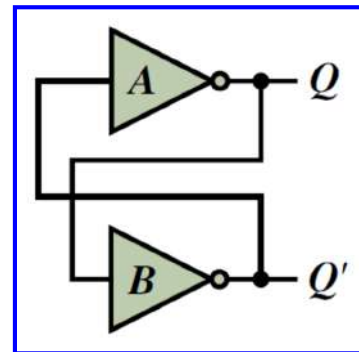


Στοιχεία μνήμης: καταχωρητές

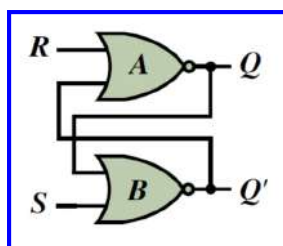


Στατικοί μανδαλωτές

- Όπως προαναφέρθηκε, οι **μανδαλωτές** είναι **κυκλώματα με ανατροφοδότηση**, τα οποία «παρακολουθούν» τις εισόδους τους και ανάλογα με την τιμή τους διατηρούν ή μεταβάλλουν τις τιμές των εξόδων τους σε οποιαδήποτε στιγμή του διαστήματος στο οποίο μια είσοδος ελέγχου έχει τιμή 1 (για θετικούς μανδαλωτές) ή 0 (για αρνητικούς).
- Στη **σταυροειδή σύνδεση δύο αντιστροφών**, αν υποθέσουμε ότι $Q = 0$, τότε η έξοδος του αντιστροφέα B θα λάβει τιμή 1 (δηλαδή Q'), αφού η έξοδος Q του αντιστροφέα A συνδέεται στην είσοδο του αντιστροφέα B.
- Η έξοδος του αντιστροφέα B συνδέεται στην είσοδο του αντιστροφέα A, με αποτέλεσμα $Q = 0$, γεγονός που είναι σύμφωνο με την υπόθεσή μας.
- Παρομοίως, αν υποθέσουμε ότι $Q = 1$, τότε η έξοδος του αντιστροφέα B λαμβάνει τιμή 0 (δηλαδή ξανά Q').
- Οι έξοδοι είναι πάντα συμπληρωματικές μεταξύ τους και όταν συμβεί μία από τις 2 καταστάσεις ($Q = 1$ ή $Q = 0$), αυτή παραμένει, με αποτέλεσμα η **πληροφορία ενός ψηφίου να κλειδώνεται (μανταλώνεται)** στο κύκλωμα.
- Το βασικό μειονέκτημα αυτού του στοιχείου μνήμης (μανδαλωτή) είναι ότι **δεν μπορεί να αποθηκεύσει την επιθυμητή δυαδική πληροφορία, δηλαδή δεν παρέχει τη δυνατότητα μετάβασης από την μία κατάσταση στην άλλη.**



Στατικοί μανδαλωτές

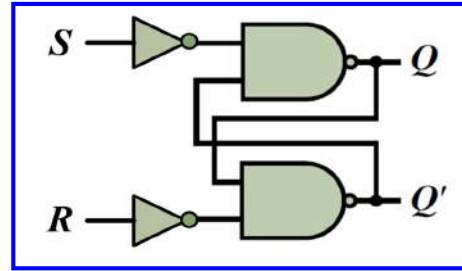


S	R	Q_{t+1}	Q'_{t+1}	Παρατηρήσεις
0	0	Q_t	Q'_t	Αμετάβλητη κατάσταση
0	1	0	1	Κατάσταση μηδενισμού
1	0	1	0	Κατάσταση θέσης
1	1	0	0	Απαγορευμένη κατάσταση

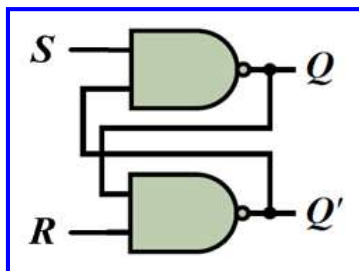
- Ένας τρόπος ώστε να προκληθεί αλλαγή της κατάστασης του προαναφερόμενου μανδαλωτή και να παρέχεται η δυνατότητα αποθήκευσης της επιθυμητής τιμής, είναι η αντικατάσταση των αντιστροφών με λογικές πύλες NOR.
- Όταν $S = R = 1$, τότε οι έξοδοι των πυλών NOR λαμβάνουν τιμή 0, με αποτέλεσμα να μην είναι συμπληρωματικές μεταξύ τους (**απαγορευμένη κατάσταση**).
- Αυτές οι τιμές εισόδου συνιστούν μια απροσδιόριστη κατάσταση, λόγω του ότι όταν οι δύο εισοδοί λάβουν τιμή 0, η επόμενη κατάσταση του μανδαλωτή δεν μπορεί να προβλεφθεί.
- Εάν οι δύο εισοδοί επιστρέψουν ταυτόχρονα στη λογική τιμή 0, τότε η τιμή των εξόδων και των δύο πυλών θα αλλάξει από 0 σε 1 και θα ανατροφοδοτηθεί στις εισόδους, με αποτέλεσμα οι έξοδοι να επιστρέψουν σε τιμή 0.
- Η εναλλαγή ίδιων λογικών τιμών στις εξόδους του μανδαλωτή θα συνεχιστεί. Αυτή η μη επιθυμητή κατάσταση αναφέρεται ως **ταλάντωση (oscillation)** του μανδαλωτή.

Στατικοί μανδαλωτές

- Ο μανδαλωτής SR μπορεί επίσης να υλοποιηθεί με δύο πύλες NAND, τροφοδοτούμενες με τις συμπληρωματικές μορφές των εισόδων.
- Η λειτουργία του μανδαλωτή αυτού περιγράφεται από τον προαναφερόμενο πίνακα.



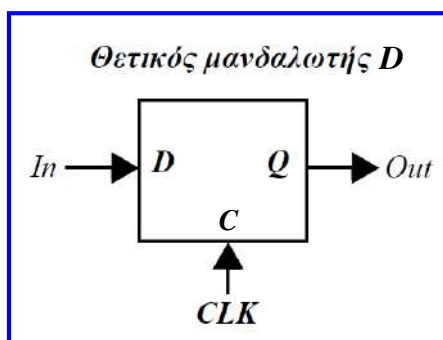
- Εάν επιθυμούμε να αποφύγουμε τις συμπληρωματικές μορφές των εισόδων, μπορούμε να χρησιμοποιήσουμε το παρακάτω κύκλωμα μανδαλωτή SR με δύο πύλες NAND.
- Η λειτουργία του διέπεται από διαφορετικό πίνακα και στην περίπτωση αυτή η **απαγορευμένη κατάσταση** προκύπτει όταν $S = R = 0$.



S	R	Q_{t+1}	Q'_{t+1}	Παρατηρήσεις
0	0	1	1	Απαγορευμένη κατάσταση
0	1	1	0	Κατάσταση θέσης
1	0	0	1	Κατάσταση μηδενισμού
1	1	Q_t	Q'_t	Αμετάβλητη κατάσταση

Στατικοί μανδαλωτές

- Ένας ακόμη τρόπος ώστε να προκληθεί αλλαγή της κατάστασης του μανδαλωτή που προκύπτει από σταυροειδή σύνδεση δύο αντιστροφών και να παρέχεται η δυνατότητα αποθήκευσης της επιθυμητής τιμής, είναι η αποκοπή του βρόχου ανατροφοδότησης, με χρησιμοποίηση μιας μόνο εισόδου δεδομένων (D) και μιας εισόδου ελέγχου (C).
- Έτσι αποφεύγεται και η απαγορευμένη κατάσταση του μανδαλωτή SR.
- Όταν $C = 0$, η κατάσταση του μανδαλωτή παραμένει αμετάβλητη, ενώ όταν $C = 1$ η έξοδος του μανδαλωτή ακολουθεί την τιμή της εισόδου δεδομένων D .



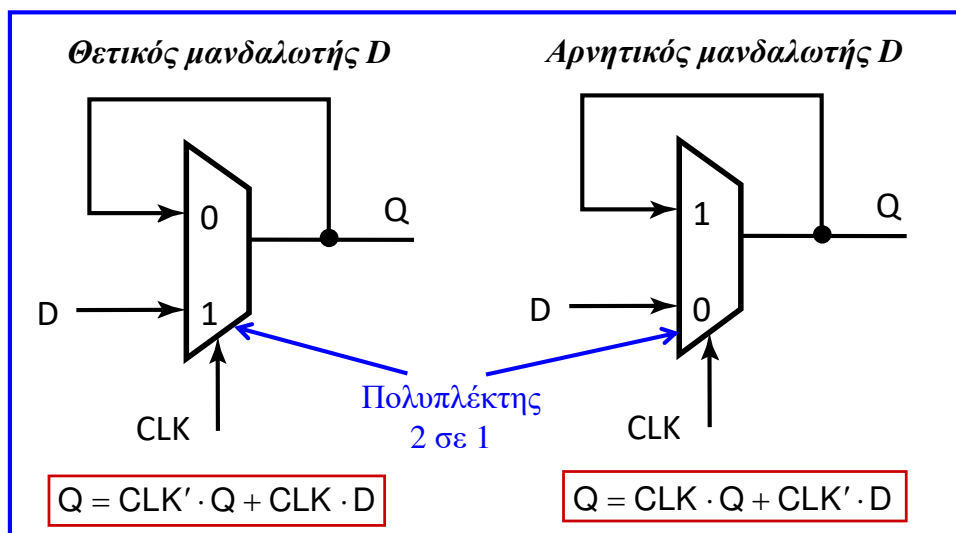
C	D	Q_{t+1}	Παρατηρήσεις
0	0	Q_t	Αμετάβλητη κατάσταση
0	1	Q_t	Αμετάβλητη κατάσταση
1	0	0	Κατάσταση μηδενισμού
1	1	1	Κατάσταση θέσης

$$Q_{t+1} = CD + C'Q_t$$

← Λογική έκφραση πολυπλέκτη 2 σε 1

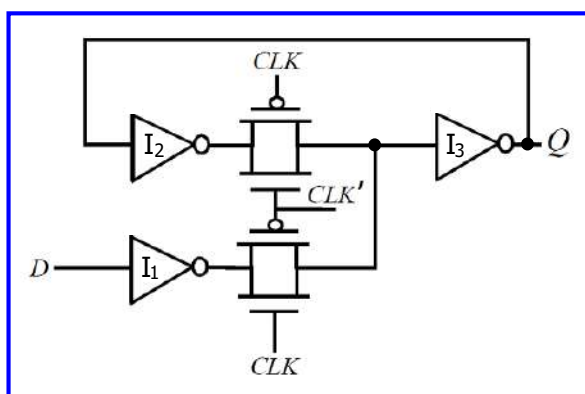
Στατικοί μανδαλωτές με πολυπλέκτες

- Η λογική έκφραση που διέπει τη λειτουργία ενός μανδαλωτή D, είναι όμοια με τη λογική έκφραση που διέπει τη λειτουργία ενός πολυπλέκτη 2 σε 1.
- Με βάση την παρατήρηση αυτή, προκύπτει μια αποδοτική **υλοποίηση του στατικού μανδαλωτή D με χρήση πολυπλεκτών 2 σε 1**, οι οποίοι υλοποιούνται εύκολα με **πύλες διέλευσης**. Η υλοποίηση αυτή χρησιμοποιείται πολύ συχνά.



Η ανατροφοδότηση εξασφαλίζει αμετάβλητη έξοδο για όση διάρκεια το σήμα ρολογιού είναι στη χαμηλή στάθμη (θετικός μανδαλωτής) ή στην υψηλή στάθμη (αρνητικός μανδαλωτής)

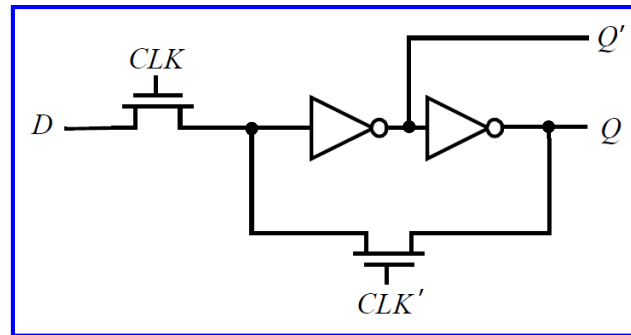
Στατικοί μανδαλωτές με πολυπλέκτες



Οι αντιστροφείς I_2 και I_3 σε σταυροειδή σύνδεση, διατηρούν αμετάβλητη την κατάσταση του μανδαλωτή, όταν το **σήμα ρολογιού βρίσκεται σε χαμηλή στάθμη**, ενώ ο αντιστροφέας I_1 εξασφαλίζει την ορθή λειτουργία του κυκλώματος.

- Όταν το **σήμα ρολογιού είναι σε υψηλή στάθμη**, η κάτω πύλη διέλευσης άγει και η είσοδος D μεταφέρεται στην έξοδο Q.
- Κατά τη διάρκεια της φάσης αυτής, ο βρόχος ανατροφοδότησης είναι ανοιχτός, επειδή η άνω πύλη διέλευσης είναι σε αποκοπή.
- Επομένως, το μέγεθος των τρανζιστορ δεν είναι κρίσιμο για την ορθή υλοποίηση της επιθυμητής συνάρτησης του μανδαλωτή.
- Το πλήθος των τρανζιστορ που οδηγεί το σήμα ρολογιού είναι σχετικά υψηλό (4) και οδηγεί σε υψηλή κατανάλωση ενέργειας, αφού το σήμα ρολογιού έχει πιθανότητα μετάβασης ή δραστηριότητα μετάβασης (switching activity) ίση με 1.

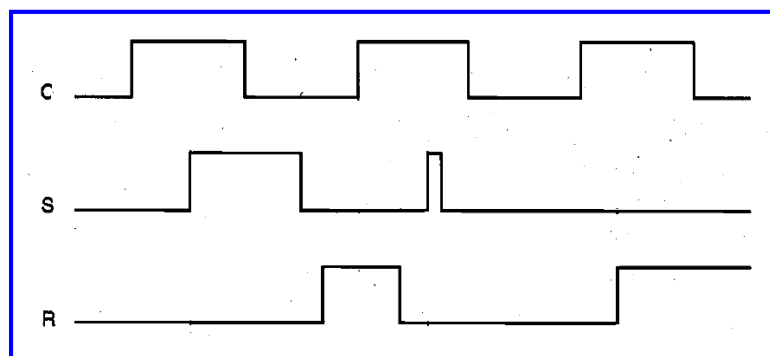
Στατικοί μανδαλωτές με πολυπλέκτες



- Είναι δυνατό να μειώσουμε το φορτίο του σήματος ρολογιού από 4 σε 2 τρανζίστορ, υλοποιώντας τον πολυπλέκτη μόνο με τρανζίστορ διέλευσης NMOS.
- Όταν το **σήμα ρολογιού είναι σε υψηλή στάθμη**, η είσοδος D μεταφέρεται στην έξοδο Q.
- Όταν το **σήμα ρολογιού είναι σε χαμηλή στάθμη**, ενεργοποιείται ο βρόχος ανατροφοδότησης, ώστε να διατηρηθεί αμετάβλητη η κατάσταση του μανδαλωτή.
- Ωστόσο, η χρήση μόνο τρανζίστορ διέλευσης NMOS έχει ως αποτέλεσμα τη διέλευση μίας υποβαθμισμένης υψηλής στάθμης τάσης $V_{DD} - V_{Tn}$ στην είσοδο του 1ου αντιστροφέα.
- Αυτό επιδρά αρνητικά στα περιθώρια θορύβου και στην επίδοση και προκαλεί στατική κατανάλωση ενέργειας στον 1ο αντιστροφέα, αφού το τρανζίστορ PMOS του αντιστροφέα δεν αποκόπτεται πλήρως.

Παράδειγμα 1

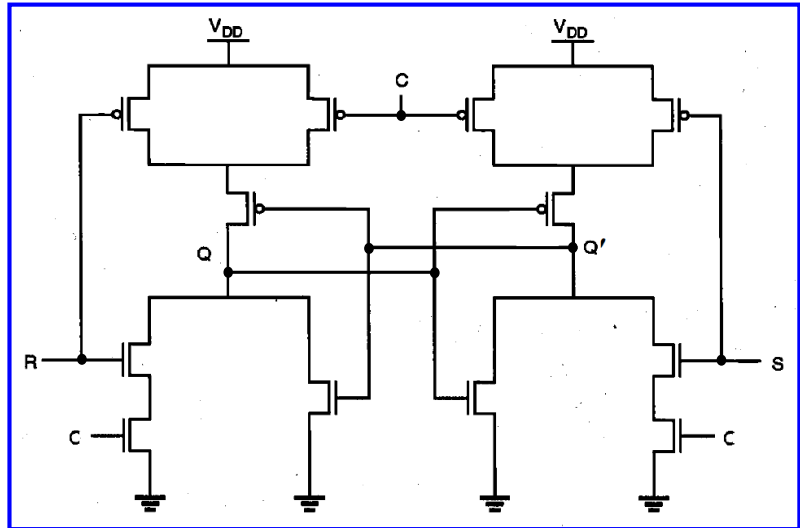
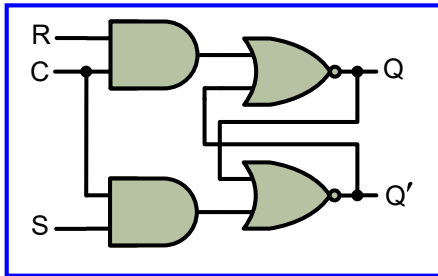
1. Σχεδιάζουμε με δύο επίπεδα λογικών πυλών έναν μανδαλωτή SR, ο οποίος περιλαμβάνει μια είσοδο ελέγχου (ή ενεργοποίησης) C, έτσι ώστε μόνο όταν $C = 1$ να επιτρέπεται οι τιμές των S, R να εισαχθούν στις πύλες NOR σταυροειδούς σύνδεσης.
2. Σχεδιάζουμε το κυκλωματικό διάγραμμα με τρανζίστορ του μανδαλωτή αυτού, χρησιμοποιώντας τη στατική συμπληρωματική λογική CMOS.
3. Σχεδιάζουμε την κυματομορφή της εξόδου Q του μανδαλωτή για τις παρακάτω κυματομορφές του σήματος ελέγχου (C) και των εισόδων S και R.



4. Υλοποιούμε το συμβολικό διάγραμμα ή ραβδοδιάγραμμα (stick diagram) του μανδαλωτή.

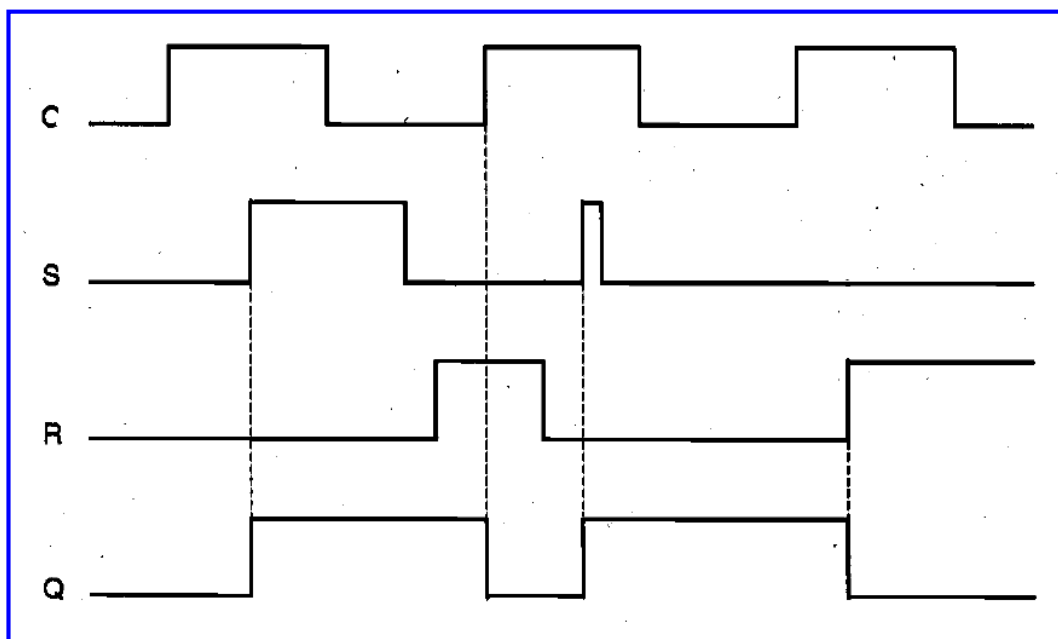
Παράδειγμα 1

1. Εάν ένα επίπεδο πυλών AND προηγηθεί του βασικού μανδαλωτή SR, ώστε να επιτρέψει την εισαγωγή στον βασικό μανδαλωτή των εισόδων S και R μόνο όταν η είσοδος ελέγχου C έχει τιμή 1, τότε επιτυγχάνουμε το σχεδιασμό του ζητούμενου κυκλώματος.
2. Από το λογικό διάγραμμα πυλών προκύπτει εύκολα ότι: $Q = (C \cdot R + Q)'$, $Q' = (C \cdot S + Q)'$, με τις συναρτήσεις αυτές να υλοποιούνται σε επίπεδο τρανζίστορ με δύο στατικές πύλες συμπληρωματικής λογικής CMOS.



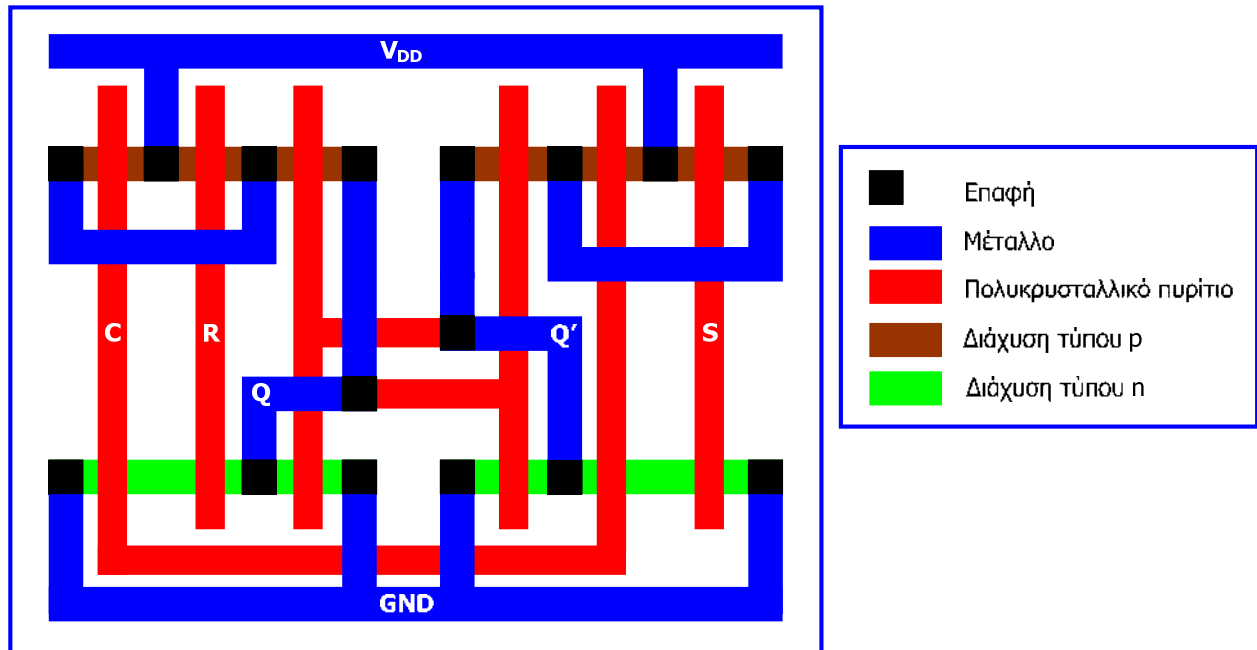
Παράδειγμα 1

3. Με βάση τη λειτουργικότητα του μανδαλωτή που προαναφέρθηκε, το ζητούμενο διάγραμμα έχει ως εξής:



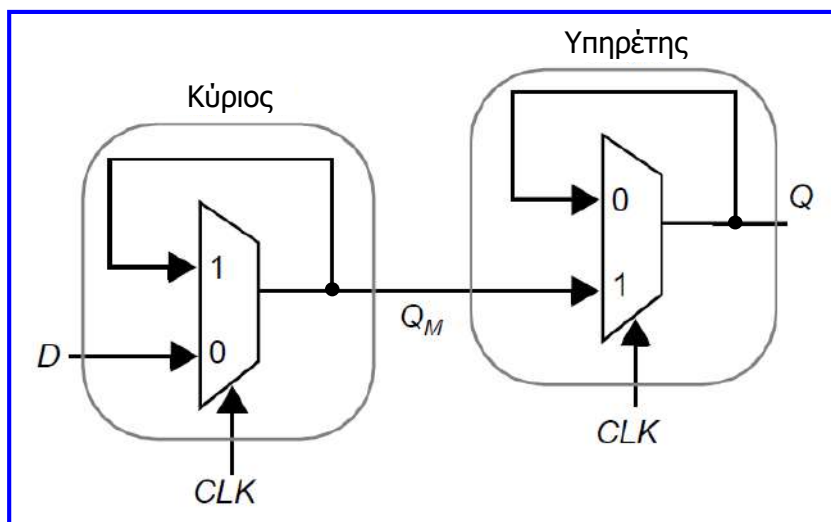
Παράδειγμα 1

4. Με βάση το κυκλωματικό διάγραμμα του μανδαλωτή, το **συμβολικό του διάγραμμα** ή **ραβδοδιάγραμμα (stick diagram)** του, έχει ως εξής:



Ακμοπυροδοτούμενοι καταχωρητές κυρίου-υπηρέτη

- Η πιο συνηθισμένη προσέγγιση για την υλοποίηση ενός **στατικού ακμοπυροδοτούμενου καταχωρητή (edge-triggered register)** είναι η διάταξη **κύριου-υπηρέτη (master-slave)**.
- Η υλοποίηση βασίζεται στην τοποθέτηση **σε σειρά ενός αρνητικού μανδαλωτή (βαθμίδα κύριου) και ενός θετικού μανδαλωτή (βαθμίδα υπηρέτη)**.

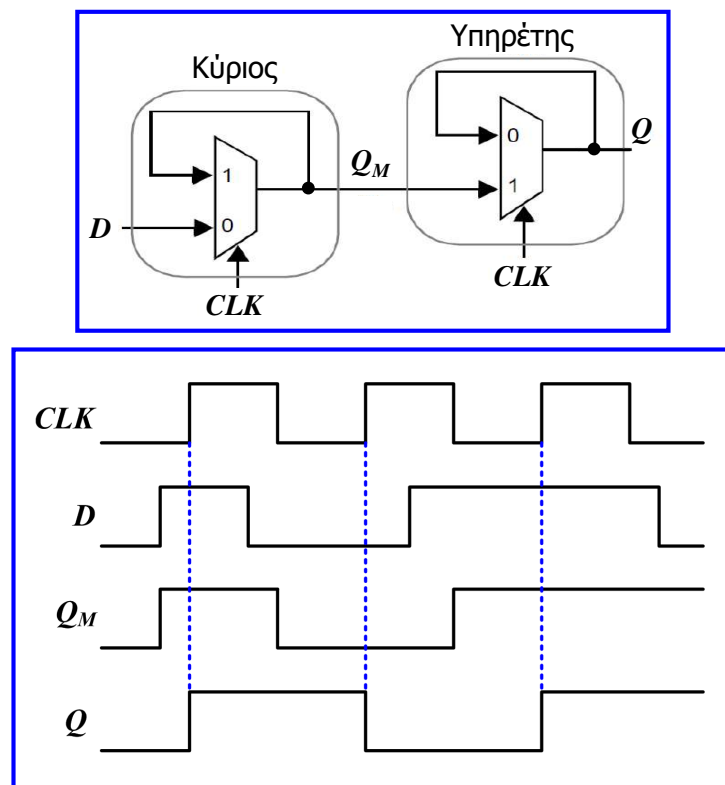


Θετικός στατικός ακμοπυροδοτούμενος καταχωρητής

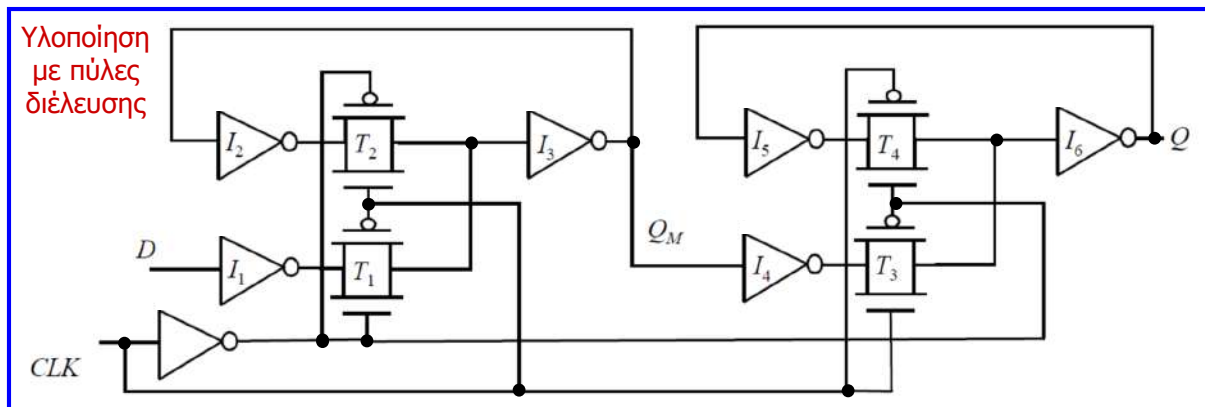
Ακμοπυροδοτούμενοι καταχωρητές κυρίου-υπηρέτη

- Όταν το **σήμα ρολογιού είναι σε χαμηλή στάθμη**, η είσοδος D μεταφέρεται στην έξοδο της βαθμίδας κυρίου Q_M .
- Στη διάρκεια της περιόδου αυτής, η βαθμίδα υπηρέτη διατηρεί την προηγούμενη κατάσταση της, μέσω της ανατροφοδότησης.
- Στην **ανερχόμενη ακμή του σήματος ρολογιού**, η βαθμίδα κυρίου σταματά να δειγματοληπτεί την είσοδο και αρχίζει να δειγματοληπτεί η βαθμίδα υπηρέτη, δηλαδή ξεκινά η μεταφορά της εξόδου Q_M στην έξοδο Q.
- Όταν το **σήμα ρολογιού είναι σε υψηλή στάθμη**, η βαθμίδα υπηρέτη δειγματοληπτεί την έξοδο της κύριας βαθμίδας (Q_M), ενώ η βαθμίδα κυρίου διατηρεί την προηγούμενη κατάσταση της.
- Επειδή η Q_M παραμένει αμετάβλητη όταν το σήμα ρολογιού είναι σε υψηλή στάθμη, η έξοδος Q πραγματοποιεί μόνο μία μετάβαση ανά κύκλο σήματος ρολογιού.
- Η τιμή της **εξόδου Q** είναι η τιμή της **είσοδου D** ακριβώς πριν την **ανερχόμενη ακμή του σήματος ρολογιού**, γεγονός που οδηγεί σε ένα **θετικά ακμοπυροδοτούμενο** αποτέλεσμα.
- Ένας **αρνητικός ακμοπυροδοτούμενος** καταχωρητής μπορεί να υλοποιηθεί με **εναλλαγή των θέσεων του θετικού και του αρνητικού μανδαλωτή**.

Ακμοπυροδοτούμενοι καταχωρητές κυρίου-υπηρέτη



Ακμοπυροδοτούμενοι καταχωρητές κυρίου-υπηρέτη



- Όταν το **σήμα ρολογιού είναι σε χαμηλή στάθμη**, η T_1 είναι σε αγωγή, η T_2 είναι σε αποκοπή και η είσοδος D μεταφέρεται στην έξοδο του κύριου μανδαλωτή Q_M .
- Η T_3 είναι σε αποκοπή, η T_4 είναι σε αγωγή και οι αντιστροφείς I_5 και I_6 σε σταυροειδή σύνδεση, διατηρούν αμετάβλητη την κατάσταση του υπηρέτη μανδαλωτή.
- Όταν το **σήμα ρολογιού μεταβαίνει στην υψηλή στάθμη**, η κύρια βαθμίδα σταματά να δειγματοληπτεί την είσοδο και περνά σε διατήρηση της κατάστασής της, η T_1 είναι σε αποκοπή, η T_2 σε αγωγή και οι αντιστροφείς I_2 και I_3 διατηρούν αμετάβλητη την Q_M .
- Η T_3 είναι σε αγωγή, η T_4 είναι σε αποκοπή και η Q_M μεταφέρεται στην έξοδο Q .

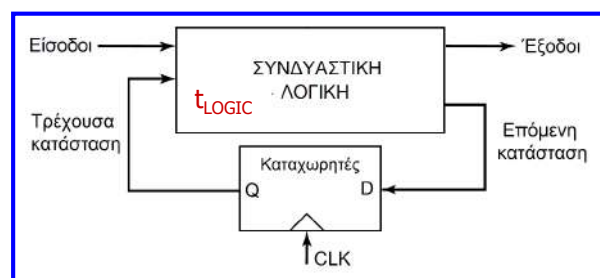
Χρονισμός στατικών καταχωρητών

- Οι στατικοί ακμοπυροδοτούμενοι καταχωρητές χαρακτηρίζονται από τρεις σημαντικές παραμέτρους χρονισμού:
 - ✓ **χρόνος αποκατάστασης (setup time)**
 - ✓ **χρόνος συγκράτησης (hold time)** και
 - ✓ **καθυστέρηση διάδοσης (propagation delay).**
- Ο **χρόνος αποκατάστασης** είναι ο χρόνος πριν την ανερχόμενη ακμή του σήματος ρολογιού για τον οποίο η τιμή της εισόδου D πρέπει να είναι έγκυρη, δηλαδή ο χρόνος πριν από την ανερχόμενη ακμή του σήματος ρολογιού που πρέπει η είσοδος D να είναι σταθερή, έτσι ώστε η έξοδος Q_M να δειγματοληπτεί αξιόπιστα τη τιμή της.
- Η είσοδος D πρέπει να διαδοθεί μέσω των I_1 , T_1 , I_3 και I_2 , πριν την ανερχόμενη ακμή του σήματος ρολογιού.
- Αυτό εξασφαλίζει ότι οι τάσεις στην είσοδο και στην έξοδο της πύλης διέλευσης T_2 έχουν την ίδια τιμή, διαφορετικά, είναι δυνατό το ζεύγος των αντιστροφέων I_2 και I_3 σε σταυροειδή σύνδεση να οδηγηθεί σε λανθασμένη τιμή.
- **Χρόνος αποκατάστασης = $t_{SU} = 3 \times t_{INV} + t_{TR}$.**

Χρονισμός στατικών καταχωρητών

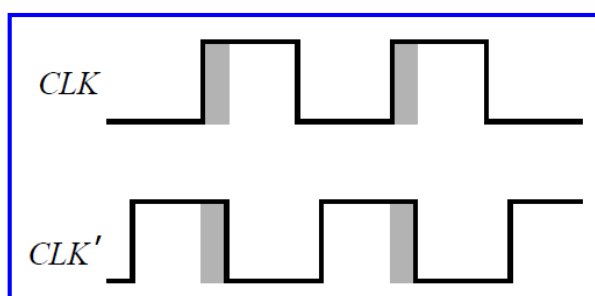
- Η **καθυστέρηση διάδοσης** είναι ο χρόνος από την έλευση της ανερχόμενης ακμής του σήματος ρολογιού έως τη μεταβολή της εξόδου Q, ο οποίος ισούται με το χρόνο που απαιτείται για να διαδοθεί η τιμή της Q_M στην έξοδο Q.
- Αφού η καθυστέρηση του I_2 ελήφθη υπόψη στο χρόνο αποκατάστασης, η έξοδος του I_4 είναι έγκυρη πριν την ανερχόμενη ακμή του σήματος ρολογιού.
- **Καθυστέρηση διάδοσης (t_{CQ}) = καθυστέρηση T_3 και $I_6 = t_{TR} + t_{INV}$.**
- Ο **χρόνος συγκράτησης** αντιπροσωπεύει το χρόνο για τον οποίο η είσοδος D πρέπει να διατηρηθεί σταθερή μετά την ανερχόμενη ακμή του σήματος ρολογιού.
- Η T_1 αποκόπτεται όταν το σήμα ρολογιού μεταβαίνει σε υψηλή στάθμη.
- Επειδή η είσοδος D και το σήμα ρολογιού περνούν μέσα από αντιστροφείς πριν φθάσουν στην T_1 , οι αλλαγές στην είσοδο μετά τη μετάβαση του σήματος ρολογιού στην υψηλή στάθμη δεν επηρεάζουν την έξοδο.
- Συνεπώς: **χρόνος συγκράτησης (t_H) = 0.**
- **Ελάχιστη περίοδος ρολογιού** που απαιτείται για την ορθή λειτουργία ενός σύγχρονου ακολουθιακού κυκλώματος:

$$T = t_{CQ} + t_{LOGIC} + t_{SU}$$

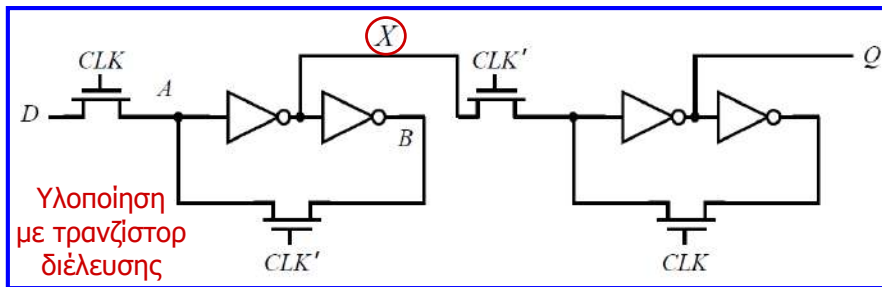


Χρονισμός στατικών καταχωρητών

- Μέχρι τώρα, υποθέσαμε ότι η συμπληρωματική μορφή του σήματος ρολογιού προκύπτει από την κανονική του μορφή, χωρίς να λαμβάνουμε υπόψη την καθυστέρηση του αντιστροφέα που παράγει τη συμπληρωματική μορφή.
- Ακόμη κι αν αυτή η ιδανική αντιστροφή ήταν εφικτή, αποκλίσεις μπορούν να υπάρξουν στις γραμμές (καλώδια) που χρησιμοποιούνται για να δρομολογήσουν τα δυο σήματα ρολογιού ή ακόμη και λόγω των διαφορετικών χωρητικών φορτίων που οδηγούν τα δύο σήματα.
- Το φαινόμενο αυτό αναφέρεται ως **απόκλιση ρολογιού (clock skew)** και προκαλεί **επικάλυψη** στα δύο σήματα ρολογιού.



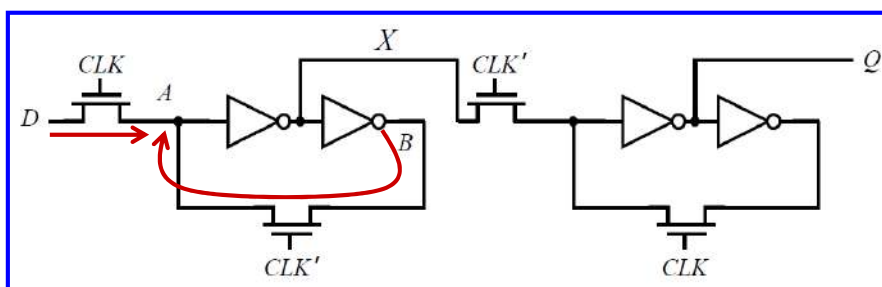
Χρονισμός στατικών καταχωρητών



Αρνητικός ακμοπυροδοτούμενος καταχωρητής

- Όταν το σήμα ρολογιού μεταβαίνει στην υψηλή στάθμη, η βαθμίδα υπηρέτη πρέπει να σταματήσει να δειγματοληπτεί την έξοδο της βαθμίδας κυρίου και να διατηρήσει αμετάβλητη την κατάσταση της εξόδου της.
- Ωστόσο, επειδή το σήμα ρολογιού και το συμπληρωματικό του είναι και τα δύο σε υψηλή στάθμη για μία σύντομη χρονική περίοδο (**περίοδος επικάλυψης**) και τα δύο τρανζίστορ δειγματοληψίας άγουν και υπάρχει μια ευθεία διαδρομή από την είσοδο D στην έξοδο Q.
- Έτσι, η τιμή της εξόδου μπορεί να αλλάξει στην ανερχόμενη ακμή του ρολογιού, πράγμα που είναι ανεπιθύμητο για έναν αρνητικό ακμοπυροδοτούμενο καταχωρητή.
- Αυτό είναι γνωστό ως **συνθήκη ανταγωνισμού (race condition)**, κατά την οποία η τιμή της εξόδου Q είναι συνάρτηση του αν η είσοδος D φθάνει στον κόμβο X πριν ή μετά την κατερχόμενη ακμή του συμπληρωματικού σήματος ρολογιού.

Χρονισμός στατικών καταχωρητών

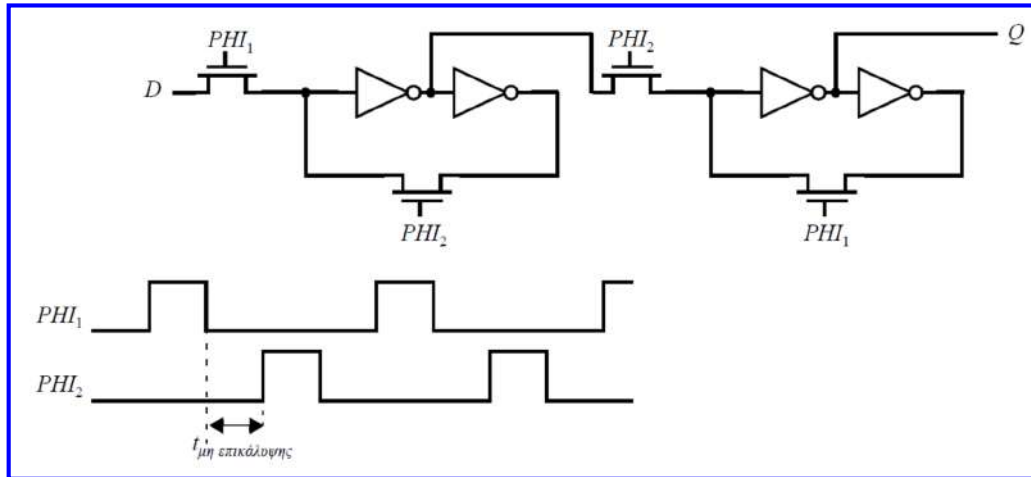


Αρνητικός ακμοπυροδοτούμενος καταχωρητής

- Το πρωταρχικό πλεονέκτημα των καταχωρητών που βασίζονται σε πολυπλέκτες είναι ότι ο βρόχος ανατροφοδότησης των μανδαλωτών είναι ανοιχτός κατά τη διάρκεια της περιόδου δειγματοληψίας και συνεπώς το μέγεθος των στοιχείων δεν είναι κρίσιμο για τη λειτουργικότητα του κυκλώματος.
- Ωστόσο, εάν υπάρχει επικάλυψη των σημάτων ρολογιού, ο κόμβος A μπορεί να οδηγηθεί και από την είσοδο D και από τον κόμβο B, καταλήγοντας σε απροσδιόριστη κατάσταση.
- Τα προαναφερόμενα προβλήματα μπορούν να αποφευχθούν με τη χρήση **δύο μη επικαλυπτόμενων σημάτων ρολογιών (non-overlapping clock signals) PHI_1 και PHI_2** και με τη διατήρηση ενός **αρκετά μεγάλου χρόνου μη επικάλυψης** μεταξύ των σημάτων ρολογιού, έτσι ώστε να μη συμβαίνει καμιά επικάλυψη ακόμα και στην περίπτωση που υπάρχουν καθυστερήσεις λόγω της δρομολόγησης των σημάτων ρολογιού.

Ψευδοστατικός καταχωρητής δύο φάσεων

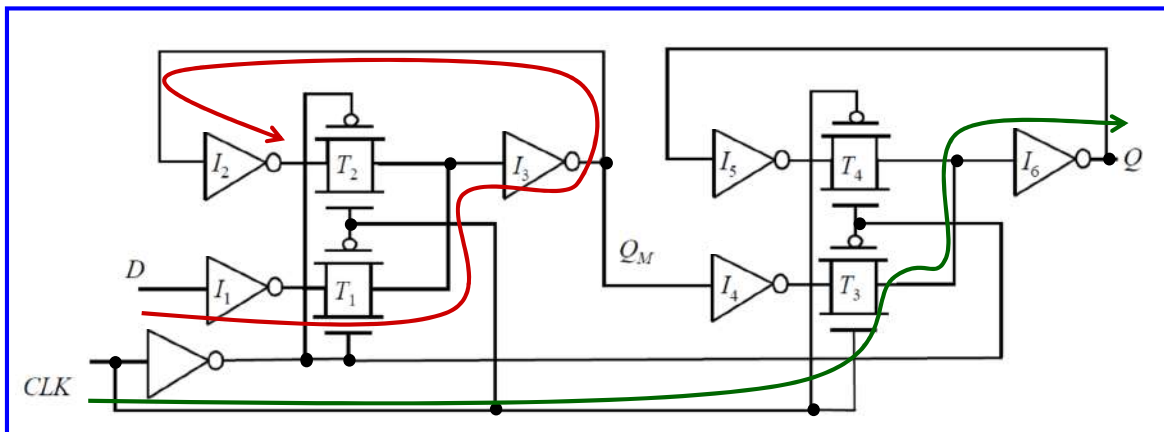
- Κατά τη διάρκεια του χρόνου μη επικάλυψης ο βρόχος ανατροφοδότησης των μανδαλωτών είναι ανοιχτός και η είσοδος είναι αποσυνδεδεμένη.
- Το ρεύμα διαρροής θα καταστρέψει την κατάσταση του κυκλώματος εάν η συνθήκη αυτή διατηρηθεί για μεγάλο διάστημα.
- Για το λόγο αυτό ο παρακάτω καταχωρητής αναφέρεται ως **ψευδοστατικός (pseudostatic)**, αφού χρησιμοποιεί συνδυασμό από στατικά και δυναμικά χαρακτηριστικά.



Παράδειγμα 2

Για σύγχρονο ακολουθιακό κύκλωμα που περιλαμβάνει ακμοφυροδοτούμενους καταχωρητές (σαν και αυτόν του παρακάτω σχήματος) και τροφοδοτείται με σήμα ρολογιού συχνότητας 2 GHz, υπολογίζουμε τη μέγιστη καθυστέρηση διάδοσης του συνδυαστικού μέρους του.

Δίνεται η καθυστέρηση διάδοσης καθενός από τους αντιστροφείς που περιλαμβάνονται στον καταχωρητή $t_{INV} = 20$ ps, καθώς και η καθυστέρηση διάδοσης καθεμιάς από τις πύλες διέλευσης $t_{TR} = 10$ ps, που επίσης περιλαμβάνονται στον καταχωρητή.



Παράδειγμα 2

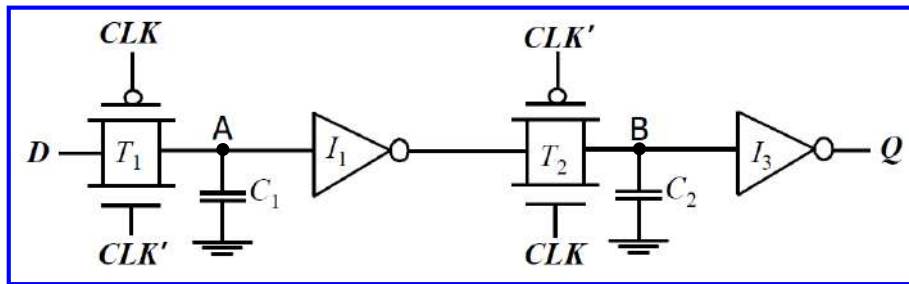
- Ο **χρόνος αποκατάστασης** ενός καταχωρητή είναι ο χρόνος πριν από την ανερχόμενη ακμή του σήματος ρολογιού που πρέπει η είσοδος D να είναι σταθερή, έτσι ώστε η έξοδος Q_M να δειγματοληφτεί αξιόπιστα τη τιμή της.
- Η είσοδος D πρέπει να διαδοθεί μέσω των I₁, T₁, I₃ και I₂ πριν την ανερχόμενη ακμή του σήματος ρολογιού.
- Αυτό εξασφαλίζει ότι οι τάσεις στην είσοδο και στην έξοδο της πύλης διέλευσης T₂ έχουν την ίδια τιμή, διαφορετικά, είναι δυνατό το ζεύγος των αντιστροφών I₂ και I₃ σε σταυροειδή σύνδεση να οδηγηθεί σε λανθασμένη τιμή.
- Έτσι, ο χρόνος αποκατάστασης του καταχωρητή είναι: $t_{SU} = 3 \times t_{INV} + t_{TR} = 70 \text{ ps}$.
- Η **καθυστέρηση διάδοσης** ενός καταχωρητή είναι ο χρόνος από την έλευση της ανερχόμενης ακμής του σήματος ρολογιού έως τη μεταβολή της εξόδου Q.
- Έτσι, η καθυστέρηση διάδοσης του καταχωρητή είναι: $t_{CQ} = \text{καθυστέρηση } T_3 \text{ και } I_6 = t_{TR} + t_{INV} = 30 \text{ ps}$.
- Η ελάχιστη περίοδος του σήματος ρολογιού που απαιτείται για την ορθή λειτουργία ενός σύγχρονου ακολουθιακού κυκλώματος είναι $T = t_{CQ} + t_{LOGIC} + t_{SU}$, επομένως η **μέγιστη καθυστέρηση διάδοσης του συνδυαστικού μέρους** του κυκλώματος είναι:

$$t_{LOGIC} = T - t_{CQ} - t_{SU} = (1 / f) - t_{CQ} - t_{SU} = (0.5 \times 10^{-9} \text{ s}) - 30 \text{ ps} - 70 \text{ ps} = 400 \text{ ps}$$

Δυναμικά στοιχεία μνήμης

- Η αποθήκευση σε ένα στατικό ακολουθιακό κύκλωμα βασίζεται στην ιδέα ότι ένα ζεύγος αντιστροφών σε σταυροειδή σύνδεση δημιουργεί ένα δισταθές στοιχείο και συνεπώς μπορεί να χρησιμοποιηθεί για να αποθηκεύσει δυαδικές τιμές.
- Με την προσέγγιση αυτή, μία αποθηκευμένη τιμή παραμένει έγκυρη όσο εφαρμόζεται τάση τροφοδοσίας στο κύκλωμα (δηλαδή το κύκλωμα είναι στατικό).
- Βασικό μειονέκτημα των στατικών κυκλωμάτων είναι η πολυπλοκότητά τους.
- Όταν χρησιμοποιούνται καταχωρητές σε συνδυαστικές δομές που συνεχώς δέχονται σήμα ρολογιού, η απαίτηση η μνήμη να διατηρεί την κατάστασή της για εκτεταμένες χρονικές περιόδους μπορεί να χαλαρώσει σημαντικά.
- Αυτό έχει ως αποτέλεσμα τη χρήση μιας κατηγορίας κυκλωμάτων που βασίζονται στην **προσωρινή αποθήκευση ηλεκτρικού φορτίου σε παρασιτικές χωρητικότητες**.
- Η αρχή λειτουργίας τους είναι ίδια με αυτήν που χρησιμοποιείται στη δυναμική λογική, δηλαδή η **απουσία φορτίου** σε μία παρασιτική χωρητικότητα αντιστοιχεί σε **αποθηκευμένη λογική τιμή 0**, ενώ η **παρουσία φορτίου** αντιστοιχεί σε **αποθηκευμένη λογική τιμή 1**.
- Λόγω της διαρροής φορτίου, μία αποθηκευμένη τιμή μπορεί να διατηρηθεί μόνο για περιορισμένο χρονικό διάστημα, επομένως απαιτείται **περιοδική ανανέωση (refresh)** της τιμής (**δυναμική αποθήκευση**).

Δυναμικοί καταχωρητές με πύλες διέλευσης



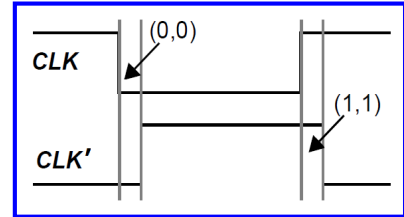
- Στον **δυναμικό θετικό ακμοπυροδοτούμενο καταχωρητή κύριου-υπηρέτη**, όταν $CLK = 0$, η τιμή της εισόδου D μεταφέρεται στον κόμβο αποθήκευσης A με ισοδύναμη χωρητικότητα C_1 , που αποτελείται από τις χωρητικότητες πύλης των τρανζίστορ του I_1 , τις χωρητικότητες επαφών διάχυσης των τρανζίστορ της T_1 και τις χωρητικότητες επικάλυψης πύλης των τρανζίστορ της T_1 .
- Κατά τη διάρκεια της περιόδου αυτής, η βαθμίδα υπηρέτη διατηρεί αμετάβλητη την τιμή της εξόδου της και δεν υπάρχει σύνδεση του κόμβου B με τη βαθμίδα κυρίου.
- Στην **ανερχόμενη ακμή του σήματος ρολογιού**, η T_2 αρχίζει να άγει, ο κόμβος B αποθηκεύει τη συμπληρωματική τιμή της τιμής που είναι αποθηκευμένη στον κόμβο A ακριβώς πριν την ανερχόμενη ακμή, με αποτέλεσμα η τιμή του κόμβου A να διαδίδεται στην έξοδο Q .
- Η υλοποίηση αυτή είναι πολύ αποδοτική επειδή απαιτεί **μόνο 8 τρανζίστορ** και αν οι **πύλες διέλευσης αντικατασταθούν με τρανζίστορ διέλευσης**, απαιτούνται **6 τρανζίστορ**.

Χρονισμός δυναμικών καταχωρητών

- Ο **χρόνος αποκατάστασης** του κυκλώματος αυτού είναι η καθυστέρηση της πύλης διέλευσης T_1 και αντιστοιχεί στο χρόνο που χρειάζεται ο κόμβος A να πραγματοποιήσει δειγματοληψία της εισόδου D .
- Ο **χρόνος συγκράτησης** είναι προσεγγιστικά μηδενικός, αφού η πύλη διέλευσης T_1 σταματά να άγει στην ανερχόμενη ακμή του σήματος ρολογιού και περαιτέρω αλλαγές της εισόδου δεν επηρεάζουν τη λειτουργία του κυκλώματος.
- Η **καθυστέρηση διάδοσης** ισούται με καθυστέρηση δύο αντιστροφών συν την καθυστέρηση της πύλης διέλευσης T_2 .
- Ένα σημαντικό χαρακτηριστικό του δυναμικού καταχωρητή είναι το ότι οι **κόμβοι αποθήκευσης** (ουσιαστικά η κατάσταση του κυκλώματος) **πρέπει να ανανεώνονται** κατά περιοδικά διαστήματα, λόγω των ρευμάτων διαρροής φορτίου.
- Σε κυκλώματα χειριστών δεδομένων (data paths), ο ρυθμός ανανέωσης δεν αποτελεί πρόβλημα, αφού οι καταχωρητές δέχονται περιοδικά παλμούς σήματος ρολογιού και οι κόμβοι αποθήκευσης ενημερώνονται με σταθερό ρυθμό.
- Σημαντικό **πρόβλημα** του δυναμικού καταχωρητή αποτελεί η **χρονική επικάλυψη του σήματος ρολογιού με το συμπληρωματικό του**.

Χρονισμός δυναμικών καταχωρητών

- Κατά τη διάρκεια της περιόδου επικάλυψης χαμηλής στάθμης (0-0), το NMOS της T_1 & το PMOS της T_2 άγουν ταυτόχρονα, δημιουργώντας μία ευθεία διαδρομή που επιτρέπει στην τιμή της εισόδου D να μεταδίδεται στην έξοδο Q.
- Η έξοδος Q μπορεί να αλλάξει στην κατερχόμενη ακμή του σήματος ρολογιού αν η περίοδος επικάλυψης είναι μεγάλη (ανεπιθύμητο γεγονός για θετικό καταχωρητή, **συνθήκη ανταγωνισμού**).
- Το πρόβλημα αντιμετωπίζεται εάν υπάρχει αρκετή καθυστέρηση μεταξύ της εισόδου D και του κόμβου B, εξασφαλίζοντας ότι τα νέα δεδομένα που δειγματοληπτούνται από τη βαθμίδα κυρίου δεν προχωρούν προς τη βαθμίδα υπηρέτη.



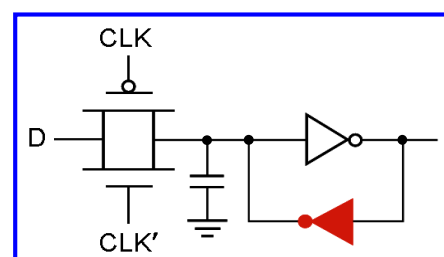
$$t_{\text{επικάλυψης } 0-0} < t_{T_1} + t_{I_1} + t_{T_2}$$

- Παρομοίως, κατά τη διάρκεια της περιόδου επικάλυψης υψηλής στάθμης (1-1), υπάρχει μία διαδρομή εισόδου-εξόδου μέσω του PMOS της T_1 και του NMOS της T_2 .
- Αυτό επιβάλλει χρόνο συγκράτησης, τέτοιον ώστε τα δεδομένα εισόδου να είναι σταθερά κατά τη διάρκεια της περιόδου επικάλυψης υψηλής στάθμης.

$$t_H > t_{\text{επικάλυψης } 1-1}$$

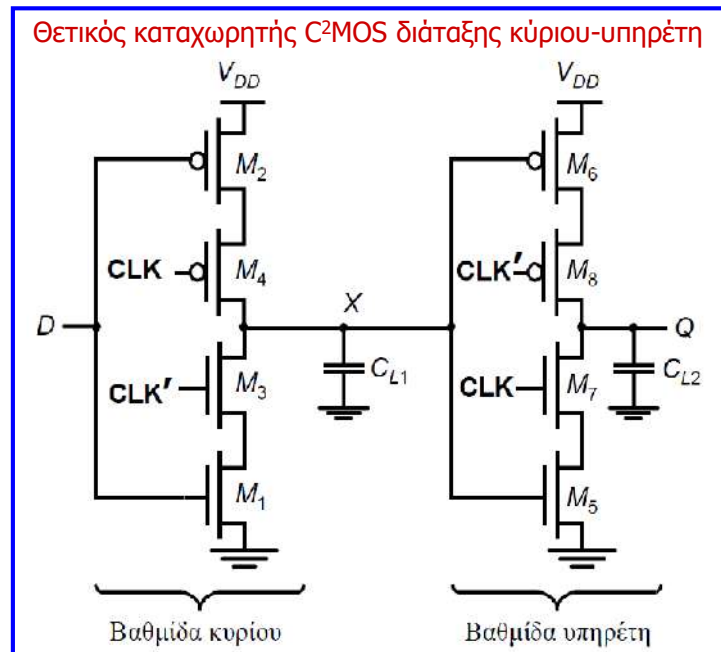
Ψευδοστατικοί καταχωρητές

- Στους δυναμικούς καταχωρητές (και γενικότερα στα δυναμικά κυκλώματα), μια γραμμή μεταφοράς σήματος (καλώδιο) που είναι χωρητικά συζευγμένη με κάποιον από τους εσωτερικούς κόμβους αποθήκευσης του κυκλώματος, μπορεί να δημιουργήσει **θόρυβο** και να καταστρέψει την κατάσταση του κυκλώματος.
- Επίσης, στα κυκλώματα χαμηλής κατανάλωσης ενέργειας το **σήμα ρολογιού** μπορεί να **επιβραδυνθεί** ή και να **διακοπεί** σε περιόδους χαμηλής δραστηριότητας, γεγονός που έχει αρνητική επίδραση στα δυναμικά κυκλώματα λόγω των **ρευμάτων διαρροής φορτίου**.
- Οι εσωτερικοί κόμβοι αποθήκευσης δεν παρακολουθούν τις **διακυμάνσεις της τάσης τροφοδοσίας** που μπορεί να επιβάλλονται σε ένα κύκλωμα με στόχο την μείωση της κατανάλωσης ενέργειας, με αποτέλεσμα μειωμένα περιθώρια θορύβου.
- Τα περισσότερα από τα προαναφερόμενα προβλήματα μπορούν να αντιμετωπιστούν επαρκώς προσθέτοντας στις βαθμίδες μανδαλωτών έναν αντιστροφέα ανατροφοδότησης με χαμηλή ικανότητα παραγωγής ρεύματος (**ψευδοστατικός μανδαλωτής**).
- Η τροποποίηση αυτή προκαλεί μικρή αύξηση στην καθυστέρηση, αλλά βελτιώνει σημαντικά το κύκλωμα όσον αφορά τις επιδράσεις του θορύβου.
- Γενικά, πρέπει να χρησιμοποιούνται **ψευδοστατικοί ή στατικοί καταχωρητές** εκτός αν πρόκειται για ειδικές εφαρμογές, όπως είναι ένας χειριστής δεδομένων υψηλής επίδοσης.



Δυναμικοί καταχωρητές C²MOS (clocked CMOS)

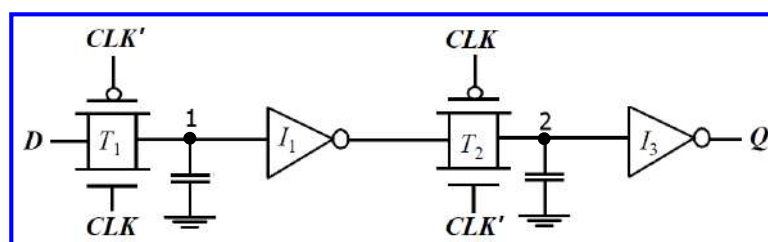
- Όταν $CLK = 0$, η βαθμίδα κυρίου λειτουργεί ως αντιστροφέας που μεταφέρει την συμπληρωματική τιμή της εισόδου D στον κόμβο X.
- Η βαθμίδα υπηρέτη διατηρεί αμετάβλητη την τιμή της εξόδου Q που είναι αποθηκευμένη στην χωρητικότητα εξόδου C_{L2} , αφού τα τρανζίστορ M_7 και M_8 είναι σε αποκοπή, αποσυνδέοντας την έξοδο από την είσοδο.
- Όταν $CLK = 1$, εναλλάσσονται οι ρόλοι των δύο βαθμίδων, με αποτέλεσμα η συμπληρωματική τιμή του κόμβου X που είναι αποθηκευμένη στην C_{L1} (δηλαδή η τιμή της εισόδου D) να μεταφέρεται στην έξοδο Q, μέσω της βαθμίδας υπηρέτη που λειτουργεί ως αντιστροφέας.



Η λειτουργία των καταχωρητών C²MOS **δεν επηρεάζεται από την επικάλυψη των CLK και CLK'**, διότι οι επικαλύψεις δεν ενεργοποιούν ταυτόχρονα τα PDN και PUN δικτυώματα των μανδαλωτών

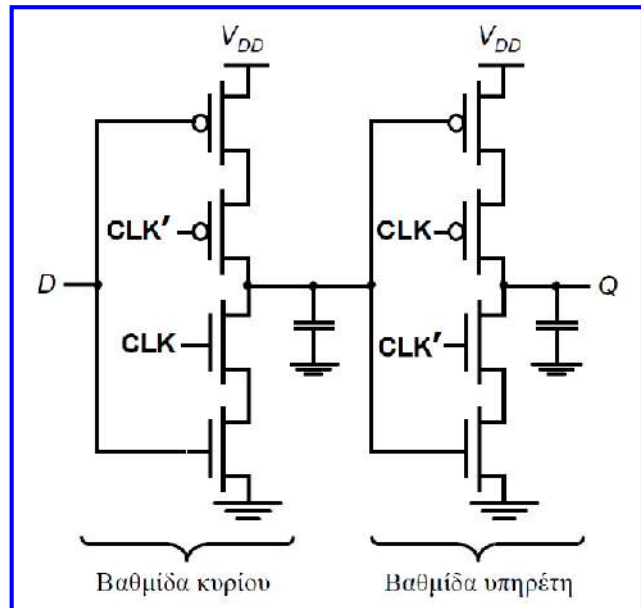
Παράδειγμα 3

- Σχεδιάζουμε δυναμικό καταχωρητή με πύλες διέλευσης και καταχωρητή C²MOS, οι οποίοι είναι αρνητικοί, δηλαδή πυροδοτούνται στην κατερχόμενη ακμή του σήματος ρολογιού.
- Χρησιμοποιώντας παρόμοια λογική με εκείνη του δυναμικού θετικού καταχωρητή διάταξης κυρίου-υπηρέτη που υλοποιήθηκε με πύλες διέλευσης, προκύπτει ότι στον δυναμικό αρνητικό καταχωρητή κύριου-υπηρέτη, όταν $CLK = 1$, η τιμή της εισόδου D πρέπει να μεταφέρεται στον πρώτο κόμβο αποθήκευσης και όσο χρόνο το σήμα ρολογιού παραμένει στην υψηλή στάθμη, η βαθμίδα υπηρέτη πρέπει να διατηρεί αμετάβλητη την τιμή της εξόδου της.
- Στην κατερχόμενη ακμή του σήματος ρολογιού, θα πρέπει η τιμή που είναι αποθηκευμένη στον πρώτο κόμβο αποθήκευσης να διαδίδεται έως την έξοδο του καταχωρητή.
- Το πρώτο από τα ζητούμενα κυκλώματα που πληροί τα προαναφερόμενα, είναι το παρακάτω και προκύπτει με εναλλαγή των σημάτων ρολογιού του θετικού καταχωρητή.



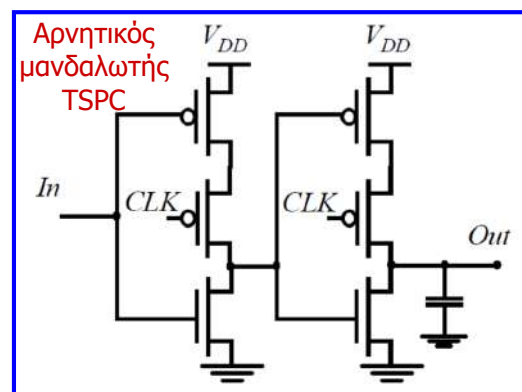
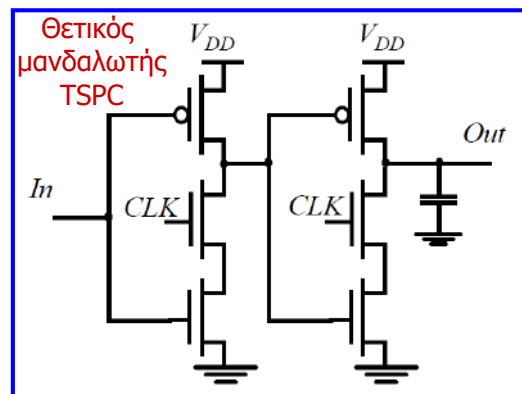
Παράδειγμα 3

- Με παρόμοια λογική με εκείνη του θετικού καταχωρητή C²MOS, στον αρνητικό καταχωρητή C²MOS όταν CLK = 1, πρέπει η βαθμίδα κυρίου να μεταφέρει τη συμπληρωματική τιμή της εισόδου D στον ενδιάμεσο κόμβο.
- Η βαθμίδα υπηρέτη πρέπει να διατηρεί αμετάβλητη την τιμή της εξόδου Q.
- Στην κατερχόμενη ακμή του CLK, πρέπει η συμπληρωματική τιμή του ενδιάμεσου κόμβου (δηλαδή η τιμή της εισόδου D) να μεταφέρεται στην έξοδο Q, μέσω της βαθμίδας υπηρέτη.
- Το δεύτερο από τα ζητούμενα κυκλώματα που πληροί τα προαναφερόμενα, είναι το διπλανό και προκύπτει ξανά με εναλλαγή των σημάτων ρολογιού του θετικού καταχωρητή C²MOS.



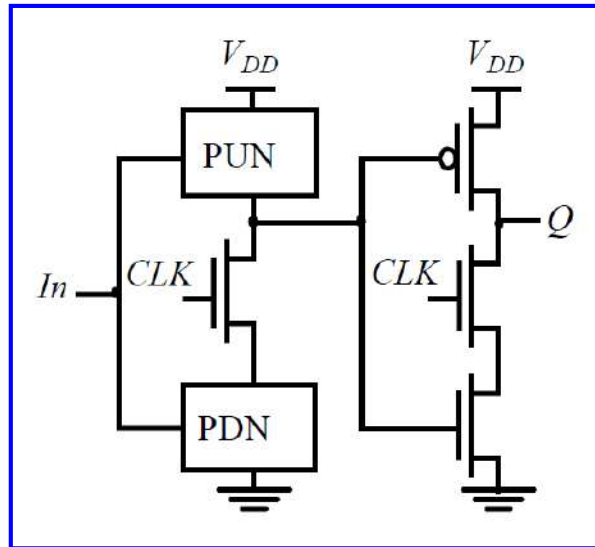
Μανδαλωτές μοναδικής φάσης ρολογιού (TSPC)

- Αν και η τεχνική C²MOS παρέχει μία λύση στην επίδραση της χρονικής επικάλυψης των σημάτων ρολογιού, είναι δυνατό να σχεδιαστούν μανδαλωτές και καταχωρητές που βασίζονται μόνο μία φάση σήματος ρολογιού, δηλαδή μανδαλωτές και καταχωρητές **μοναδικής φάσης ρολογιού (true single-phase clocked, TSPC)**.
- Στον **θετικό μανδαλωτή TSPC**, όταν CLK = 1, ο μανδαλωτής μεταφέρει την τιμή της εισόδου του στην έξοδό του, αφού αποτελεί διάταξη δυο αντιστροφέν σε σειρά.
- Όταν CLK = 0, τα PDN δικτυώματα των δύο αντιστροφέν απενεργοποιούνται, με αποτέλεσμα να μην μπορεί να μεταφερθεί η τιμή της εισόδου στην έξοδο και ο μανδαλωτής να διατηρεί αμετάβλητη την κατάσταση της εξόδου του.
- Παρόμοια είναι η λειτουργία του **αρνητικού μανδαλωτή TSPC** (Out = In, όταν CLK = 0).
- Ο **καταχωρητής TSPC** υλοποιείται συνδέοντας σειριακά ένα θετικό με έναν αρνητικό μανδαλωτή.



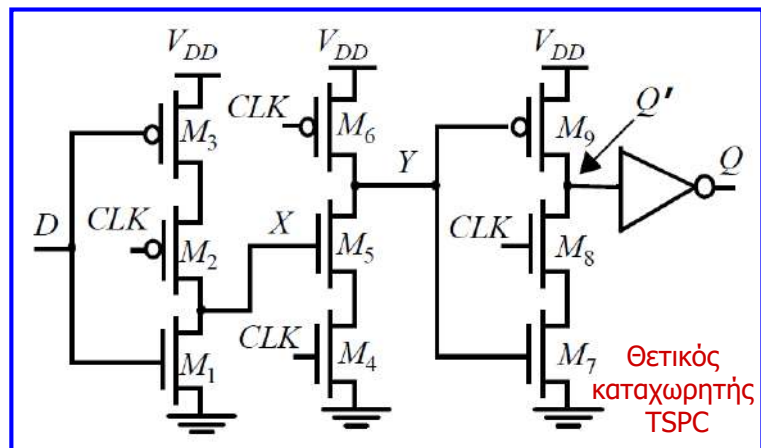
Μανδαλωτές μοναδικής φάσης ρολογιού (TSPC)

- Η τεχνική TSPC παρέχει τη **δυνατότητα ενσωμάτωσης λειτουργικής λογικής μέσα στους μανδαλωτές**.
- Αν και ο χρόνος αποκατάστασης ενός μανδαλωτή με ενσωματωμένη λογική είναι αυξημένος, η συνολική επίδοση του ψηφιακού κυκλώματος (δηλαδή η περίοδος ρολογιού του ακολουθιακού κυκλώματος) βελτιώνεται.



Καταχωρητής μοναδικής φάσης ρολογιού (TSPC)

- Με βάση την τεχνική TSPC μπορεί να υλοποιηθεί ένας **καταχωρητής μοναδικής φάσης ρολογιού**, που είναι πιο αποδοτικός από εκείνον που προκύπτει με σειριακή σύνδεση δύο μανδαλωτών TSPC.
- Όταν $CLK = 0$, ο αντιστροφέας της εισόδου μεταφέρει τη συμπληρωματική τιμή της εισόδου D στον κόμβο X.

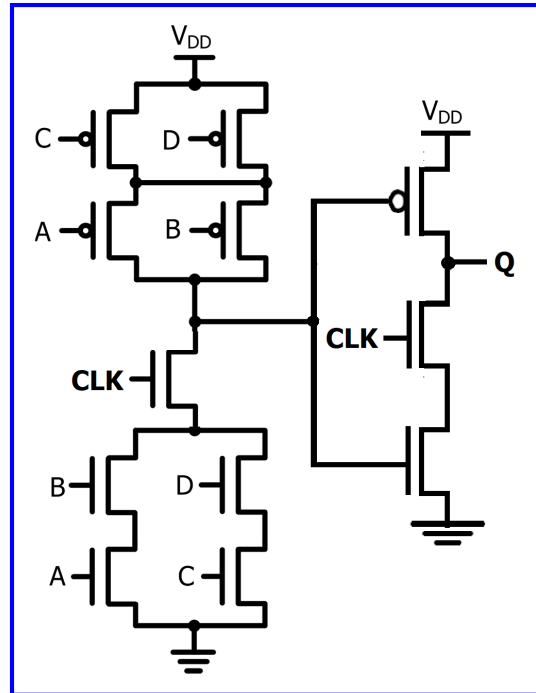


- Ο 2ος (δυναμικός) αντιστροφέας είναι σε κατάσταση προφόρτισης, με το τρανζίστορ M_6 να φορτίζει τον κόμβο Y σε τιμή 1 (V_{DD}).
- Ο 3ος αντιστροφέας διατηρεί αμετάβλητη την κατάσταση της εξόδου, αφού τα τρανζίστορ M_8 και το M_9 είναι σε αποκοπή.
- Στην ανερχόμενη ακμή του σήματος ρολογιού, ο δυναμικός αντιστροφέας πραγματοποιεί υπολογισμό και εάν ο κόμβος X είναι σε υψηλή στάθμη, ο κόμβος Y εκφορτίζεται.
- Ο 3ος αντιστροφέας λειτουργεί όταν $CLK = 1$ και η τιμή του Y μεταφέρεται στην έξοδο Q.

Παράδειγμα 4

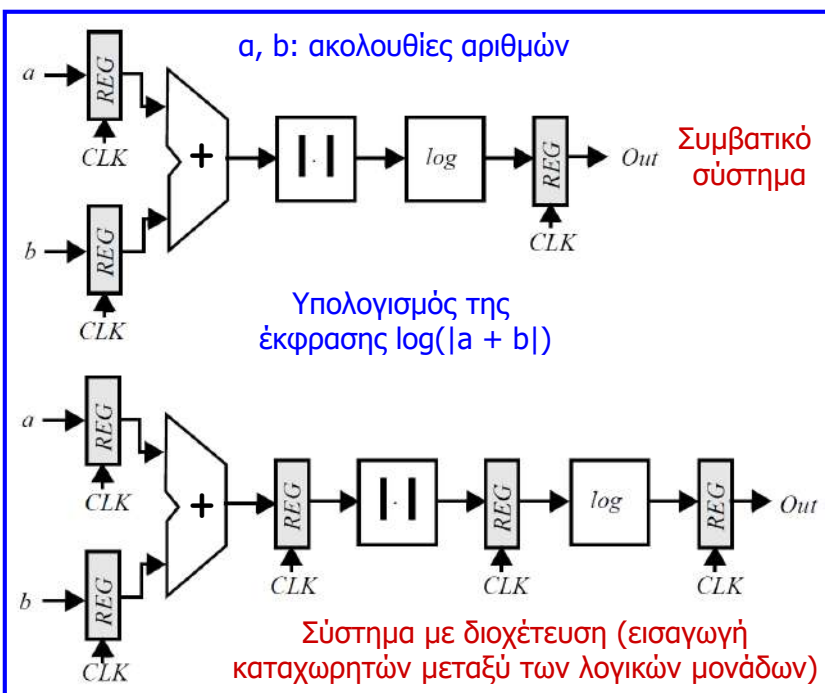
Ενσωματώνουμε τη λογική συνάρτηση $Q = A \cdot B + C \cdot D$ σε μια διάταξη TSPC.

- Αρχικά υλοποιούμε σε στατική συμπληρωματική λογική CMOS την συμπληρωματική της συνάρτησης που πρόκειται να ενσωματωθεί στη διάταξη TSPC.
- Στη συνέχεια, μεταξύ του κόμβου εξόδου και του δικτύματος PDN του κυκλώματος που υλοποιήσαμε, παρεμβάλλουμε ένα τρανζίστορ διέλευσης, του οποίου η πύλη τροφοδοτείται με το σήμα ρολογιού.
- Τέλος, με παρόμοιο τρόπο υλοποιούμε έναν αντιστροφέα, ο οποίος οδηγείται από την έξοδο της προαναφερόμενης υλοποίησης και παράγει την έξοδο της διάταξης TSPC.
- Η διάταξη TSPC που σχεδιάσαμε υλοποιεί τη συνάρτηση Q μαζί με μανδαλωτή.



Βελτιστοποίηση ΣΑΚ με διοχέτευση (pipelining)

Η **διοχέτευση (pipelining)** είναι δημοφιλής σχεδιαστική τεχνική που χρησιμοποιείται για την επιτάχυνση της λειτουργίας χειριστών δεδομένων σε ψηφιακούς επεξεργαστές.



Ελάχιστη περίοδος ρολογιού συμβατικού συστήματος:

$$T = t_{CQ} + t_{LOGIC} + t_{SU}$$

t_{LOGIC} : καθυστέρηση αθροιστή (+), μονάδας υπολογισμού απόλυτης τιμής (| |) και μονάδας υπολογισμού λογαρίθμου (log)

Ελάχιστη περίοδος ρολογιού συστήματος με διοχέτευση:

$$T_p = t_{CQ} + \max(t_{+}, t_{||}, t_{log}) + t_{SU}$$

Βελτιστοποίηση ΣΑΚ με διοχέτευση (pipelining)

- Η καθυστέρηση των μονάδων υπολογισμού είναι γενικά πολύ μεγαλύτερη από εκείνη που σχετίζεται με τους καταχωρητές.
- **Συμβατικό σύστημα:** εάν υποθέσουμε ότι οι 3 μονάδες υπολογισμού έχουν την ίδια καθυστέρηση, τότε κάθε μονάδα είναι ενεργή μόνο κατά το 1/3 της περιόδου του σήματος ρολογιού.
- **Σύστημα με διοχέτευση:** βελτίωση του ποσοστού του χρόνου αξιοποίησης των μονάδων υπολογισμού του κυκλώματος:

Περίοδος ρολογιού	Αθροιστής	Μονάδα απόλυτης τιμής	Μονάδα λογαρίθμου
1	$a_1 + b_1$		
2	$a_2 + b_2$	$ a_1 + b_1 $	
3	$a_3 + b_3$	$ a_2 + b_2 $	$\log(a_1 + b_1)$
4	$a_4 + b_4$	$ a_3 + b_3 $	$\log(a_2 + b_2)$
5	$a_5 + b_5$	$ a_4 + b_4 $	$\log(a_3 + b_3)$

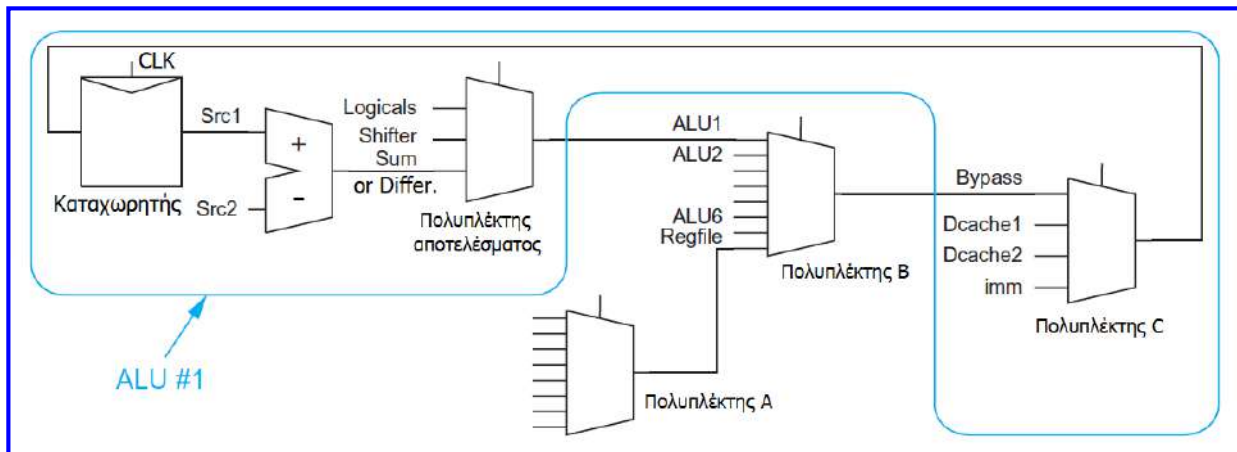
Υποθέτοντας ότι η επιβάρυνση λόγω των καταχωρητών είναι μικρή σε σχέση με την καθυστέρηση των μονάδων υπολογισμού, τότε:

$$T_p = T / 3$$

Παράδειγμα 5

Η μονάδα επεξεργασίας ακέραιων αριθμών του επεξεργαστή Intel Itanium περιλαμβάνει 6 αριθμητικές λογικές μονάδες (ALUs) με διαδρομές προώθησης (bypass paths) δεδομένων, οι οποίες έχουν σαν αποτέλεσμα τη χρήση μειωμένης συχνότητας ρολογιού. Η διαδρομή προώθησης μιας ALU ξεκινά με καταχωρητή στον οποίο αποθηκεύονται οι αριθμοί που πρόκειται να προστεθούν ή να αφαιρεθούν στον αθροιστή/αφαιρέτη. Ο πολυπλέκτης αποτελέσματος επιλέγει μεταξύ του αθροίσματος (ή της διαφοράς), της εξόδου της λογικής μονάδας ή της εξόδου του κυκλώματος ολίσθησης (shifter). Στη συνέχεια, τρεις πολυπλέκτες (bypass multiplexers) επιλέγουν τις εισόδους της ALU για τον επόμενο κύκλο του σήματος ρολογιού. Ο πολυπλέκτης A (8 σε 1) επιλέγει μεταξύ των αποτελεσμάτων της ALU που παράχθηκαν σε προηγούμενους κύκλους ρολογιού. Ο πολυπλέκτης B (8 σε 1) επιλέγει μεταξύ των αποτελεσμάτων των 6 ALUs, του πολυπλέκτη A και ενός αριθμού που είναι αποθηκευμένος στο σύνολο καταχωρητών του επεξεργαστή (register file). Ο πολυπλέκτης C (4 σε 1) επιλέγει μεταξύ αριθμών (αποτελεσμάτων) που είναι αποθηκευμένα στην κρυφή (cache) μνήμη δεδομένων του επεξεργαστή, της εξόδου του πολυπλέκτη B και ενός άμεσου ορίσματος (αριθμού) που αποτελεί μέρος της επόμενης εντολής. Η έξοδος του πολυπλέκτη C οδηγείται στην είσοδο της ALU για να χρησιμοποιηθεί στον επόμενο κύκλο ρολογιού. Δίνεται ότι οι καταχωρητές που χρησιμοποιούνται έχουν χρόνο αποκατάστασης 60 ps και καθυστέρηση διάδοσης 90 ps. Με βάση το διάγραμμα και τις καθυστερήσεις διάδοσης των κυκλωμάτων της διαδρομής προώθησης μιας ALU, που δίνονται στη συνέχεια, υπολογίζουμε τη μέγιστη συχνότητα του σήματος ρολογιού, έτσι ώστε η διαδρομή προώθησης μιας ALU να λειτουργεί σωστά.

Παράδειγμα 5



Κύκλωμα	Καθυστέρηση διάδοσης
Αθροιστής / αφαιρέτης	590 ps
Πολυπλέκτης αποτελέσματος	60 ps
Πολυπλέκτης Α	110 ps
Πολυπλέκτης Β	80 ps
Πολυπλέκτης C	70 ps

Παράδειγμα 5

- Ο πολυπλέκτης Α δε συμμετέχει στην κρίσιμη διαδρομή που καθορίζει την ελάχιστη περίοδο του σήματος ρολογιού και κατά συνέπεια τη μέγιστη συχνότητά του.
- Η κρίσιμη διαδρομή περιλαμβάνει τις καθυστερήσεις διάδοσης του αθροιστή/αφαιρέτη (590 ps), του πολυπλέκτη αποτελέσματος (60 ps), του πολυπλέκτη Β (80 ps) και του πολυπλέκτη C (70 ps), δηλαδή παρουσιάζει συνολική καθυστέρηση $t_{\text{LOGIC}} = 800$ ps.
- Η ελάχιστη περίοδος του σήματος ρολογιού, έτσι ώστε η διαδρομή προώθησης μιας ALU να λειτουργεί σωστά, είναι:

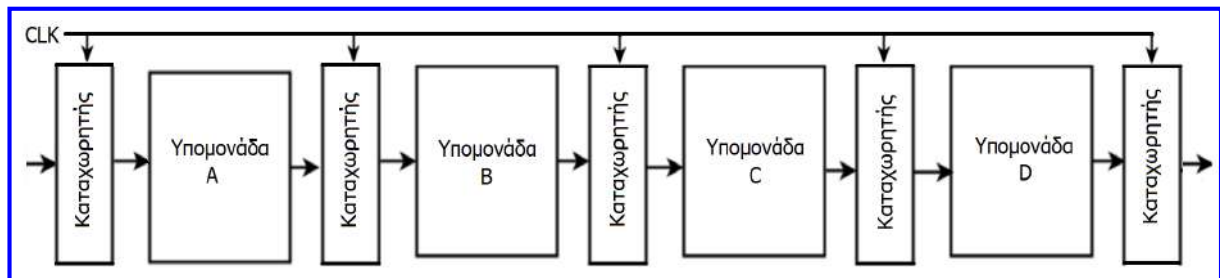
$$T = t_{\text{CQ}} + t_{\text{LOGIC}} + t_{\text{SU}} = 90 \text{ ps} + 800 \text{ ps} + 60 \text{ ps} = 950 \text{ ps}.$$

- Επομένως, η ζητούμενη μέγιστη συχνότητα του σήματος ρολογιού είναι:

$$f = 1 / T = 1 / (950 \text{ ps}) = 1.05 \text{ GHz}.$$

Παράδειγμα 6

Μια συμβατική μονάδα επεξεργασίας δεδομένων εκτελεί σειριακά 4 βασικές λειτουργίες A, B, C, D, σε χρόνο σε 800 ps, 500 ps, 400 ps και 300 ps, αντίστοιχα. Μετά την αναβάθμιση της μονάδας επεξεργασίας με χρήση καταχωρητών με καθυστέρηση διάδοσης 90 ps και χρόνο αποκατάστασης 60 ps, προέκυψε μονάδα επεξεργασίας με διοχέτευση 4 υπομονάδων.



1. Υπολογίζουμε τον χρόνο εκτέλεσης των τεσσάρων βασικών λειτουργιών στις δύο μονάδες επεξεργασίας και αφού διαπιστώσουμε ποια μονάδα είναι γρηγορότερη, προσδιορίζουμε πόσες φορές είναι γρηγορότερη (speedup) σε σχέση με την άλλη μονάδα.
2. Υπολογίζουμε το συνολικό χρόνο επεξεργασίας μιας ακολουθίας 500 διαφορετικών δεδομένων στην αναβαθμισμένη μονάδα επεξεργασίας.
3. Εάν η πρώτη υπομονάδα της αναβαθμισμένης μονάδας επεξεργασίας αντικατασταθεί από δύο λειτουργικά ισοδύναμες υπομονάδες με καθυστερήσεις διάδοσης 600 ps και 350 ps, αντίστοιχα, υπολογίζουμε κατά πόσο μεταβάλλεται η ταχύτητα της μονάδας.

Παράδειγμα 6

1. Ο χρόνος εκτέλεσης των τεσσάρων βασικών λειτουργιών στη συμβατική μονάδα επεξεργασίας ισούται με το άθροισμα των χρόνων εκτέλεσης των τεσσάρων βασικών λειτουργιών:

$$T = (800 + 500 + 400 + 300) \text{ ps} = 2000 \text{ ps} = 2 \text{ ns}, \text{ με την μέγιστη συχνότητα του σήματος ρολογιού να είναι } 1 / (2 \text{ ns}) = 0.5 \text{ GHz}$$

Ο χρόνος εκτέλεσης των τεσσάρων βασικών λειτουργιών στη μονάδα επεξεργασίας με διοχέτευση (υπό ιδανικές συνθήκες) είναι:

$$T_p = t_{CQ} + t_{SU} + t_{LOGIC} = 90 \text{ ps} + 60 \text{ ps} + \max(800 + 500 + 400 + 300) \text{ ps} = (150 + 800) \text{ ps} = 950 \text{ ps} = 0.95 \text{ ns}, \text{ με την μέγιστη συχνότητα του σήματος ρολογιού να γίνεται: } 1 / (0.95 \text{ ns}) = 1.05 \text{ GHz} \text{ (προφανώς πιο γρήγορη μονάδα από τη συμβατική).}$$

Speedup = χρόνος εκτέλεσης συμβατικής μονάδας / χρόνος εκτέλεσης μονάδας με διοχέτευση = $2 \text{ ns} / 0.95 \text{ ns} = 2.1$ φορές γρηγορότερη είναι η μονάδα με διοχέτευση.

2. Ο συνολικός χρόνος επεξεργασίας μιας ακολουθίας 500 διαφορετικών δεδομένων στη μονάδα με διοχέτευση, ισούται με τον χρόνο επεξεργασίας του 1ου δεδομένου συν το χρόνο επεξεργασίας των υπόλοιπων 499 δεδομένων:
= 1×4 κύκλοι σήματος ρολογιού + 499×1 κύκλος ρολογιού =
= $4 \times 0.95 \text{ ns} + 499 \times 0.95 \text{ ns} = 478.8 \text{ ns}$

Παράδειγμα 6

3. Εάν η πρώτη υπομονάδα της μονάδας επεξεργασίας με διοχέτευση αντικατασταθεί από δύο λειτουργικά ισοδύναμες υπομονάδες με καθυστερήσεις διάδοσης 600 ps και 350 ps, η ελάχιστη περίοδος ρολογιού γίνεται:

$$T'_p = t_{CQ} + t_{SU} + t_{LOGIC} = 90 \text{ ps} + 60 \text{ ps} + \max(600 + 350 + 500 + 400 + 300) \text{ ps} = (150 + 600) \text{ ps} = 750 \text{ ps} = 0.75 \text{ ns}, \text{ με την μέγιστη συχνότητα του σήματος ρολογιού να γίνεται: } 1 / 0.75 \text{ ns} = 1.33 \text{ GHz}.$$

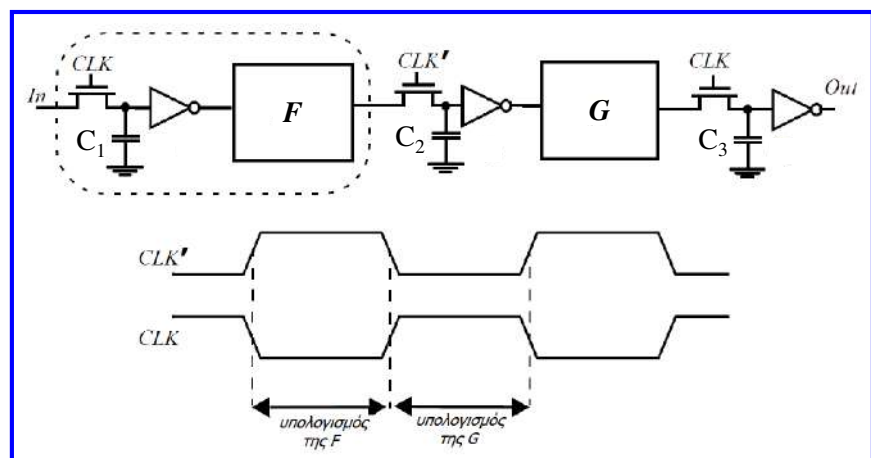
Επομένως, παρότι η πρώτη υπομονάδα αντικαταστάθηκε με δύο λειτουργικά ισοδύναμες της υπομονάδες με μεγαλύτερη συνολική καθυστέρηση διάδοσης, η προαναφερόμενη παρέμβαση οδηγεί σε αύξηση της ταχύτητας κατά: $1.33 \text{ GHz} / 1.05 \text{ GHz} = 1.26$ φορές.

Υλοποίηση δομών διοχέτευσης με μανδαλωτές

- Μια δομή διοχέτευσης μπορεί να υλοποιηθεί με θετικούς και αρνητικούς δυναμικούς μανδαλωτές (με τρανζίστορ διέλευσης) διάταξης κυρίου-υπηρέτη, εισάγοντας στατική λογική μεταξύ των 2 βαθμίδων.

- Κατά την κατερχόμενη ακμή του CLK, η τιμή της εισόδου αποθηκεύεται στη χωρητικότητα C_1 και ξεκινά ο υπολογισμός της συνάρτησης F.

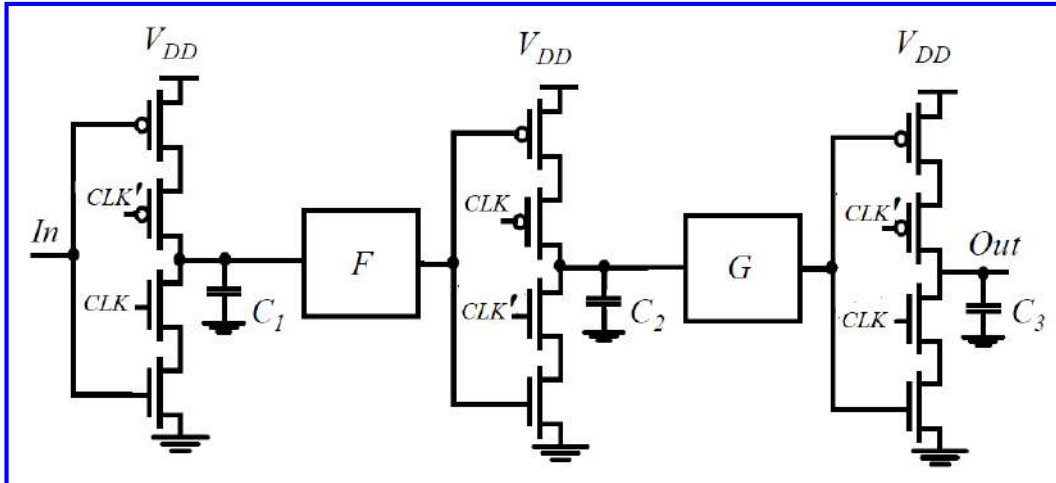
- Το αποτέλεσμα του υπολογισμού αποθηκεύεται στην χωρητικότητα C_2 κατά την κατερχόμενη ακμή του CLK' και ξεκινά ο υπολογισμός της συνάρτησης G.



- Η μη επικάλυψη των σημάτων ρολογιού εξασφαλίζει τη σωστή λειτουργία.
- Η τιμή που είναι αποθηκευμένη στην χωρητικότητα C_2 στο τέλος της φάσης χαμηλής στάθμης του CLK είναι το αποτέλεσμα της διέλευσης της προηγούμενης εισόδου (που αποθηκεύεται κατά την κατερχόμενη ακμή του CLK στην C_1) μέσω της συνάρτησης F.

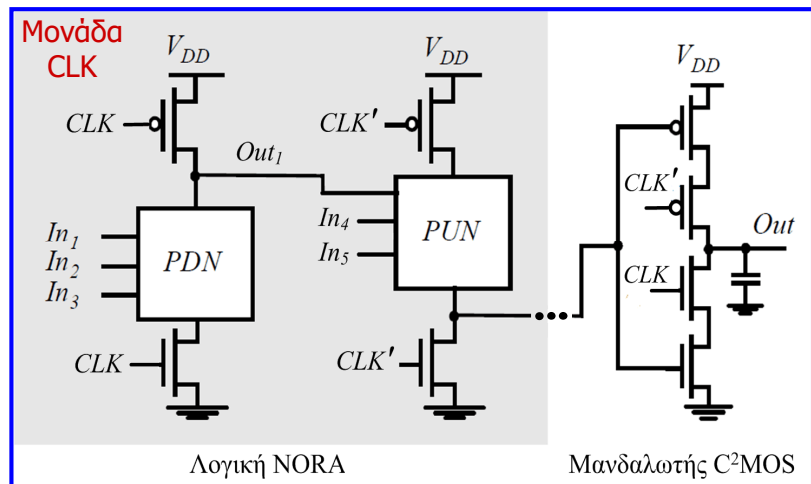
Υλοποίηση δομών διοχέτευσης με μανδαλωτές C²MOS

- Μια **δομή διοχέτευσης** μπορεί να υλοποιηθεί χρησιμοποιώντας **μανδαλωτές C²MOS**.
- Η δομή αυτή είναι **απαλλαγμένη από συνθήκες ανταγωνισμού** εφόσον όλες οι **λογικές συναρτήσεις στατικής λογικής μεταξύ των μανδαλωτών** είναι **μη αντιστρέψιμες**.
- Κατά τη διάρκεια της περιόδου επικάλυψης χαμηλής στάθμης (0-0) των σημάτων ρολογιού, όλοι οι μανδαλωτές C²MOS απλοποιούνται σε δικτυώματα PUN.
- Αντίστοιχη είναι η λειτουργία για την περίοδο επικάλυψης υψηλής στάθμης (1-1).



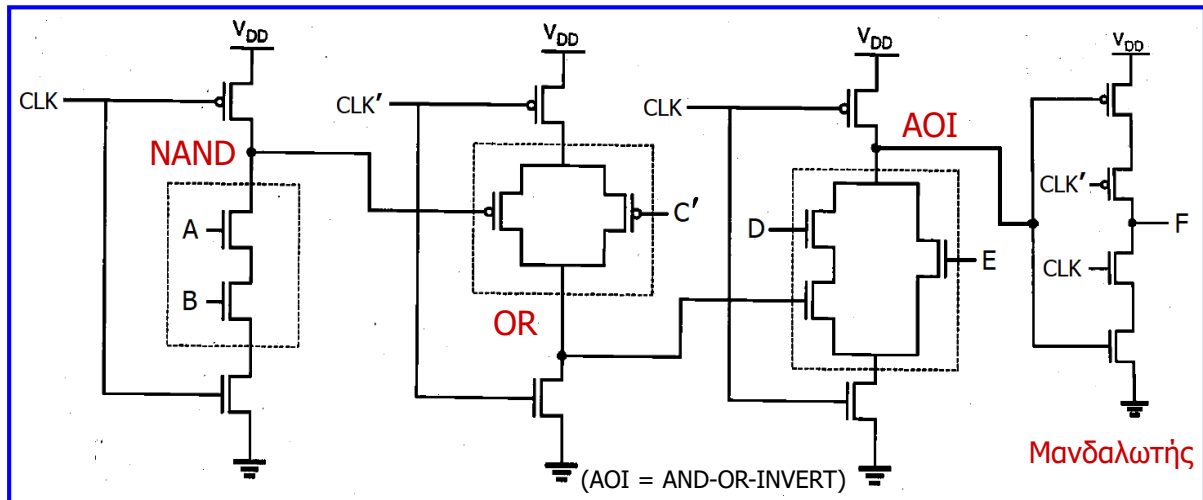
Υλοποίηση δομών διοχέτευσης με λογική NORA-CMOS

- Κάθε **μονάδα λογικής NORA-CMOS** αποτελείται από μια **δυναμική λογική τύπου NORA**, η οποία ακολουθείται από έναν **μανδαλωτή C²MOS**.
- Η λογική τύπου NORA και ο μανδαλωτής δέχονται παλμούς σήματος ρολογιού, τέτοιους ώστε να είναι ταυτόχρονα είτε σε κατάσταση υπολογισμού της εξόδου τους (πύλες της λογικής NORA και μανδαλωτής), είτε σε κατάσταση προφόρτισης ή εκφόρτισης (πύλες της λογικής NORA) και διατήρησης αναλλοίωτης της τιμής εξόδου (μανδαλωτής).
- Η μονάδα όπου οι πύλες της λογικής NORA και ο μανδαλωτής είναι σε κατάσταση υπολογισμού, όταν CLK = 1, αναφέρεται ως **μονάδα CLK**, ενώ η μονάδα που εκτελεί την ίδια λειτουργία όταν CLK = 0 αναφέρεται ως **μονάδα CLK'** και υλοποιείται με απλή εναλλαγή όλων των σημάτων ρολογιού της μονάδας CLK.
- Μια **δομή διοχέτευσης NORA-CMOS** αποτελείται από **εναλλασσόμενες μονάδες CLK και CLK'**.



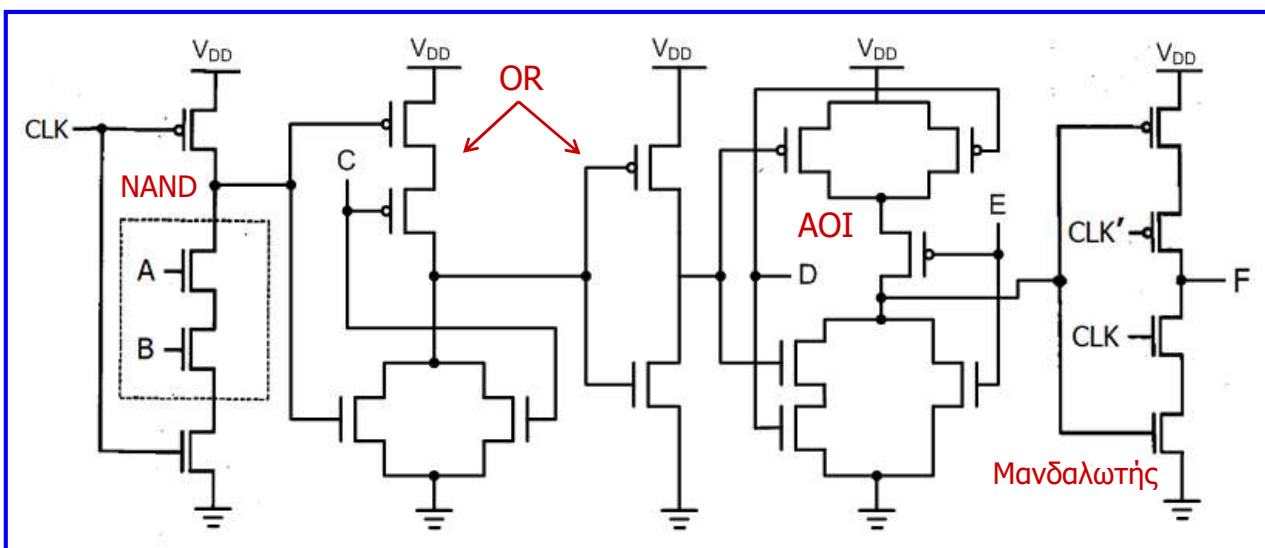
Παράδειγμα 7

- Σχεδιάζουμε μια μονάδα λογικής NORA-CMOS που να υλοποιεί τη λογική συνάρτηση $F = [(A \cdot B)' + C] \cdot D + E$. Η λογική τύπου NORA και ο μανδαλωτής της μονάδας θα πρέπει να είναι σε κατάσταση υπολογισμού όταν το σήμα ρολογιού βρίσκεται στην υψηλή στάθμη, δηλαδή σχεδιάζουμε μια μονάδα CLK λογικής NORA-CMOS.
- Κατά το σχεδιασμό μονάδων λογικής NORA-CMOS, μπορούν να αναμιχθούν η δυναμική και η στατική λογική. Μια πρώτη επιλογή είναι η χρήση δυναμικών πυλών με εναλλαγή δικτυωμάτων PDN και PUN.



Παράδειγμα 7

- Μια δεύτερη επιλογή είναι η χρήση στατικής συμπληρωματικής λογικής CMOS, για την υλοποίηση των λογικών πυλών μεταξύ της πύλης εισόδου και του μανδαλωτή.



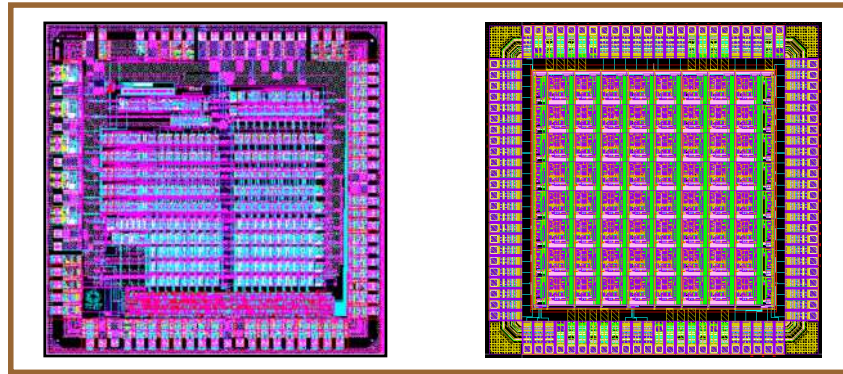
- Οι δύο υλοποιήσεις αποτελούν μονάδες CLK, αφού η λογική τύπου NORA και ο μανδαλωτής που περιλαμβάνουν είναι σε κατάσταση υπολογισμού όταν το σήμα ρολογιού βρίσκεται στην υψηλή στάθμη.

Συμπεράσματα

- Στα συνδυαστικά κυκλώματα η έξοδος είναι συνάρτηση των τρεχουσών τιμών εισόδου.
- Ωστόσο, τα ψηφιακά συστήματα απαιτούν αποθήκευση της κατάστασής τους, με αποτέλεσμα την αναγκαιότητα χρήσης ακολουθιακών (sequential) κυκλωμάτων, στα οποία η έξοδος εξαρτάται και από προηγούμενες τιμές των εισόδων.
- Η σταυροειδής σύνδεση δύο αντιστροφών δημιουργεί ένα δισταθές κύκλωμα που αναφέρεται ως μανδαλωτής (latch).
- Ο μανδαλωτής έχει δύο σταθερές καταστάσεις και μπορεί να αποθηκεύσει μία λογική τιμή.
- Ένας μανδαλωτής γίνεται χρήσιμο κύκλωμα όταν παρέχει τη δυνατότητα μετάβασης από τη μία κατάσταση στην άλλη (με αντικατάσταση των αντιστροφών με συμπληρωματικές πύλες ή με αποκοπή το βρόχου ανατροφοδότησης και χρήση πολυπλέκτη).
- Οι μανδαλωτές είναι στοιχεία μνήμης ευαίσθητα σε επίπεδο στάθμης σήματος ρολογιού που δειγματοληπτεί δεδομένα στη μία στάθμη και συγκρατεί δεδομένα στην άλλη στάθμη.
- Οι καταχωρητές (φλιπ-φλοπ) δειγματοληπτούν τα δεδομένα στην ανερχόμενη ή στην κατερχόμενη ακμή του σήματος ρολογιού.
- Ένας καταχωρητής έχει 3 σημαντικές παραμέτρους χρονισμού (χρόνος αποκατάστασης, χρόνος συγκράτησης, καθυστέρηση διάδοσης), οι οποίες πρέπει να βελτιστοποιούνται προσεκτικά, επειδή μπορεί να αντιστοιχούν σε σημαντικό μέρος της περιόδου του ρολογιού.
- Οι μανδαλωτές και οι καταχωρητές μπορεί να είναι στατικοί ή δυναμικοί.

Συμπεράσματα

- Οι στατικοί μανδαλωτές και καταχωρητές συγκρατούν την κατάστασή τους για όσο χρόνο εφαρμόζεται η τάση τροφοδοσίας και βασίζονται σε πολυπλέκτες.
- Η πιο συνηθισμένη προσέγγιση για την υλοποίηση ενός στατικού καταχωρητή είναι η χρήση δύο στατικών μανδαλωτών σε διάταξη κυρίου-υπηρέτη (master-slave).
- Η δυναμική μνήμη βασίζεται στην προσωρινή αποθήκευση φορτίου σε χωρητικότητες και πλεονεκτεί όσον αφορά την πολυπλοκότητα, την επίδοση και την κατανάλωση ενέργειας.
- Ωστόσο, το φορτίο σε ένα δυναμικό κόμβο διαρρέει με το χρόνο και συνεπώς τα δυναμικά κυκλώματα έχουν μία ελάχιστη συχνότητα ρολογιού.
- Οι δυναμικοί καταχωρητές συχνά μετατρέπονται σε ψευδοστατικός, για να παρουσιάζουν ανοσία έναντι της χωρητικής σύζευξης και άλλων πηγών θορύβου.
- Η τεχνική C²MOS χρησιμοποιείται στους δυναμικούς καταχωρητές για την εξάλειψη της επίδρασης της χρονικής επικάλυψης των σημάτων ρολογιού.
- Άλλη επιλογή για το σχεδιασμό αξιόπιστων δυναμικών μανδαλωτών και καταχωρητών είναι η χρήση σήματος ρολογιού μοναδικής φάσης (TSPC).
- Η διοχέτευση (pipelining) επιταχύνει τη λειτουργία χειριστών δεδομένων (data paths) στους ψηφιακούς επεξεργαστές και μπορεί να υλοποιηθεί με χρήση δυναμικών μανδαλωτών.
- Ο συνδυασμός δυναμικής λογικής με δυναμικούς μανδαλωτές (λογική NORA-CMOS), μπορεί να παράγει δομές διοχέτευσης για εφαρμογές υψηλής επίδοσης.



7^η ενότητα: ΜΕΘΟΔΟΛΟΓΙΕΣ ΣΧΕΔΙΑΣΜΟΥ ΚΑΙ ΥΛΟΠΟΙΗΣΗΣ ΨΗΦΙΑΚΩΝ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ



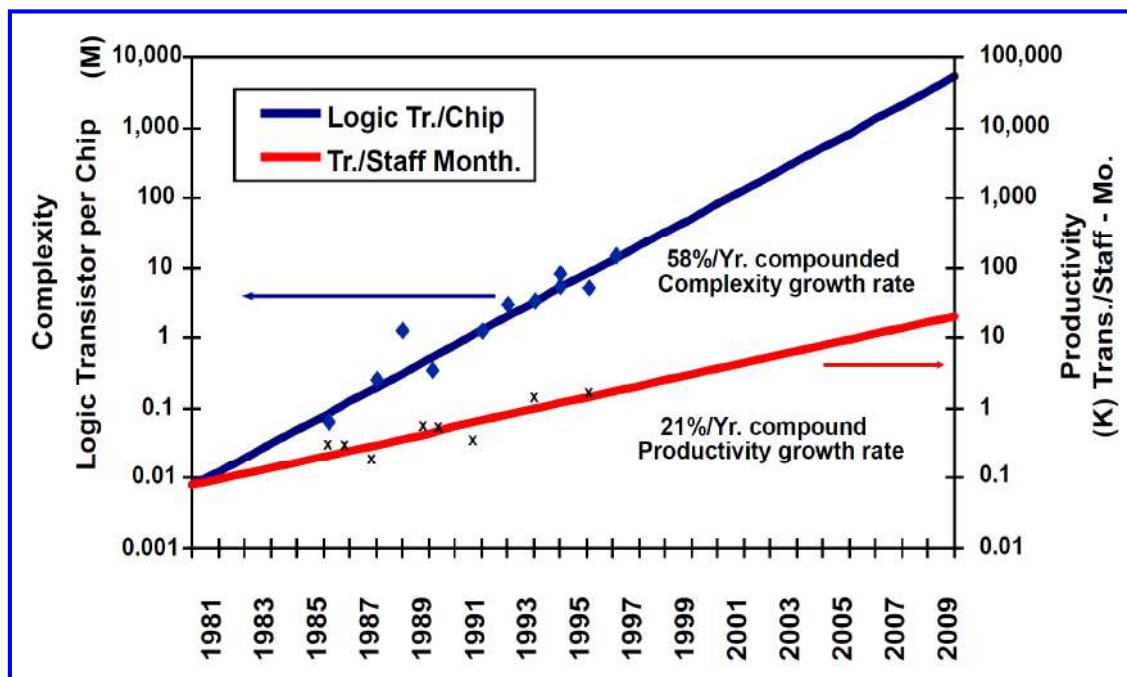
Περιεχόμενα 7^{ης} ενότητας

- Εισαγωγή
- Επίπεδα ιεραρχίας σχεδιασμού
- Μεθοδολογίες σχεδιασμού και υλοποίησης ολοκληρωμένων κυκλωμάτων
- Εξατομικευμένος σχεδιασμός
- Ημιεξατομικευμένος σχεδιασμός
- Σχεδιασμός κυκλωμάτων με τυπικά κύτταρα (standard cells)
- Διαδικασίες σχεδιασμού με τυπικά κύτταρα
- Μεταγλωττισμένα κύτταρα και μακροκύτταρα
- Σχεδιασμός και υλοποίηση κυκλωμάτων με δομές πίνακα
- Προδιαγεόμενες δομές πίνακα (gate arrays, sea-of-gates)
- Προγραμματιζόμενες διατάξεις (PLAs, FPGAs)
- Προγραμματιζόμενες διασυνδέσεις
- Σύστημα σε ολοκληρωμένο κύκλωμα (system-on-chip, SoC)
- Συμπεράσματα

Εισαγωγή

- Η δραματική αύξηση της πολυπλοκότητας των ολοκληρωμένων κυκλωμάτων που παρατηρείται τα τελευταία χρόνια, δημιουργεί εξαιρετικά δύσκολες και ενδιαφέρουσες προκλήσεις όσον αφορά το σχεδιασμό τους.
- Ο σχεδιασμός ενός κυκλώματος πολλών εκατομμυρίων τρανζίστορ και η εξασφάλιση της σωστής λειτουργίας του είναι δύσκολος στόχος.
- Η επίτευξη του στόχου αυτού οποίου είναι ουσιαστικά αδύνατη χωρίς τη βοήθεια εργαλείων λογισμικού και την ύπαρξη ολοκληρωμένων μεθοδολογιών σχεδιασμού.
- Η πρόοδος που έχει επιτευχθεί στην τεχνολογία ξεπερνά το ρυθμό απορρόφησής της από τους σχεδιαστές κυκλωμάτων.
- Η πολυπλοκότητα των ολοκληρωμένων κυκλωμάτων αυξάνεται γρηγορότερα από την παραγωγικότητα ενός μηχανικού.
- Ένας τρόπος για να ξεπεραστεί το χάσμα αυτό είναι να αυξάνεται διαρκώς το μέγεθος των ομάδων που εργάζονται για την ανάπτυξη ενός ολοκληρωμένου κυκλώματος.
- Η τάση αυτή παρατηρείται στην περίπτωση των επεξεργαστών υψηλής απόδοσης, όπου η ύπαρξη ομάδων με περισσότερους από 500 ανθρώπους δεν προκαλεί πλέον καμία έκπληξη.

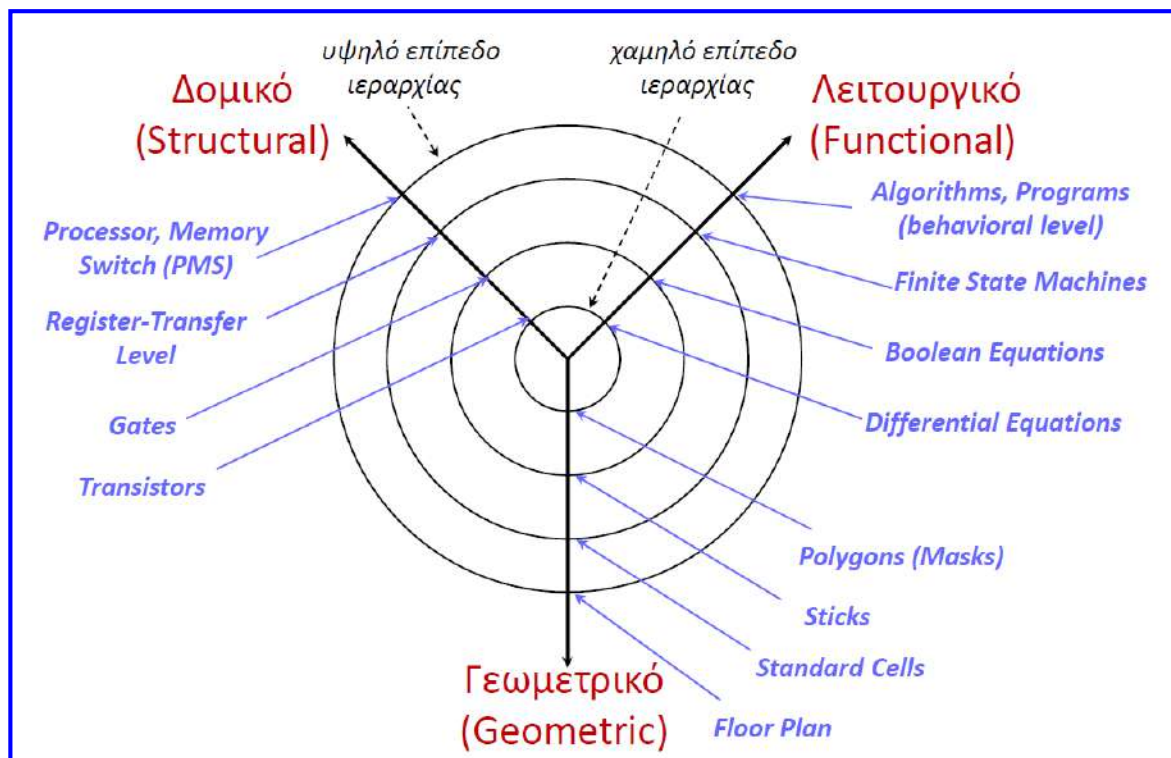
Εισαγωγή



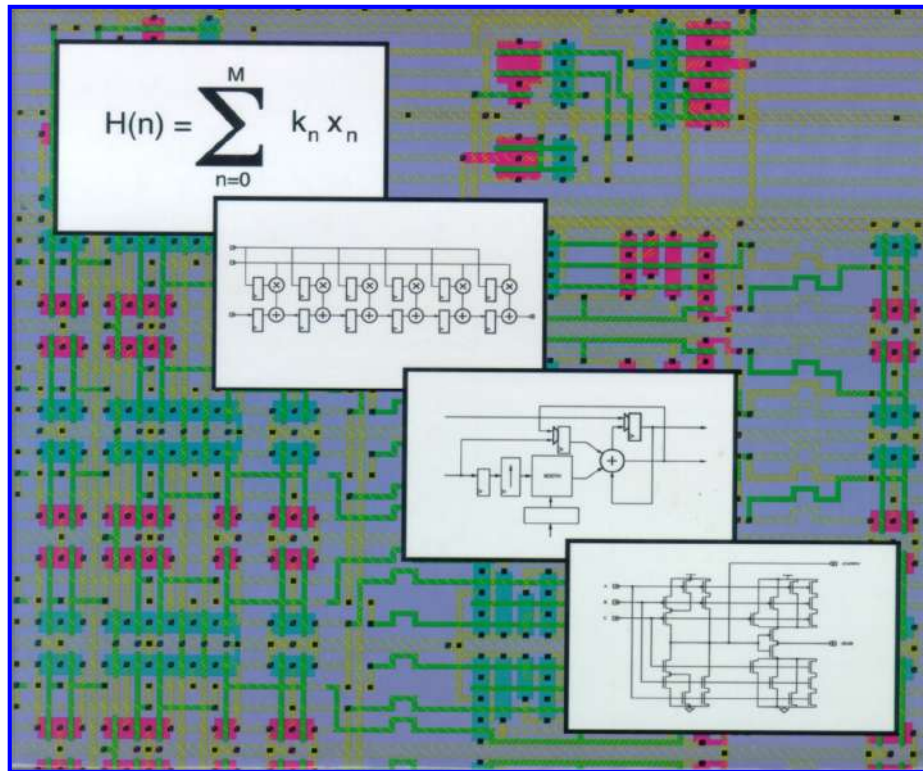
Εισαγωγή

- Η τάση αυτή δεν μπορεί να διατηρηθεί για μεγάλο χρονικό διάστημα και για το λόγο αυτό έχουν αναπτυχθεί καινοτόμες μεθοδολογίες σχεδιασμού που αυξάνουν σημαντικά την παραγωγικότητα των σχεδιαστών, βοηθώντας έτσι στη γεφύρωση του χάσματος.
- Ο **πλήρως εξατομικευμένος σχεδιασμός (full-custom design)** ήταν ο κανόνας για το σχεδιασμό των πρώτων ολοκληρωμένων κυκλωμάτων στη δεκαετία του 1970.
- Από τότε, οι **προγραμματιζόμενες λογικές δομές πίνακα (programmable logic arrays, PLAs)**, τα **τυπικά κύτταρα (standard cells)**, τα **μεγάλου μεγέθους κύτταρα (μακροκύτταρα, macrocells)**, οι **μεταγλωττιστές κυκλωματικών μονάδων (module compilers)**, οι **δομές τύπου πίνακα με πύλες (gate arrays)** και το **υλικό αναδιατάσσόμενης λογικής (reconfigurable hardware)** έχουν βοηθήσει σημαντικά στο να υλοποιείται μία λογική συνάρτηση σε πυρίτιο εύκολα και με μικρό κόστος.

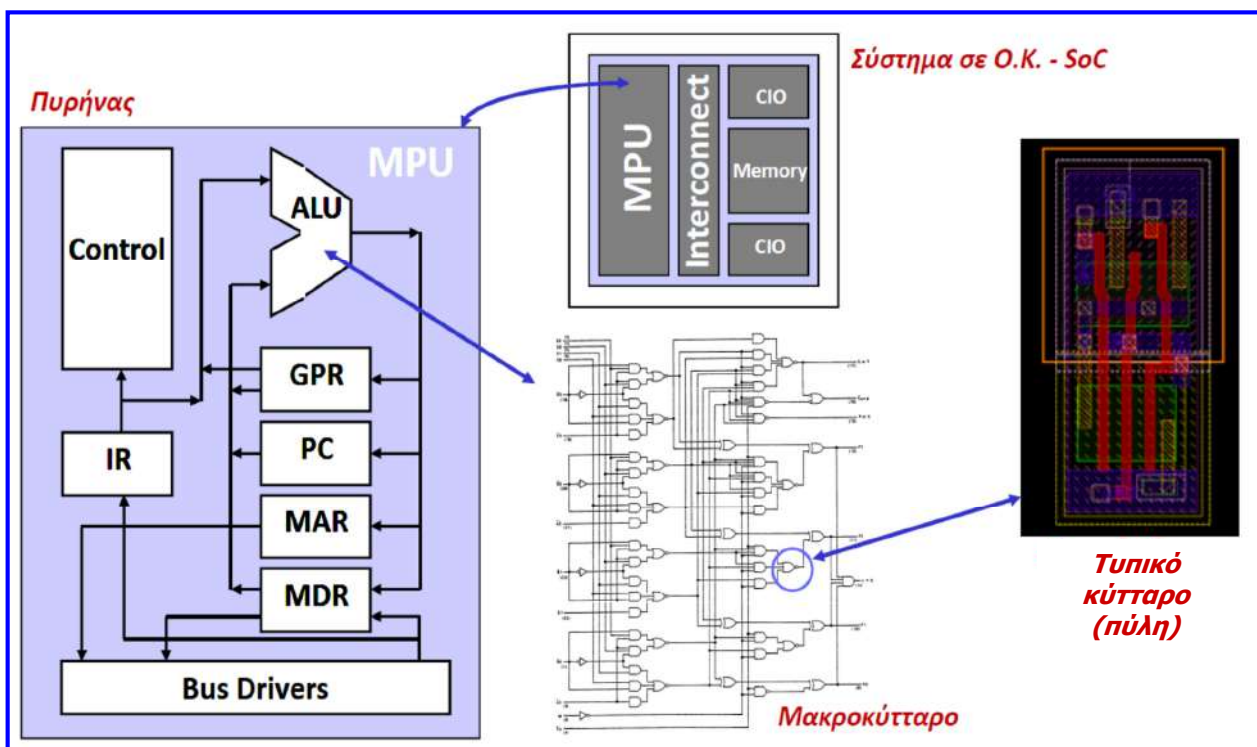
Επίπεδα ιεραρχίας σχεδιασμού



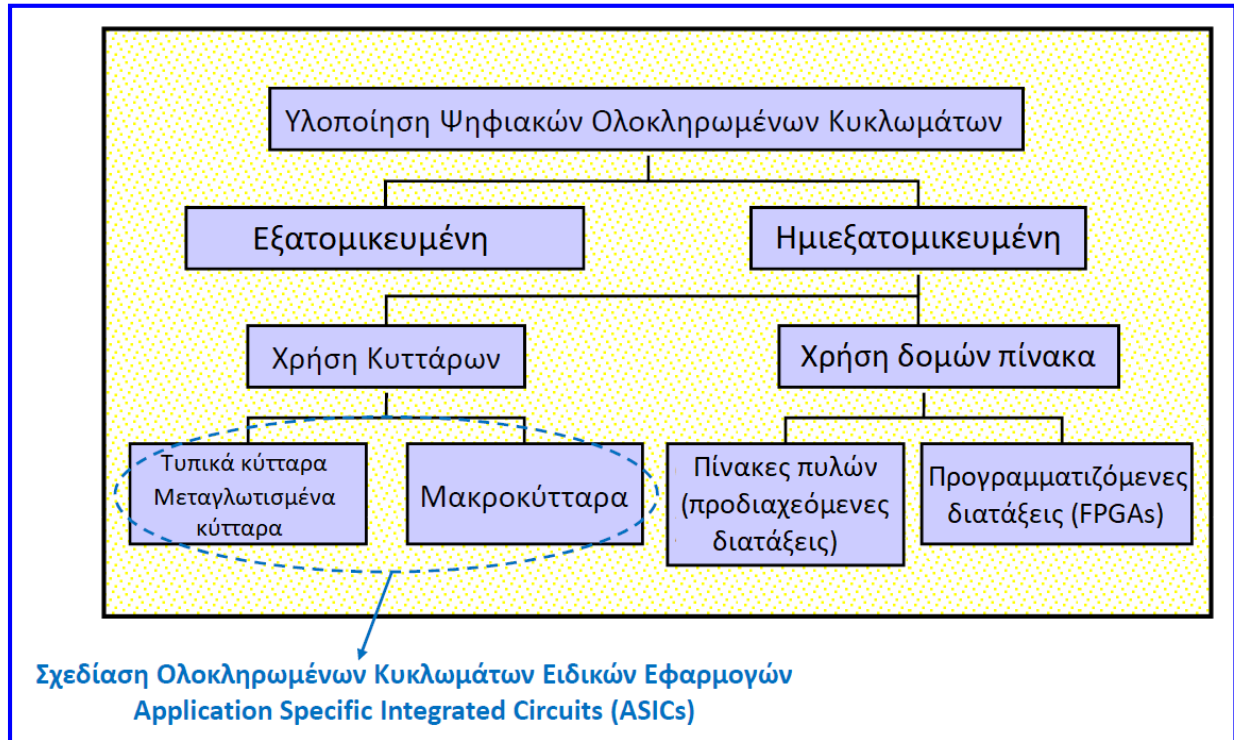
Επίπεδα ιεραρχίας σχεδιασμού



Επίπεδα ιεραρχίας σχεδιασμού



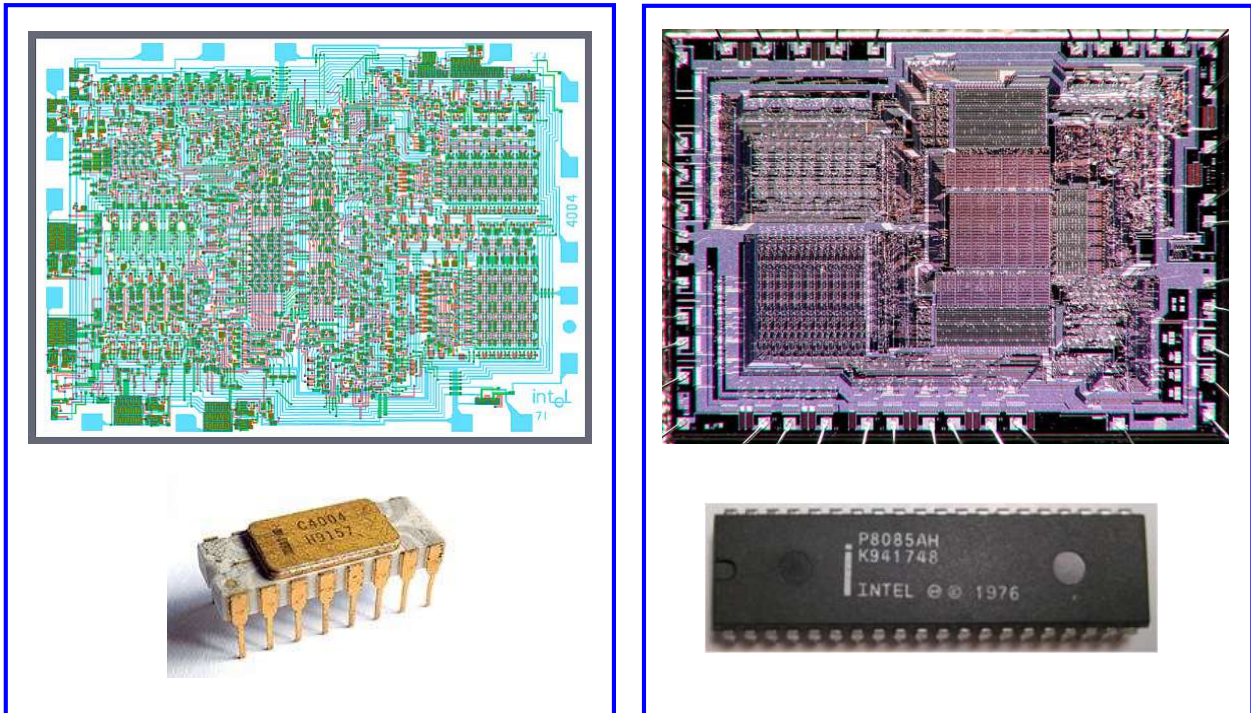
Μεθοδολογίες σχεδιασμού και υλοποίησης



Πλήρως εξατομικευμένος σχεδιασμός

- Όταν υπάρχει ισχυρή απαίτηση για **υψηλή επίδοση** και **υψηλή πυκνότητα ολοκλήρωσης**, τότε ο πλήρως εξατομικευμένος σχεδιασμός (**χειρωνακτικός σχεδιασμός σε φυσικό επίπεδο**) είναι η προτιμότερη επιλογή.
- Η προσέγγιση αυτή ήταν η μόνη επιλογή τις πρώτες ημέρες της ψηφιακής μικροηλεκτρονικής (π.χ. μικροεπεξεργαστές Intel 4004, 8085).
- Η δυσκολία που παρουσιάζει ο πλήρως εξατομικευμένος σχεδιασμός (**full-custom design**) μεταφράζεται σε υψηλό κόστος και σε ένα μεγάλο χρόνο εισόδου του προϊόντος στην αγορά, με αποτέλεσμα η επιλογή αυτού του τρόπου σχεδιασμού να δικαιολογείται μόνο κάτω από τις ακόλουθες συνθήκες:
 - ✓ Το εξατομικευμένο κύκλωμα μπορεί να χρησιμοποιηθεί πολλές φορές (για παράδειγμα, ως ένα κύτταρο μίας βιβλιοθήκης τυπικών κυττάρων).
 - ✓ Το κόστος να μπορεί να αποσβεστεί μέσω ενός μεγάλου όγκου παραγωγής και πωλήσεων (π.χ. μικροεπεξεργαστές και ημιαγωγικές μνήμες).
 - ✓ Το κόστος να μην είναι το πρωταρχικό κριτήριο (π.χ. σχεδιασμός υπερυπολογιστών).
- Με τη συνεχή πρόοδο της αυτοματοποίησης της διαδικασίας του σχεδιασμού, το μερίδιο του εξατομικευμένου σχεδιασμού μειώνεται χρόνο με το χρόνο.

Πλήρως εξατομικευμένος σχεδιασμός



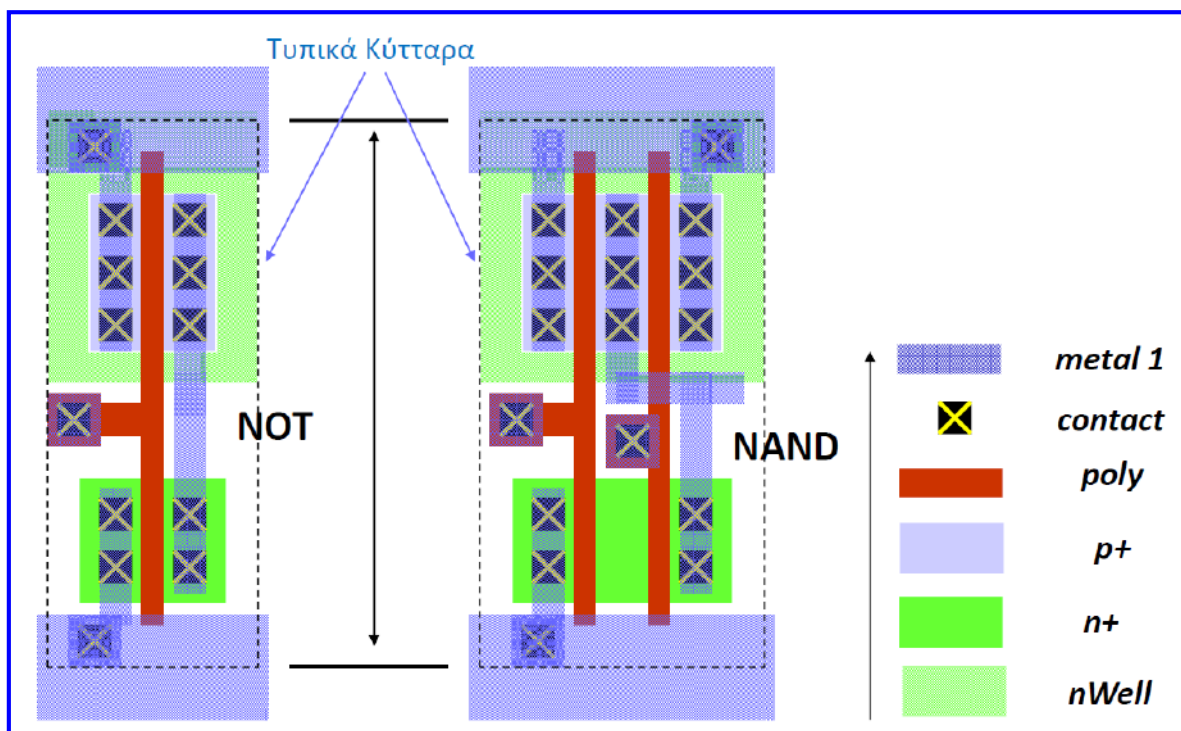
Πλήρως εξατομικευμένος σχεδιασμός

- Ξεκινώντας από μικροεπεξεργαστές υψηλών επιδόσεων (όπως ο Intel Pentium 4), όλες οι μονάδες σχεδιάζονται αυτόματα χρησιμοποιώντας **ημιεξατομικευμένες σχεδιαστικές προσεγγίσεις**.
- Μόνο οι πιο κρίσιμες ως προς την ταχύτητα μονάδες σχεδιάζονται χειρωνακτικά και σήμερα μόνο ο **σχεδιασμός τυπικών κυττάρων βιβλιοθήκης** είναι το μόνο πεδίο όπου χρησιμοποιείται ο πλήρως εξατομικευμένος σχεδιασμός.
- Αν και το ποσοστό αυτοματοποίησης στον εξατομικευμένο σχεδιασμό είναι πολύ μικρό, εν τούτοις μερικά εργαλεία σχεδιασμού είναι απαραίτητα, για:
 - ✓ την περιγραφή του φυσικού σχεδίου,
 - ✓ την επαλήθευση της σωστής λογικής λειτουργίας,
 - ✓ την χρονική προσομοίωση,
 - ✓ την μοντελοποίηση και εξαγωγή των παρασιτικών μεγεθών,
 - ✓ και τον έλεγχο των ηλεκτρικών και σχεδιαστικών κανόνων.

Ημιεξαιτομικευμένος σχεδιασμός

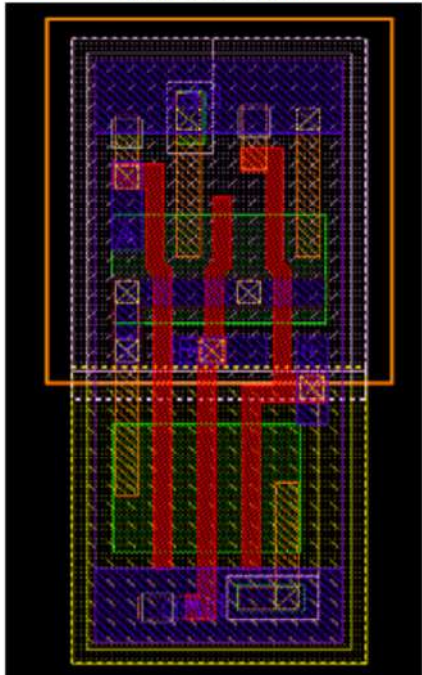
- Το κόστος του σχεδιασμού ενός ολοκληρωμένου κυκλώματος μπορεί να μειωθεί σημαντικά με τη χρησιμοποίηση προηγμένων τεχνικών αυτόματου σχεδιασμού, οι οποίες ελαχιστοποιούν το χρόνο ανάπτυξης.
- Η αυτοματοποίηση του σχεδιασμού κοστίζει όσον αφορά τη μείωση της πυκνότητας ολοκλήρωσης και της επίδοσης.
- Ο σχεδιασμός με **προσχεδιασμένα κύτταρα (cell-based design)** οδηγεί σε μείωση της προσπάθειας υλοποίησης με την επαναχρησιμοποίηση μίας βιβλιοθήκης που περιέχει τέτοιου είδους κύτταρα.
- Το πλεονέκτημα αυτής της προσέγγισης είναι ότι τα κύτταρα σχεδιάζονται και ελέγχονται μόνο μία φορά για μία δεδομένη τεχνολογία, ενώ μπορούν να επαναχρησιμοποιηθούν πολλές φορές, αποσβένοντας κατά συνέπεια το κόστος του σχεδιασμού.
- Το μειονέκτημα είναι ότι η περιορισμένη φύση της βιβλιοθήκης μειώνει τη δυνατότητα για την ανάπτυξη εξειδικευμένων κυκλωμάτων.
- Οι προσεγγίσεις που βασίζονται σε προσχεδιασμένα κύτταρα διακρίνονται σε κατηγορίες, ανάλογα με το είδος των κυττάρων της βιβλιοθήκης (**τυπικά κύτταρα, μεταγλωττισμένα κύτταρα, μακροκύτταρα**).
- Η χρήση **δομών πίνακα**, μειώνει περαιτέρω το χρόνο σχεδιασμού και το κόστος απαιτώντας μόνο την υλοποίηση ενός περιορισμένου αριθμού βημάτων της διεργασίας κατασκευής ή εξαλείφοντας εντελώς τα βήματα που αντιστοιχούν στην κατασκευή.

Σχεδιασμός τυπικών κυττάρων



Σχεδιασμός τυπικών κυττάρων

NAND 3-εισόδων

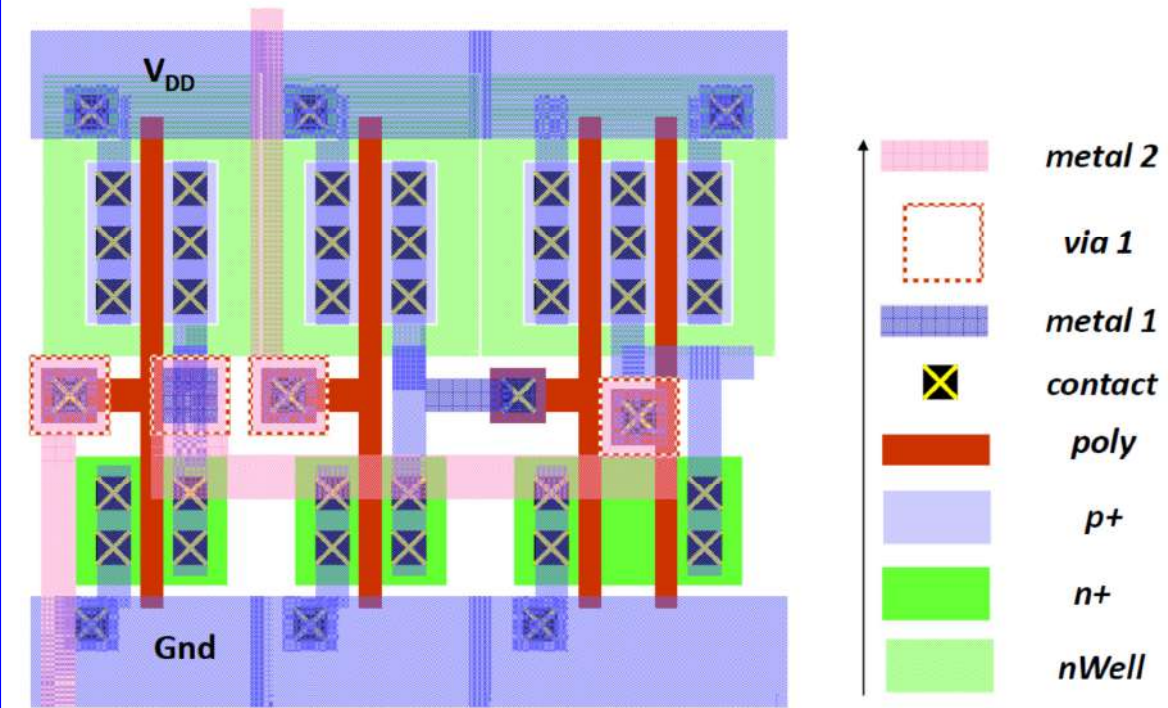


Χαρακτηριστικά Λειτουργίας

Path	1.2V - 125°C	1.6V - 40°C
$In1-t_{pLH}$	$0.073+7.98C+0.317T$	$0.020+2.73C+0.253T$
$In1-t_{pHL}$	$0.069+8.43C+0.364T$	$0.018+2.14C+0.292T$
$In2-t_{pLH}$	$0.101+7.97C+0.318T$	$0.026+2.38C+0.255T$
$In2-t_{pHL}$	$0.097+8.42C+0.325T$	$0.023+2.14C+0.269T$
$In3-t_{pLH}$	$0.120+8.00C+0.318T$	$0.031+2.37C+0.258T$
$In3-t_{pHL}$	$0.110+8.41C+0.280T$	$0.027+2.15C+0.223T$

C = χωρητικότητα στην έξοδο
 T = χρόνος ανόδου / καθόδου σήματος εισόδου

Σχεδιασμός κυκλωμάτων με τυπικά κύτταρα

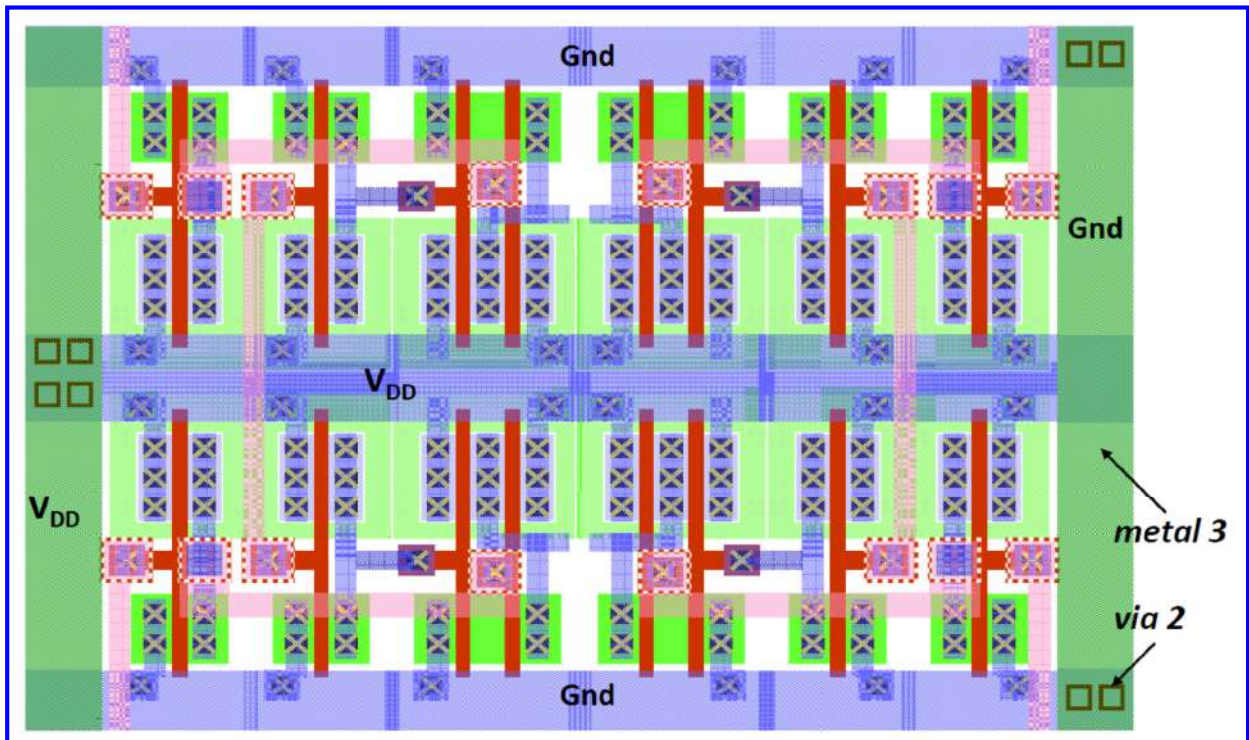


V_{DD}

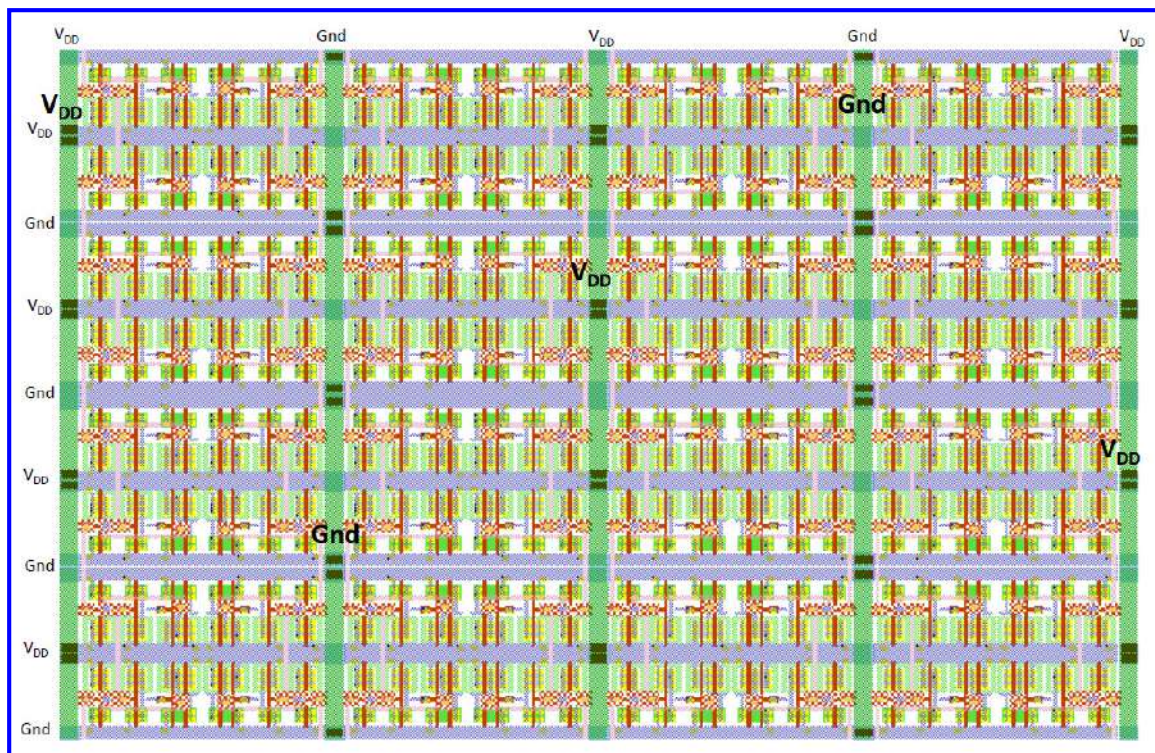
Gnd

- metal 2
- via 1
- metal 1
- contact
- poly
- p+
- n+
- nWell

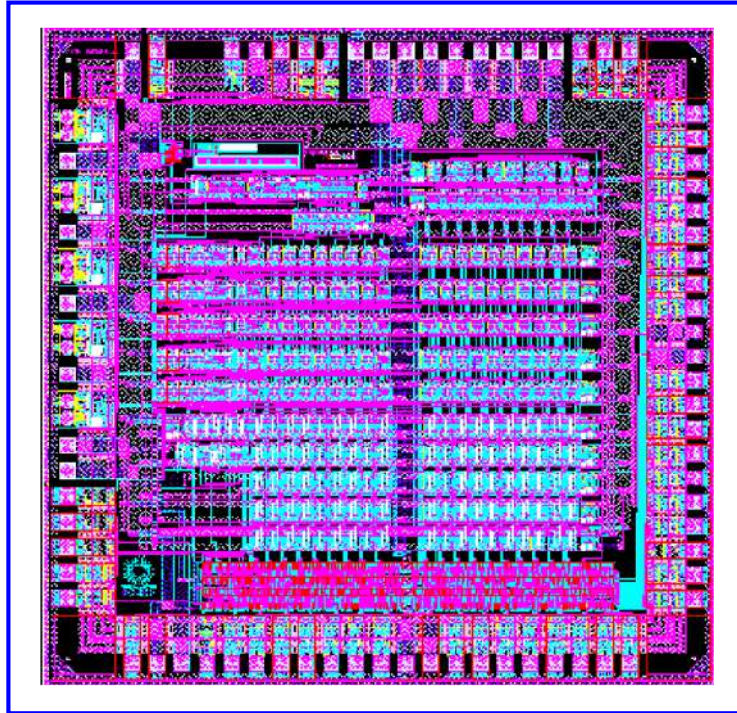
Σχεδιασμός κυκλωμάτων με τυπικά κύτταρα



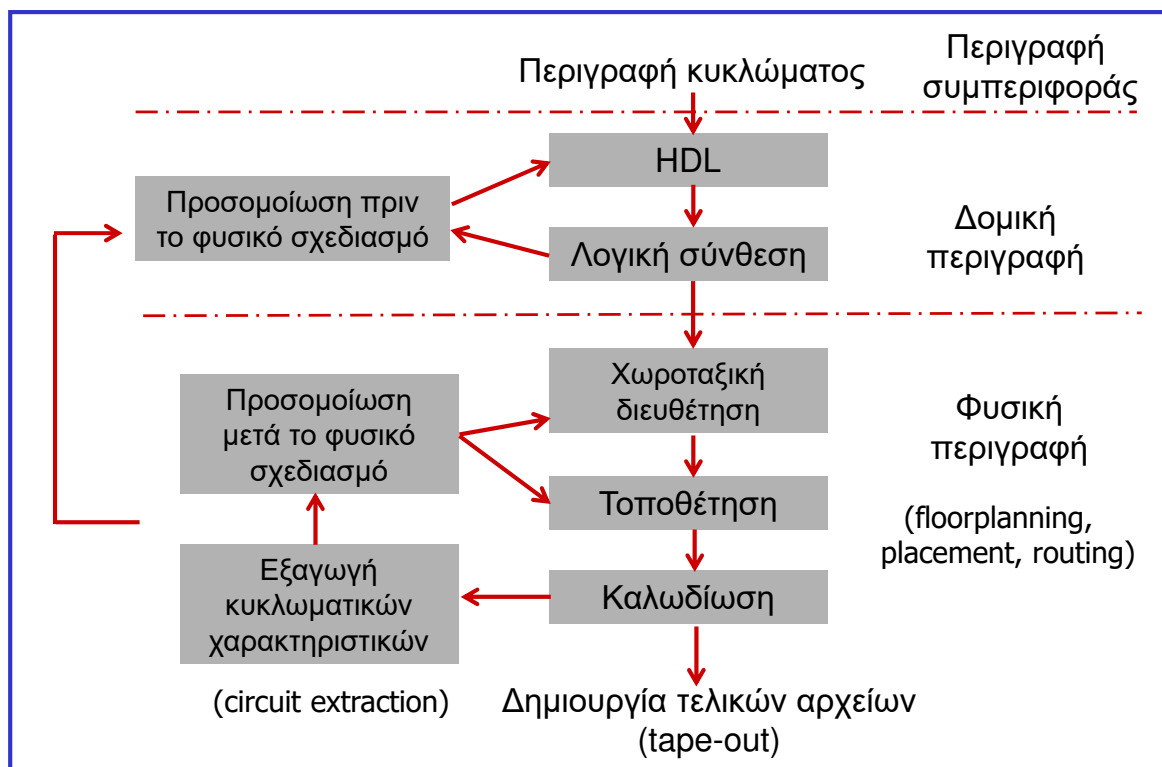
Σχεδιασμός κυκλωμάτων με τυπικά κύτταρα



Πλήρες ολοκληρωμένο κύκλωμα με τυπικά κύτταρα



Διαδικασίες σχεδιασμού με τυπικά κύτταρα



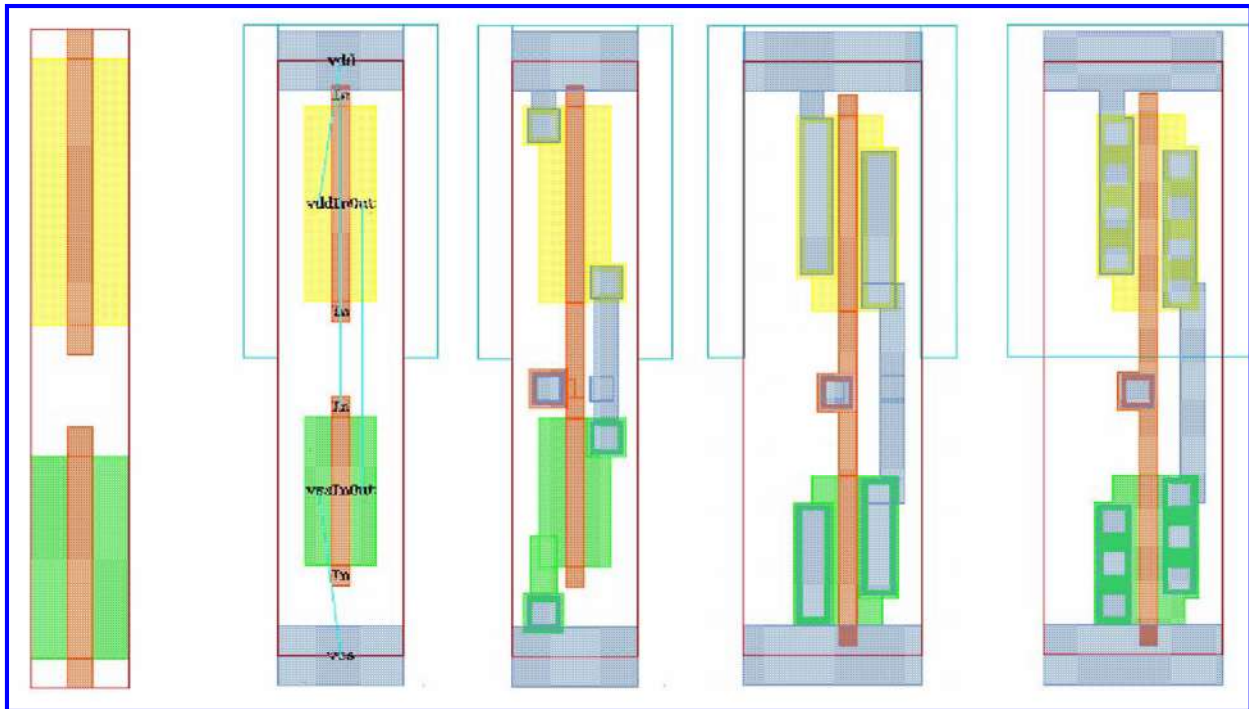
Διαδικασίες σχεδιασμού με τυπικά κύτταρα

- Η σχεδιαστική προσέγγιση που βασίζεται στη χρήση τυπικών κυττάρων είναι δημοφιλής και χρησιμοποιείται για την υλοποίηση όλων των λογικών μονάδων στα σημερινά ολοκληρωμένα κυκλώματα.
- Οι μόνες εξαιρέσεις είναι όταν απαιτούνται είτε εξαιρετικά υψηλές επιδόσεις ή χαμηλή κατανάλωση ενέργειας ή όταν η δομή της υπό σχεδιασμό συνάρτησης παρουσιάζει υψηλή κανονικότητα (όπως μία μνήμη ή ένας πολλαπλασιαστής).
- Αξιοσημείωτη είναι η αυξανόμενη ποιότητα των **αυτόματων εργαλείων τοποθέτησης και διασύνδεσης** των κυττάρων και η διαθεσιμότητα πολλαπλών επιπέδων για διασυνδέσεις.
- Αξιοσημείωτη είναι επίσης, η ανάπτυξη εργαλείων για **αυτόματη λογική σύνθεση (logic synthesis)** κυκλωμάτων.
- Η λογική σύνθεση επιτρέπει να ξεκινήσει ο σχεδιασμός από ένα υψηλό επίπεδο ιεραρχίας, όπου η λειτουργία του κυκλώματος περιγράφεται με χρήση λογικών εκφράσεων, μηχανών καταστάσεων ή γλώσσες περιγραφής υλικού (VHDL ή Verilog).
- Τα εργαλεία σύνθεσης μεταφράζουν αυτόματα την εκάστοτε περιγραφή σε μία λίστα διασυνδεδεμένων πυλών (netlist), που ελαχιστοποιεί μία συνάρτηση κόστους που μπορεί να περιλαμβάνει την επιφάνεια, την καθυστέρηση ή την κατανάλωση ενέργειας.
- Η αυτοματοποιημένη προσέγγιση σήμερα συναγωνίζεται το χειρωνακτικό σχεδιασμό για σύνθετα λογικά κυκλώματα.

Μεταγλωττιζόμενα κύτταρα

- Το κόστος σχεδιασμού και χαρακτηρισμού των τυπικών κυττάρων μίας βιβλιοθήκης είναι σημαντικό.
- Οι σημερινές βιβλιοθήκες περιέχουν από μερικές εκατοντάδες έως περισσότερα από 1000 κύτταρα, τα οποία πρέπει να σχεδιαστούν και να χαρακτηριστούν ξανά, κάθε φορά που γίνεται μετάβαση σε μία νέα τεχνολογία.
- Επιπλέον, ακόμη και μία εκτενής βιβλιοθήκη έχει το μειονέκτημα ότι τα κύτταρα είναι συγκεκριμένα και διακριτά, πράγμα που σημαίνει ότι ο αριθμός των σχεδιαστικών επιλογών είναι περιορισμένος.
- Όταν απαιτείται υψηλή επίδοση ή μειωμένη κατανάλωσης ενέργειας, καθώς και λόγω της αυξανόμενης επίδρασης του φορτίου των διασυνδέσεων, είναι πιο ελκυστικά τα προσαρμοζόμενα κύτταρα με βελτιστοποιημένα μεγέθη τρανζίστορ.
- Επομένως είναι χρήσιμη η **αυτοματοποιημένη (ή μεταγλωττισμένη) παραγωγή κυττάρων**.
- Αν και η αυτόματη παραγωγή φυσικών σχεδίων των κυττάρων σε πραγματικό χρόνο, δεν οδηγεί σε κύτταρα εφάμιλλης ποιότητας με εκείνη του εξατομικευμένου σχεδιασμού, έχει καταστεί σήμερα δυνατό να παραχθούν κύτταρα υψηλής πυκνότητας, καθώς και να αναπτυχθούν εργαλεία αυτόματης παραγωγής τέτοιων κυττάρων.

Μεταγλωττιζόμενα κύτταρα



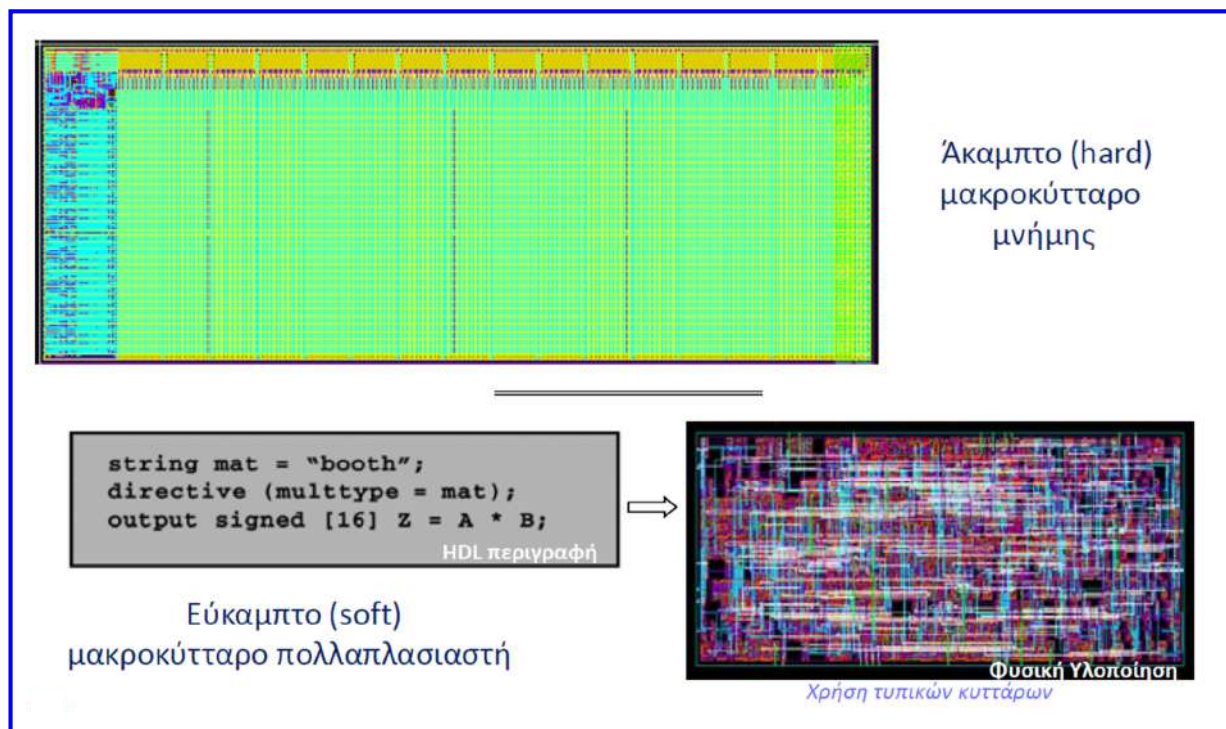
Μακροκύτταρα

- Ο σχεδιασμός σε επίπεδο λογικής πύλης ενδείκνυται για συναρτήσεις τυχαίας λογικής, αλλά είναι ανεπαρκής για πιο σύνθετες δομές όπως οι πολλαπλασιαστές, οι μνήμες, οι ενσωματωμένοι μικροεπεξεργαστές και οι επεξεργαστές ψηφιακού σήματος (DSPs).
- Αξιοποιώντας τη φύση των μονάδων αυτών, μπορούν να προκύψουν υλοποιήσεις που ξεπερνούν τις επιδόσεις της τυπικής διαδικασίας ημιεξατομικευμένου σχεδιασμού.
- Τα κύτταρα με πολυπλοκότητα μεγαλύτερη από εκείνη των τυπικών κυττάρων βιβλιοθήκης αναφέρονται ως **μακροκύτταρα (macrocells)**.
- **Άκαμπτα μακροκύτταρα (hard macros)**: μονάδες με δεδομένη λειτουργικότητα και προκαθορισμένο φυσικό σχεδιασμό με σταθερή θέση των τρανζίστορ και των διασυνδέσεων στο εσωτερικό τους (πρόκειται για τον εξατομικευμένο σχεδιασμό κυκλώματος μίας συγκεκριμένης συνάρτησης).
- Μπορεί να είναι **παραμετρικά**, δηλαδή να διατίθενται ή να μπορούν να παραχθούν με διαφορετικές ιδιότητες (για παράδειγμα, άκαμπτο μακροκύτταρο πολλαπλασιαστή μπορεί να παράγει έναν 32x16 πολλαπλασιαστή αλλά και έναν 8x8 πολλαπλασιαστή) και παράγονται από ειδικές γεννήτριες (**μεταγλωττιστές μονάδων, module compilers**).
- **Πλεονεκτήματα**: υψηλή πυκνότητα, βελτιστοποιημένη και προβλέψιμη επίδοση και κατανάλωση ενέργειας, αντιστάθμιση κόστους σχεδιασμού λόγω πολλαπλής επαναχρησιμοποίησης.
- **Μειονεκτήματα**: δυσκολία μεταφοράς μεταξύ τεχνολογιών ή κατασκευαστών.

Μακροκύτταρα

- **Εύκαμπτα μακροκύτταρα (soft macros):** μονάδες με δεδομένη λειτουργικότητα αλλά χωρίς συγκεκριμένη φυσική υλοποίηση.
- Η πληροφορία χρονισμού καθορίζεται μετά το πέρας των αρχικών βημάτων της λογικής σύνθεσης, τοποθέτησης και καλωδίωσης.
- Καθώς απομακρυνόμαστε από τα πλεονεκτήματα του εξατομικευμένου σχεδιασμού και στηριζόμαστε στον ημιεξατομικευμένο σχεδιασμό, τα εύκαμπτα μακροκύτταρα έχουν το **σημαντικό πλεονέκτημα** ότι μπορούν να χρησιμοποιηθούν σε ένα ευρύ φάσμα διαφορετικών τεχνολογιών και διεργασιών κατασκευής.
- Οι **γεννήτριες εύκαμπτών μακροκυττάρων**, λαμβάνοντας υπόψη την επιθυμητή λειτουργία και τις τιμές των ζητούμενων παραμέτρων, παράγουν μία **λίστα διασυνδέσεων κυττάρων και διασυνδέσεών τους (netlist)** και παρέχουν τους χρονικούς περιορισμούς που τα εργαλεία τοποθέτησης και καλωδίωσης θα πρέπει να ικανοποιήσουν.
- Η παραγωγή γρήγορων και μικρού μεγέθους πολλαπλασιαστών επιτελείται από μια ειδική γεννήτρια, η οποία ενσωματώνει **αυτόματο και παραμετρικό εργαλείο παραγωγής πολλαπλασιαστών**.

Μακροκύτταρα



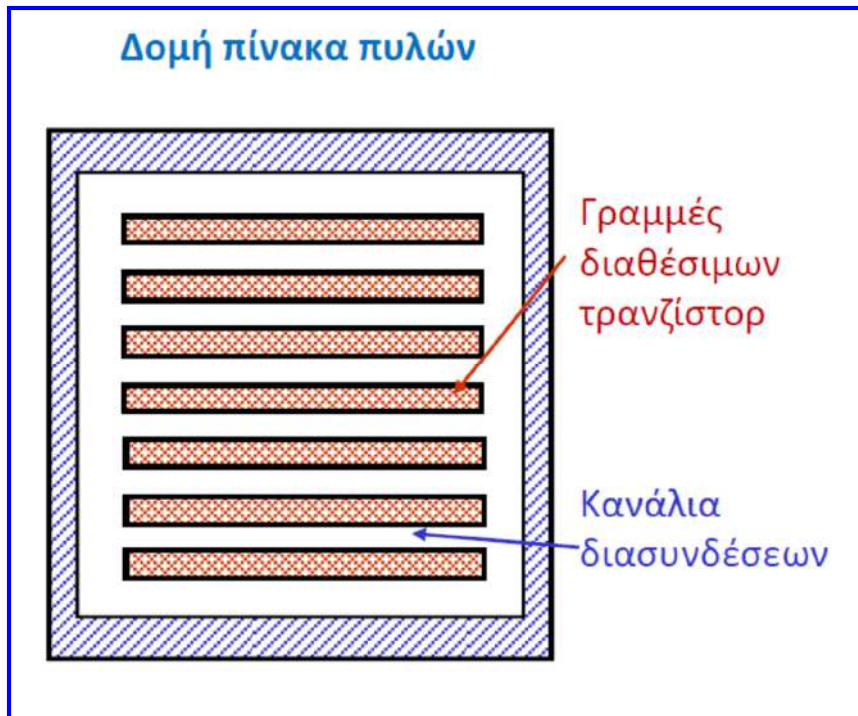
Σχεδιασμός και υλοποίηση με δομές πίνακα

- Ενώ η αυτοματοποίηση του σχεδιασμού μπορεί να βοηθήσει στο να μειωθεί ο χρόνος σχεδιασμού, δεν αντιμετωπίζει το πρόβλημα του χρόνου που απαιτείται για την κατασκευή του ολοκληρωμένου κυκλώματος.
- Όλες οι μεθοδολογίες σχεδιασμού που παρουσιάστηκαν μέχρι τώρα απαιτούν την εφαρμογή της πλήρους διαδικασίας κατασκευής.
- Η διαδικασία αυτή μπορεί να καθυστερήσει σημαντικά την εισαγωγή ενός προϊόντος στην αγορά.
- Επιπλέον, το κόστος κατασκευής μόνο για ένα συγκεκριμένο κύκλωμα είναι μεγάλο και συνεχώς αυξανόμενο.
- Έτσι, έχουν επινοηθεί εναλλακτικές προσεγγίσεις υλοποίησης που βασίζονται σε **χρήση δομών πίνακα**, οι οποίες **δεν απαιτούν την πλήρη εφαρμογή της διαδικασίας κατασκευής** ή ακόμη την αποφεύγουν εντελώς.
- Αυτές οι προσεγγίσεις έχουν το πλεονέκτημα του **χαμηλότερου επαναλαμβανόμενου κόστους (NRE cost)** και συνεπώς είναι ελκυστικότερες για μικρό όγκο παραγωγής.
- Αυτό όμως επιτυγχάνεται, με κόστος που αφορά την χαμηλότερη επίδοση, τη μικρότερη πυκνότητα ολοκλήρωσης και την υψηλότερη κατανάλωση ενέργειας.

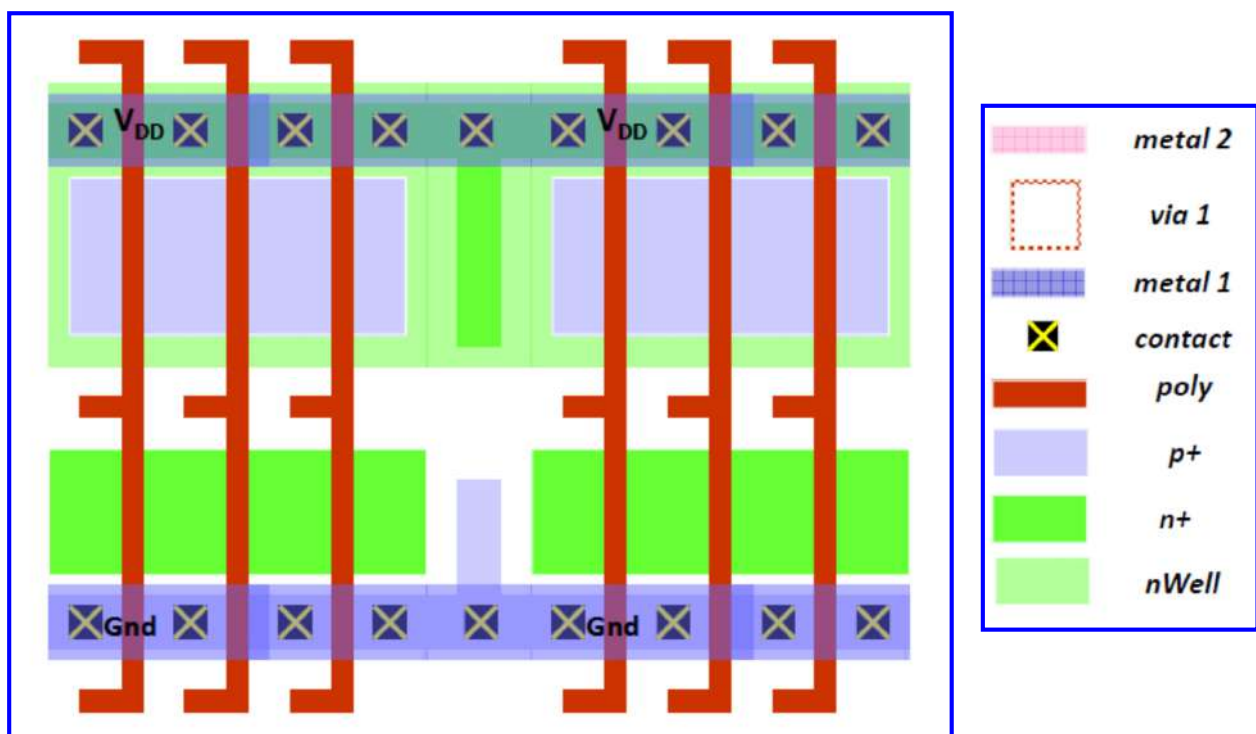
Προδιαγεόμενες δομές πίνακα

- Με την προσέγγιση των προδιαγεόμενων δομών πίνακα, υλοποιούνται δισκία πυριτίου που περιέχουν πρωτογενή κύτταρα ή τρανζίστορ οργανωμένα σε δομές πίνακα.
- Τα βήματα της διεργασίας για την κατασκευή των τρανζίστορ εκτελούνται χωρίς να λαμβάνουν υπόψη την τελική εφαρμογή για την οποία θα χρησιμοποιηθεί το δισκίο.
- Για να μετασχηματίσουν τα δισκία αυτά σε ένα πραγματικό κύκλωμα, απαιτείται να προστεθούν μόνο οι επιθυμητές διασυνδέσεις.
- Έτσι, με την εφαρμογή μόνο των βημάτων της κατασκευής των επιπέδων μετάλλου καθορίζεται η όλη λειτουργία του κυκλώματος.
- Αυτά τα επίπεδα μετάλλου μπορούν να σχεδιαστούν και να υλοποιηθούν πολύ πιο γρήγορα σε **προκατασκευασμένα δισκία μειώνοντας το χρόνο κατασκευής**.
- Οι προδιαγεόμενες δομές πίνακα αναφέρονται ως **δομές πίνακα πυλών (gate-array)** ή ως **πλειάδα από πύλες (sea-of-gates)**.

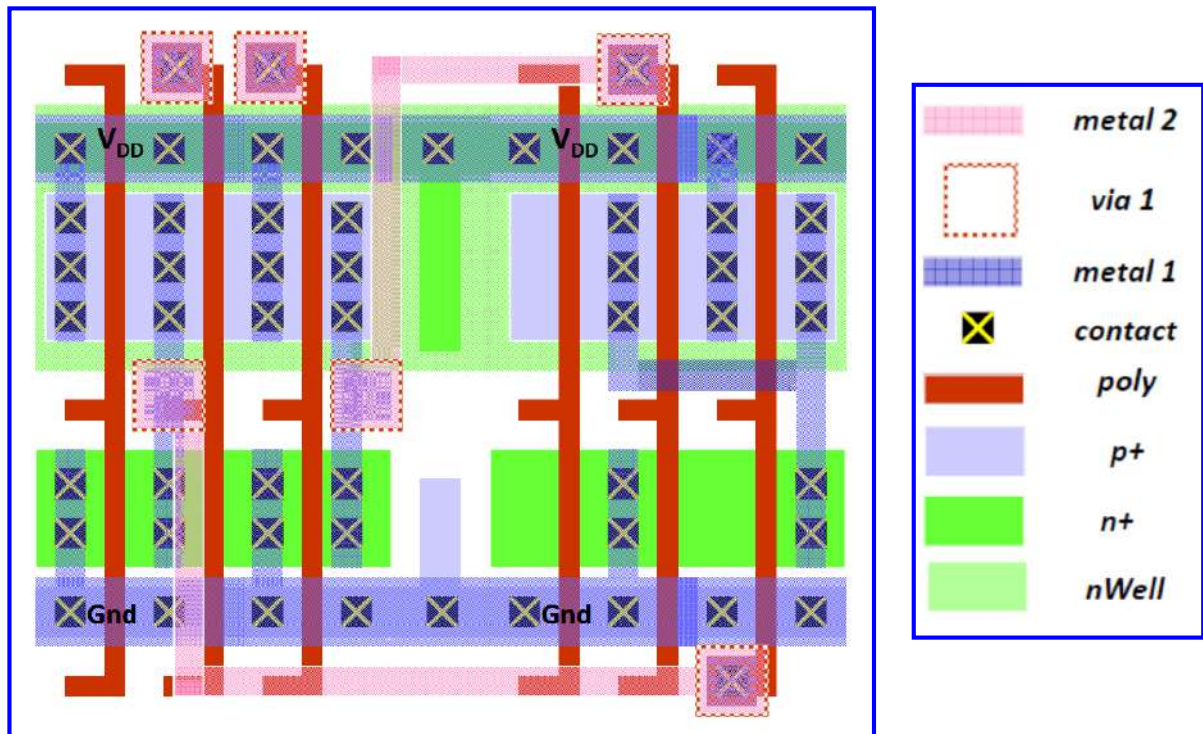
Προδιαγεόμενες δομές πίνακα



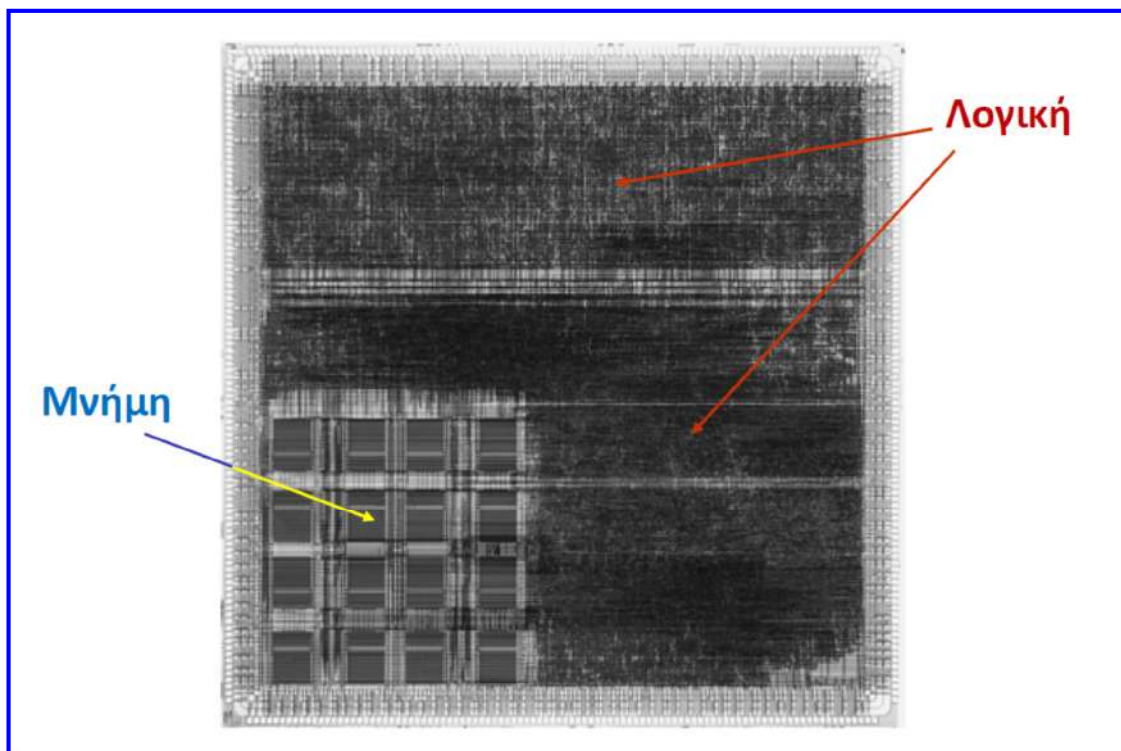
Προδιαγεόμενες δομές πίνακα



Προδιαχεόμενες δομές πίνακα



Ολοκληρωμένο κύκλωμα με πλειάδα πυλών



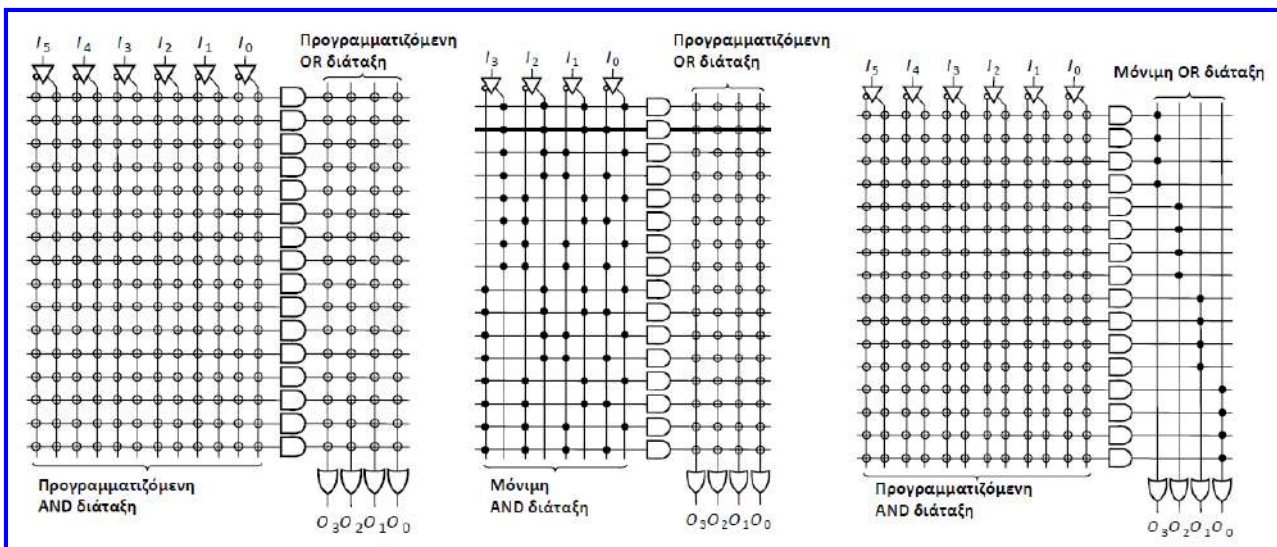
Προγραμματιζόμενες διατάξεις

- Ενώ οι προδιαγεόμενες δομές πίνακα παρέχουν μία γρήγορη υλοποίηση, θα ήταν ακόμα πιο αποδοτικό εάν μπορούσαν να αποφευχθούν εντελώς τα βήματα που αφορούν την κατασκευή.
- Η ιδέα αυτή οδηγεί στην έννοια της προεπεξεργασμένης ψηφίδας πυριτίου που μπορεί να προγραμματιστεί στο πεδίο χρήσης (δηλαδή εκτός του εργοστάσιο κατασκευής) για να υλοποιήσει ένα σύνολο συναρτήσεων.
- Ένας τέτοιος προγραμματιζόμενος, προ-καλωδιωμένος πίνακας κυττάρων καλείται **δομή πίνακα πυλών προγραμματιζόμενη στο πεδίο χρήσης (Field-Programmable Gate Array - FPGA)**.
- Το πλεονέκτημα αυτής της προσέγγισης είναι ότι η διαδικασία κατασκευής είναι εντελώς διαχωρισμένη από τη φάση της υλοποίησης του κυκλώματος και το κόστος της κατασκευής μπορεί να αποσβεστεί με μεγάλο πλήθος χρήσεων για διαφορετικούς σχεδιασμούς.
- Η υλοποίηση του κυκλώματος πραγματοποιείται από το σχεδιαστή σε πολύ μικρό χρόνο.
- Συγκρινόμενη με πιο εξατομικευμένες προσεγγίσεις, το σημαντικότερο μειονέκτημα αυτής της τεχνικής είναι ότι εμφανίζει μείωση της επίδοσης και της πυκνότητας ολοκλήρωσης, καθώς και αύξηση της κατανάλωσης ενέργειας.

Προγραμματιζόμενες διατάξεις

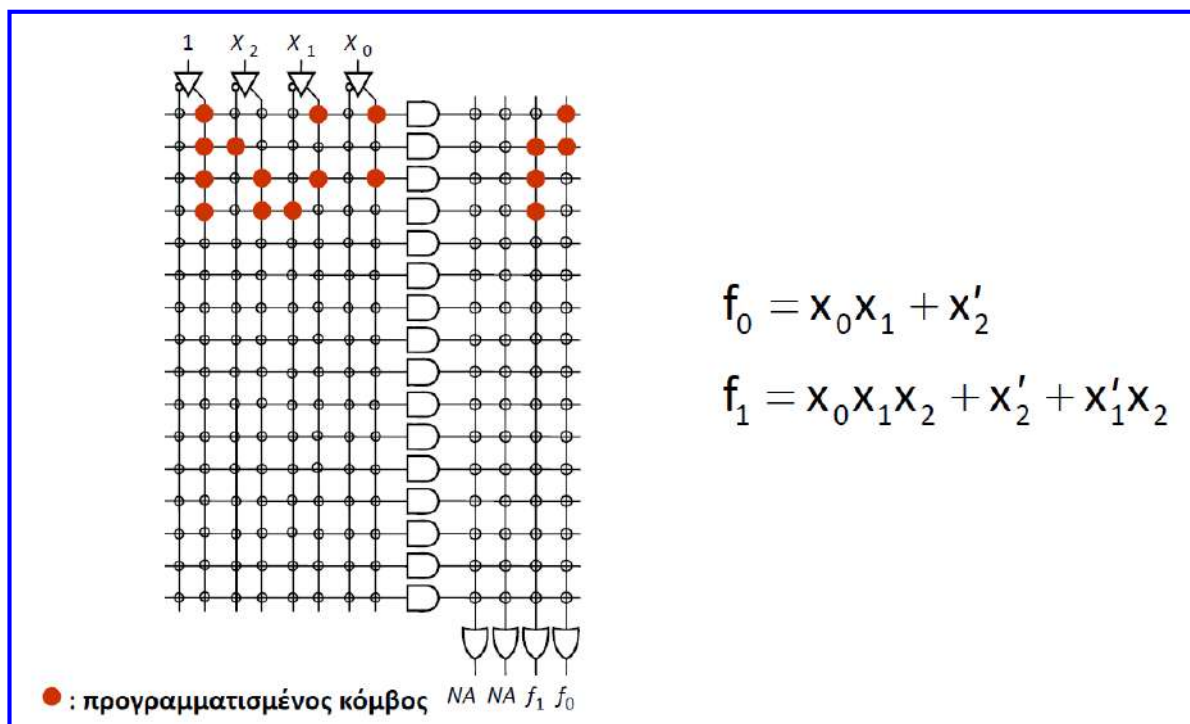
- Οι προγραμματιζόμενες διατάξεις, διακρίνονται με βάση την **τεχνική προγραμματισμού** που χρησιμοποιούν σε:
 - ✓ **άπαξ εγγραφόμενα FPGAs** που βασίζονται σε χρήση ασφαλειών (write-once, fuse-based),
 - ✓ **μη πτητικά FPGAs** (non-volatile) που χρησιμοποιούν **μνήμες EEPROM** (ηλεκτρικά προγραμματιζόμενες και διαγραφόμενες μνήμες μόνο ανάγνωσης, electrically erasable programmable read-only memories) για την αποθήκευση του προγράμματος και
 - ✓ **πτητικά FPGAs** (volatile) που βασίζονται σε **μνήμες RAM** (μνήμες τυχαίας προσπέλασης, random access memories) για την αποθήκευση του προγράμματος.
- Οι προγραμματιζόμενες διατάξεις, διακρίνονται με βάση την **προσέγγιση υλοποίησης της προγραμματιζόμενης λογικής** σε:
 - ✓ διατάξεις που βασίζονται σε **προγραμματιζόμενη λογική δομή πίνακα (programmable logic array, PLA)** και
 - ✓ διατάξεις που βασίζονται σε **προγραμματιζόμενη λογική προκαθορισμένων κυττάρων (γεννήτριες συναρτήσεων με πολυπλέκτες ή διαμορφώσιμα λογικά κύτταρα που βασίζονται σε πίνακες αναζήτησης, look-up tables, LUTs)**

Προγραμματιζόμενες λογικές δομές πίνακα (PLAs)



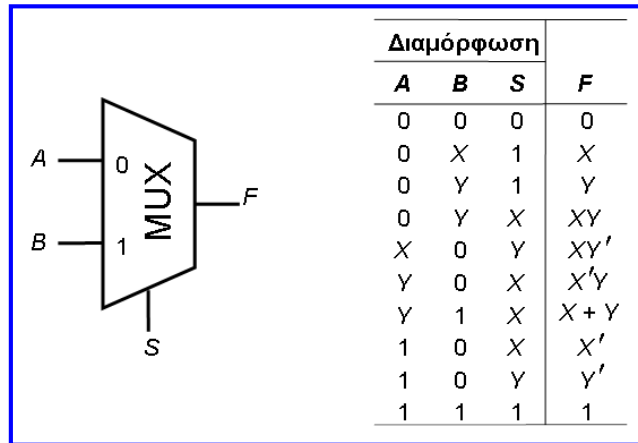
Οι παραπάνω δομές πίνακα επιτρέπουν την υλοποίηση λογικών συναρτήσεων μορφής αθροίσματος γινομένων σε δύο επίπεδα (AND-OR)

Προγραμματιζόμενες λογικές δομές πίνακα (PLAs)



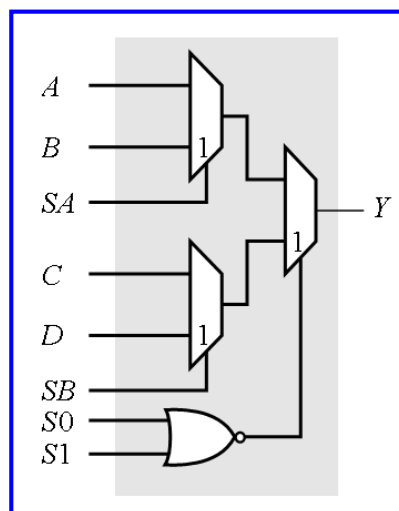
Προγραμματιζόμενη λογική προκαθορισμένων κυττάρων

- Η προσέγγιση του αθροίσματος γινομένων οδηγεί σε κανονικές δομές, και είναι πολύ αποτελεσματική για λογικές συναρτήσεις που έχουν μεγάλο φόρτο εισόδου.
- Δεν είναι όμως αποδοτική για την υλοποίηση λογικής που χαρακτηρίζεται από μεγάλο φόρτο εξόδου και υλοποιείται αποδοτικότερα σε πολλαπλά επίπεδα (όπως οι αριθμητικές συναρτήσεις πρόσθεσης και πολλαπλασιασμού).
- Ένας τρόπος για να σχεδιαστεί μία λογική μονάδα που να διαμορφώνεται έτσι ώστε να υλοποιεί ένα ευρύ φάσμα λογικών συναρτήσεων είναι η χρήση **πολυπλεκτών ως γεννήτριες συναρτήσεων**.



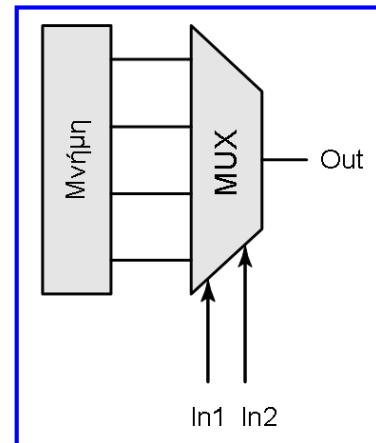
Προγραμματιζόμενη λογική προκαθορισμένων κυττάρων

- Περισσότεροι πολυπλέκτες μπορούν να συνδυαστούν για να υλοποιήσουν πιο σύνθετες λογικές πύλες.
- Για παράδειγμα, τρεις πολυπλέκτες των δύο εισόδων και μία πύλη NOR δύο εισόδων δημιουργούν κύτταρο που μπορεί να προγραμματιστεί ώστε να υλοποιεί οποιοσδήποτε λογικές συναρτήσεις δύο ή τριών εισόδων, μερικές συναρτήσεις Boole τεσσάρων εισόδων και ένα μανδαλωτή.

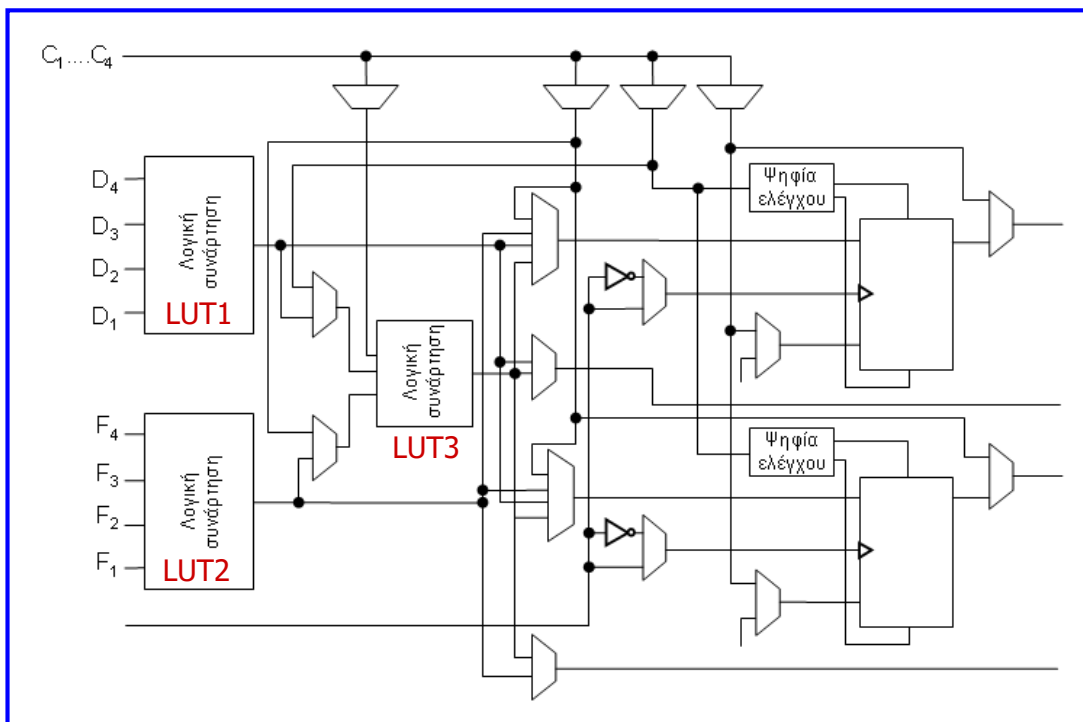


Προγραμματιζόμενη λογική προκαθορισμένων κυττάρων

- Η μέθοδος που χρησιμοποιεί διαμορφώσιμα λογικά κύτταρα που βασίζονται σε **πίνακες αναζήτησης, look-up tables, LUTs**) ακολουθεί διαφορετική στρατηγική.
- Για να διαμορφώσει μία πλήρως προγραμματιζόμενη μονάδα με φόρτο εισόδου i ώστε να υλοποιεί μία συγκεκριμένη συνάρτηση, μία **μνήμη** δύο ψηφίων, που καλείται **πίνακας αναζήτησης**, προγραμματίζεται κατάλληλα ώστε να περιέχει τον πίνακα αλήθειας της συνάρτησης.
- Οι μεταβλητές εισόδου χρησιμεύουν ως εισοδοί ελέγχου σε έναν πολυπλέκτη, ο οποίος επιλέγει την κατάλληλη τιμή από τη μνήμη.
- Για παράδειγμα, η συνάρτηση XOR υλοποιείται με φόρτωση της στήλης εξόδου του πίνακα αλήθειας της XOR, η οποία είναι 0 1 1 0 και για τιμή εισόδου 0 0, ο πολυπλέκτης επιλέγει την πρώτη τιμή στον πίνακα (0), κ.ο.κ.
- Με αυτήν την προσέγγιση, οποιαδήποτε λογική συνάρτηση δύο εισόδων μπορεί να υλοποιηθεί με έναν απλό επαναπρογραμματισμό της μνήμης.



Προγραμματιζόμενη λογική προκαθορισμένων κυττάρων



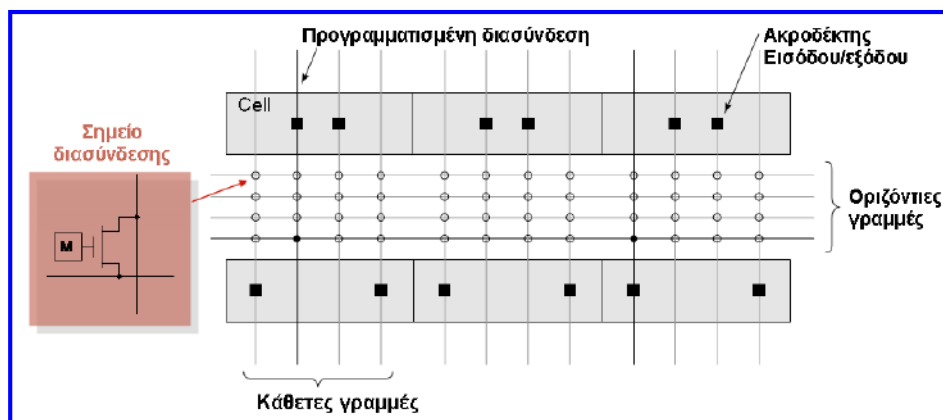
Κύτταρο προγραμματιζόμενης λογικής που βασίζεται σε LUT

Προγραμματιζόμενες διασυνδέσεις

- Διακρίνονται τρεις κατηγορίες προσεγγίσεων για τις προγραμματιζόμενες διασυνδέσεις:
 - ✓ την **προγραμματιζόμενη με μάσκα**,
 - ✓ την **κατά μία φορά προγραμματιζόμενη** και
 - ✓ την **επαναπρογραμματιζόμενη**.
- Σε ένα κύκλωμα που υλοποιείται σε προγραμματιζόμενη διάταξη, υπάρχουν οι **τοπικές διασυνδέσεις** από κύτταρο σε κύτταρο και οι **διασυνδέσεις καθολικών σημάτων**, όπως εκείνες των σημάτων ρολογιού που πρέπει να διανεμηθούν σε όλο το κύκλωμα με μικρή καθυστέρηση.
- Στην κατηγορία των **τοπικών διασυνδέσεων**, η προγραμματιζόμενη καλωδίωση μπορεί να υλοποιηθεί με δύο τρόπους: με **δομή πίνακα** και με **δικτύου διασύνδεσης τύπου πλέγματος (mesh)** που χρησιμοποιεί **κουτιά διακοπών (switchboxes)**.

Διασυνδέσεις που βασίζονται σε δομή πίνακα

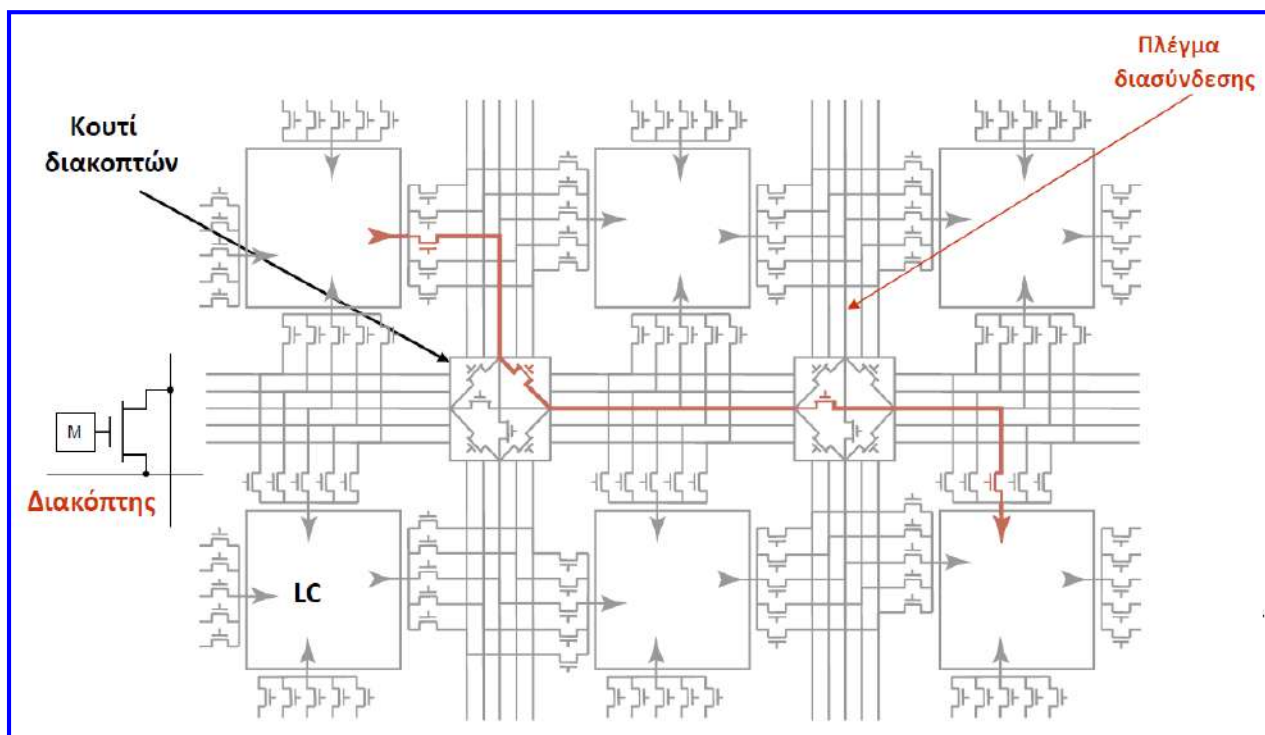
- Σε αυτήν την προσέγγιση, οι γραμμές διασυνδέσεων ομαδοποιούνται σε κανάλια, κάθε ένα από τα οποία περιέχει ένα πλήρες πλέγμα από οριζόντια και κάθετα καλώδια.
- Ένα καλώδιο διασύνδεσης μπορεί να προγραμματιστεί βραχυκυκλώνοντας μερικές από τις τομές μεταξύ των οριζόντιων και των κάθετων καλωδίων.
- Αυτό μπορεί να επιτευχθεί με την ύπαρξη ενός τρανζίστορ διέλευσης σε κάθε σημείο τομής.
- Το κλείσιμο της διασύνδεσης σημαίνει ότι το σήμα ελέγχου έρχεται σε υψηλή στάθμη προγραμματίζοντας ένα λογικό 1 στο συνδεδεμένο κύτταρο μνήμης M.



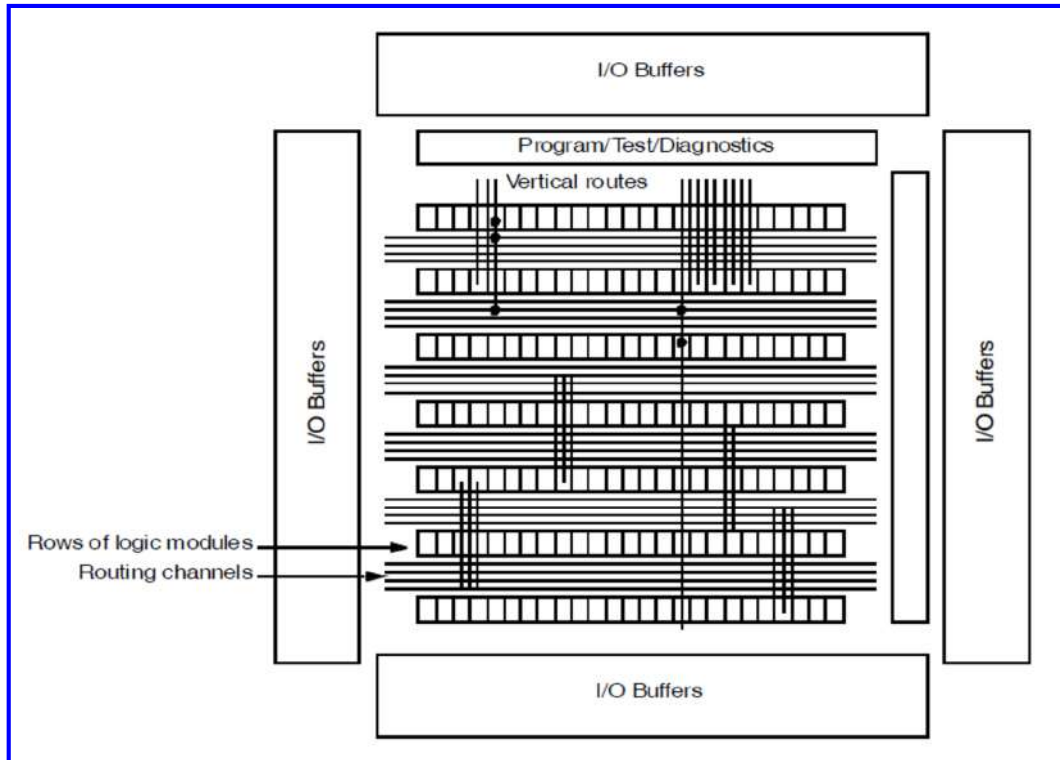
Διασυνδέσεις που βασίζονται σε πλέγμα

- Αποδοτικότερη προσέγγιση για την υλοποίηση της προγραμματιζόμενης καλωδίωσης επιτυγχάνεται με περιορισμό του αριθμού των πόρων για δρομολόγηση της καλωδίωσης και των σημείων διασύνδεσης.
- Ένας μεγάλος αριθμός τοπικών διασυνδέσεων μπορεί να υλοποιηθεί μέσω ενός δικτύου διασύνδεσης τύπου πλέγματος (mesh) μεταξύ των γειτονικών κυττάρων.
- Οι έξοδοι κάθε λογικού κυττάρου (logic cell, LC) μπορούν να διανεμηθούν με κατεύθυνση βορρά, νότο, ανατολή και δύση σε όλα τα γειτονικά κύτταρα.
- Για να επιτευχθούν οι διασυνδέσεις μεταξύ ξεχωριστών κυττάρων ή για να παρέχονται καθολικές διασυνδέσεις, τοποθετούνται κανάλια καλωδίωσης μεταξύ των λογικών κυττάρων που περιέχουν κάθετα και οριζόντια καλώδια δρομολόγησης.
- Στις συνδέσεις των οριζόντιων και κάθετων καλωδίων, υπάρχουν προγραμματιζόμενοι πίνακες από διακόπτες τύπου RAM (κουτί διακοπών) για να κατευθύνουν τη δρομολόγηση των δεδομένων.

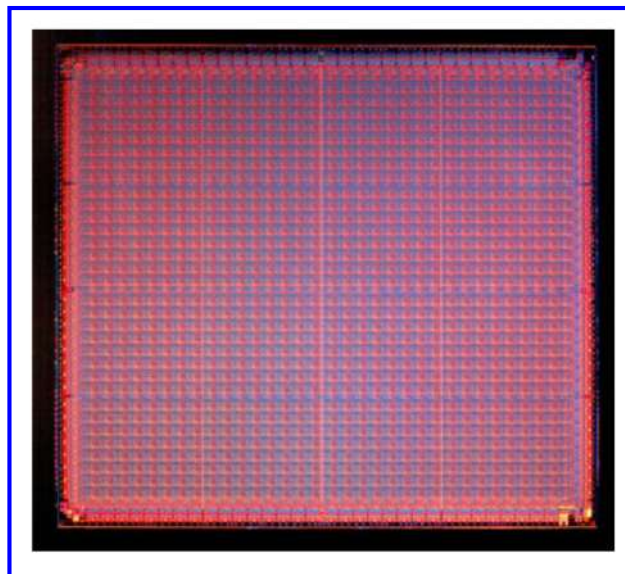
Διασυνδέσεις που βασίζονται σε πλέγμα



Χωροθέτηση FPGA



Παράδειγμα FPGA



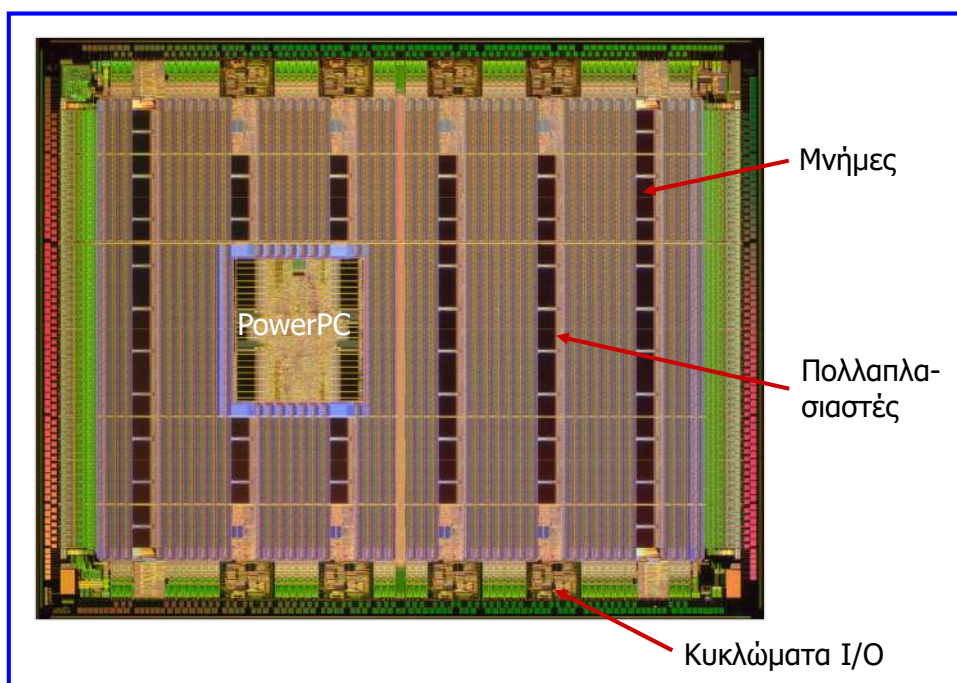
FPGA 4025 της Xilinx: 1024 CLBs (configurable logic blocks, διαμορφώσιμα λογικά κύτταρα) που οργανώνονται σε έναν πίνακα 32 x 32. Αυτό μεταφράζεται σε ένα μέγιστο ισοδύναμο αριθμό πυλών ίσο με 25.000. Περιέχει 422 Kbits RAM, που χρησιμοποιείται για τον προγραμματισμό του.

Χρήση και επιδόσεις των FPGAs

- Τα κυκλώματα που υλοποιούνται σε δομές πινάκων έχουν αποκτήσει σημαντικό μέρος της αγοράς των ψηφιακών κυκλωμάτων.
- Η άφιξή τους είχε ως αποτέλεσμα το τέλος της εποχής του σχεδιασμού με χρήση διακριτών στοιχείων.
- Η προσέγγιση αυτή, απαιτεί προηγμένα εργαλεία λογισμικού για την τοποθέτηση των κυττάρων, τη δρομολόγηση σημάτων και τη σύνθεση των λογικών κυκλωμάτων.
- Επίσης, δεν πρέπει να παραβλέπουμε το κόστος που συνοδεύει την ευελιξία, αφού τα κυκλώματα που υλοποιούνται σε προγραμματιζόμενη λογική είναι τουλάχιστον 10 φορές χειρότερα από άποψη κατανάλωσης ενέργειας και επίδοσης σε σχέση με τα κυκλώματα που υλοποιούνται με τεχνολογία ASIC (application specific integrated circuits, ολοκληρωμένα κυκλώματα ειδικών εφαρμογών).
- Το αρχικό πεδίο χρήσης των FPGAs ήταν η ανάπτυξη πρωτοτύπων και οι εφαρμογές με μικρό όγκο πωλήσεων.
- Ωστόσο, η ευελιξία και η επαναχρησιμοποίηση είναι ιδιαίτερα δελεαστικές ιδιότητες, με αποτέλεσμα την επέκταση της χρήσης τους σε διάφορες εφαρμογές και την συνύπαρξή τους σε ολοκληρωμένα κυκλώματα με προηγμένους μικροεπεξεργαστές.

Χρήση και επιδόσεις των FPGAs

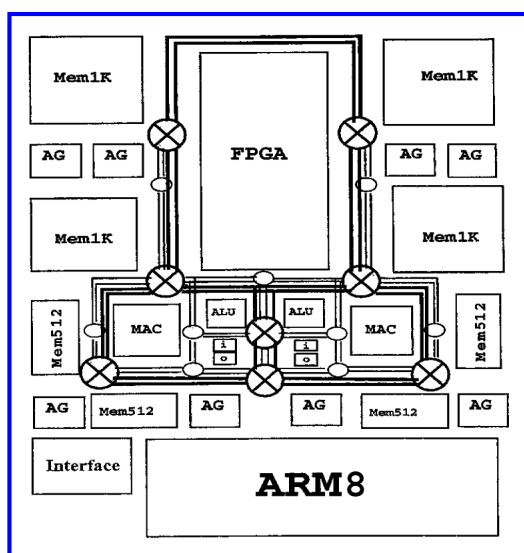
Ετερογενής προγραμματιζόμενη πλατφόρμα (Xilinx Vertex-II Pro): εκτός από δομή FPGA, ενσωματώνει επεξεργαστή PowerPC και κυκλώματα πολλαπλασιαστών και μνημών



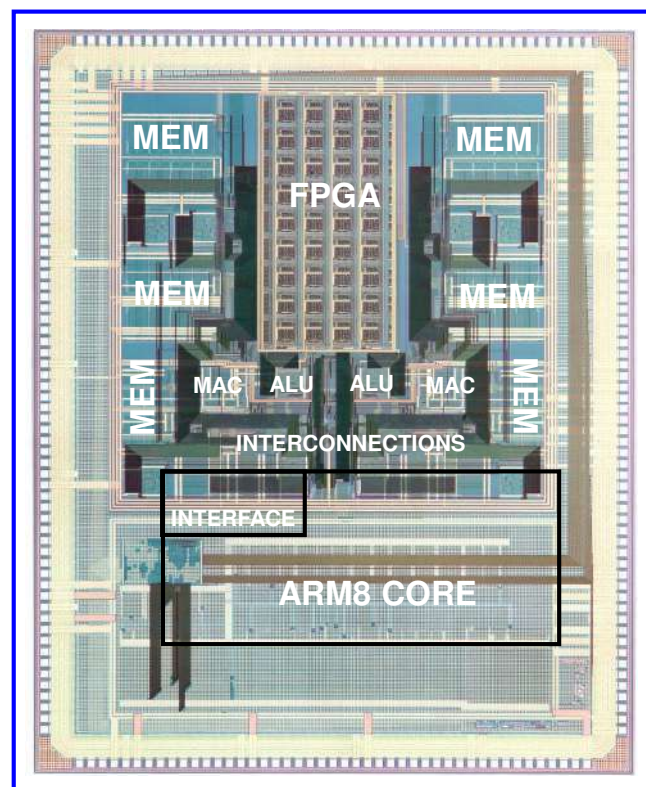
Σύστημα σε ολοκληρωμένο κύκλωμα (system-on-chip)

- Η υλοποίηση ενός συστήματος σε ολοκληρωμένο κύκλωμα (SoC), συνδυάζει:
 - ✓ ενσωματωμένους μικροεπεξεργαστές,
 - ✓ υποσύστημα μνήμης,
 - ✓ DSPs,
 - ✓ σταθερούς επιταχυντές υλικού τύπου ASIC,
 - ✓ παραμετρικές μονάδες (μακροκύτταρα) και
 - ✓ ευέλικτη λογική υλοποιούμενη σε FPGA.
- Σημαντικά θέματα που συναντώνται κατά το σχεδιασμό SoC:
 - ✓ διαχωρισμός υλικού-λογισμικού (hw-sw partitioning)
 - ✓ επιλογή και ανάπτυξη hard/soft μακροκυττάρων
 - ✓ χωροθέτηση (floorplanning)
 - ✓ διασύνδεση μερών
 - ✓ διαμοιρασμός σημάτων ρολογιού και τροφοδοσίας
 - ✓ επαλήθευση λειτουργίας (δυσκολίες λόγω ετερογένειας των μερών).

SoC για εφαρμογές ασύρματης επικοινωνίας



Technology	0.25 μm 6-level metal CMOS
Main Supply Voltage	1 V
Additional Voltages	0.4 V, 1.5 V
Die Size	5.2 mm x 6.7 mm
Transistor Count	1.2 Million transistors
Average Cycle Speed	40 MHz
Average Power Dissipation	1.5 - 2 mW



Συμπεράσματα

- Τις τελευταίες δεκαετίες έχουν προκύψει διάφορες μεθοδολογίες και τεχνικές σχεδιασμού και υλοποίησης ψηφιακών ολοκληρωμένων κυκλωμάτων, οι οποίες έχουν καταστήσει εφικτή την υλοποίηση προηγμένων επεξεργαστών και κυκλωμάτων ειδικών εφαρμογών.
- Ο πλήρως εξατομικευμένος σχεδιασμός οδηγεί σε βέλτιστες υλοποιήσεις όσον αφορά την ελαχιστοποίηση της επιφάνειας και τη μεγιστοποίηση των επιδόσεων.
- Ωστόσο, η προσέγγιση αυτή έχει καταστεί απαγορευτικά ακριβή και θα πρέπει να χρησιμοποιείται μόνο για το σχεδιασμό κρίσιμων μονάδων, στις οποίες απαιτείται μέγιστη ταχύτητα ή για το σχεδιασμό των συχνά επαναχρησιμοποιούμενων κυττάρων βιβλιοθηκών.
- Ο ημιεξατομικευμένος σχεδιασμός, που βασίζεται στη μεθοδολογία των τυπικών κυττάρων, πλεονεκτεί όσον αφορά τον υψηλό βαθμό αυτοματοποίησης.
- Για να αντιμετωπίσουν την αυξανόμενη πολυπλοκότητα των κυκλωμάτων, οι σχεδιαστές στηρίζονται όλο και περισσότερο στη διαθεσιμότητα μακροκυττάρων, όπως οι μνήμες, οι πολλαπλασιαστές και οι μικροεπεξεργαστές.
- Οι μονάδες αυτές παρέχονται συχνά από τρίτους προμηθευτές και έχουν δημιουργήσει μία νέα βιομηχανία που εστιάζεται στις μονάδες πνευματικής ιδιοκτησίας (IP blocks).
- Ο σχεδιασμός ενός κυκλώματος για την υλοποίηση μίας και μόνο εφαρμογής έχει υψηλό κόστος. Έτσι, ακολουθούνται ευέλικτες λύσεις που επιτρέπουν σε μία μονάδα να χρησιμοποιείται για μία ποικιλία εφαρμογών, μέσω αναδιαμόρφωσης της λογική του υλικού της.
- Ωστόσο, όσο περισσότερη ευελιξία παρέχεται, τόσο μεγαλύτερος είναι ο αντίκτυπος στην επίδοση και την κατανάλωση ενέργειας.

Βιβλιογραφία

- J. M. Rabaey, A. Chandrakasan, B. Nikolic, Ψηφιακά ολοκληρωμένα κυκλώματα: Μια σχεδιαστική προσέγγιση, Εκδόσεις Κλειδάριθμος, 2006.
- H. N. Weste, D. M. Harris, Σχεδίαση ολοκληρωμένων κυκλωμάτων CMOS VLSI, Εκδόσεις Παπασωτηρίου, 2011.
- S. Kang, Y. Leblebici, Ανάλυση και σχεδίαση ψηφιακών ολοκληρωμένων κυκλωμάτων CMOS, Εκδόσεις Τζιόλα, 2007.
- M.B. Lin, Introduction to VLSI systems - A logic, circuit and system perspective, CRC Press, 2012.
- J. Segura, C. F. Hawkins, CMOS electronics: How it works, how it fails, IEEE Press & Wiley-Interscience, 2004.
- Y. Tsvividis, C. McAndrew, Operation and modeling of the MOS transistor, Oxford University Press, 2011.
- Y. Taur, T.H. Ning, Fundamentals of modern VLSI devices, Cambridge University Press, 2009.