



ΠΑΝΕΠΙΣΤΗΜΙΟ ΠΑΤΡΩΝ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟΛΟΓΙΣΤΩΝ

ΣΧΕΔΙΑΣΜΟΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ Ι

ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ

Λάμπρος Μπισδούνης

Πάτρα 1996

ΠΕΡΙΕΧΟΜΕΝΑ

- 1. Σχεδιασμός και εξομοίωση βασικών κυκλωμάτων τεχνολογίας CMOS**
- 2. Μελέτη παρασιτικών χωρητικοτήτων και χρονικής απόκρισης σε κυκλώματα CMOS**
- 3. Μελέτη της κατανάλωσης ενέργειας των κυκλωμάτων τεχνολογίας CMOS**
- 4. Φυσικός σχεδιασμός στατικών πυλών CMOS πολύπλοκης λογικής**
- 5. Φυσικός σχεδιασμός κυκλωμάτων με τρανζίστορ περάσματος και κυκλωμάτων μνήμης**
- 6. Κανόνες σχεδιασμού και παράμετροι τεχνολογίας CMOS**

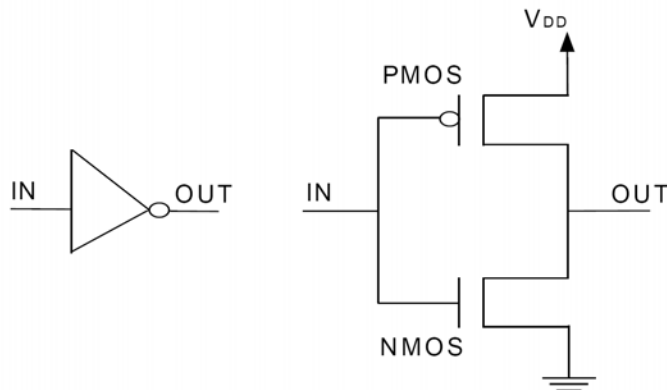
ΣΧΕΔΙΑΣΜΟΣ ΚΑΙ ΕΞΟΜΟΙΩΣΗ ΒΑΣΙΚΩΝ
ΚΥΚΛΩΜΑΤΩΝ ΤΕΧΝΟΛΟΓΙΑΣ CMOS

ΑΝΤΙΚΕΙΜΕΝΟ

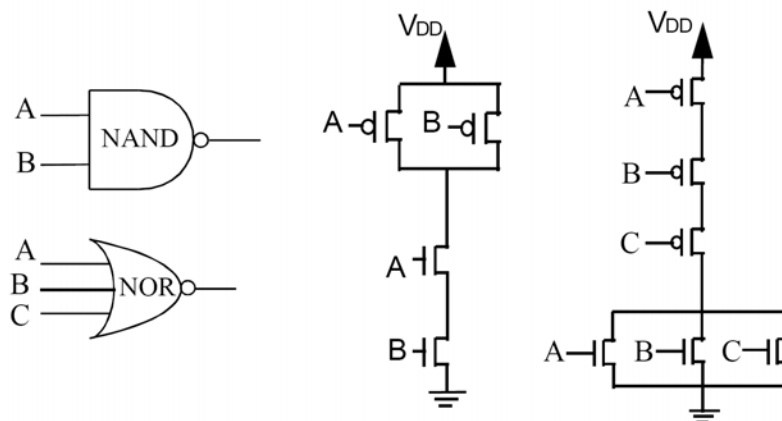
Αντικείμενο της άσκησης αυτής είναι ο σχεδιασμός και η εξομοίωση βασικών πυλών τεχνολογίας CMOS, όπως ο αντιστροφέας και οι πύλες NAND και NOR, με σκοπό την πλήρη κατανόηση της διαδικασίας σχεδιασμού και εξομοίωσης. Δεύτερος σκοπός της άσκησης είναι η εκμάθηση του εργαλείου σχεδιασμού MSK, το οποίο έχει αναπτυχθεί κυρίως για εκπαιδευτικές ανάγκες.

ΘΕΩΡΙΑ

Το λογικό σύμβολο και το κυκλωματικό διάγραμμα ενός αντιστροφέα φαίνονται στο παρακάτω σχήμα.



Οι πιο βασικές πύλες στο σχεδιασμό ψηφιακών κυκλωμάτων CMOS τεχνολογίας είναι οι NAND και NOR. Στο επόμενο σχήμα φαίνονται τα λογικά σύμβολα και τα κυκλωματικά διαγράμματα μιας πύλης NAND με δύο εισόδους και μιας πύλης NOR με τρεις εισόδους, αντίστοιχα.



ΣΧΕΔΙΑΣΜΟΣ ΚΑΙ ΕΞΟΜΟΙΩΣΗ

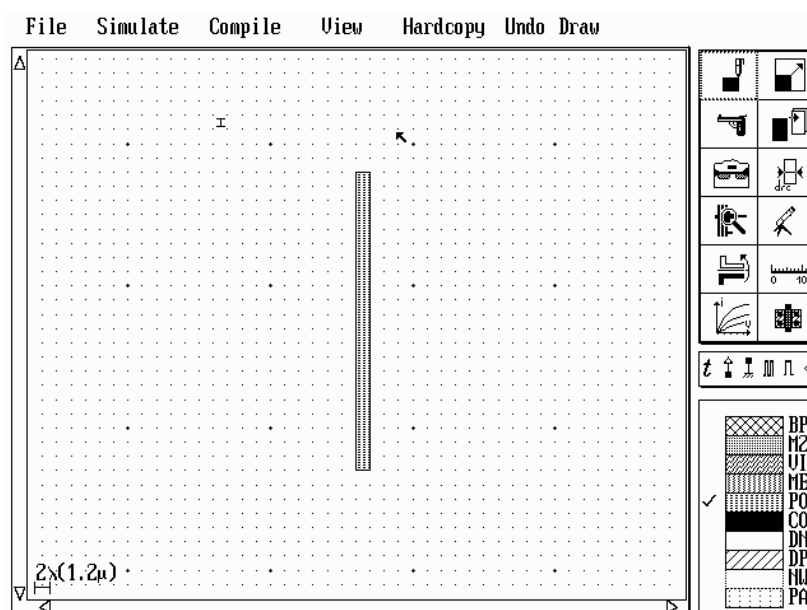
Αρχικά θα σχεδιαστεί και θα εξομοιωθεί σταδιακά και αναλυτικά ένας CMOS αντιστροφέας ώστε να γίνει κατανοητή η χρήση του εργαλείου σχεδιασμού και στη συνέχεια θα γίνει το ίδιο για τις πύλες NAND και NOR.

A. ΣΧΕΔΙΑΣΜΟΣ ΤΟΥ ΑΝΤΙΣΤΡΟΦΕΑ

1. Εισαγωγή στο περιβάλλον του εργαλείου ηλεκτρολογώντας MSK ↵.

2. Δημιουργία της περιοχής πολυκρυσταλλικού πυριτίου (polysilicon).

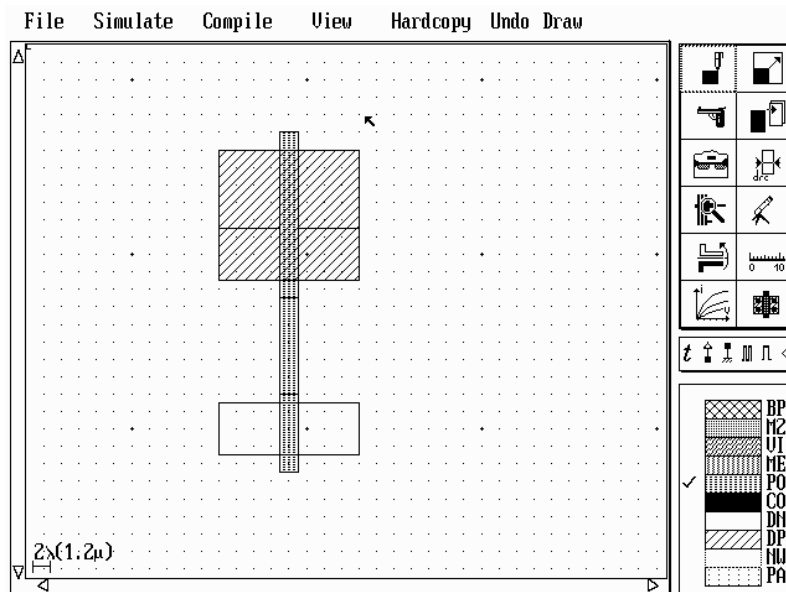
Επιλέξτε το επίπεδο PO (polysilicon) στην βιβλιοθήκη επιπέδων που υπάρχει κάτω δεξιά στην οθόνη. Στη συνέχεια επιλέγοντας με το “ποντίκι” το πρώτο αριστερά εικονίδιο σχεδιάστε την λωρίδα πολυκρυσταλλικού πυριτίου, όπως φαίνεται στο παρακάτω σχήμα. Το εύρος της λωρίδας αυτής δεν πρέπει να είναι μικρότερο από 2λ, που είναι το ελάχιστο επιτρεπτό εύρος του πολυκρυσταλλικού πυριτίου (όπως φαίνεται και στο Παράρτημα Β των κανόνων σχεδιασμού).



3. Δημιουργία των λωρίδων διάχυσης (diffusion).

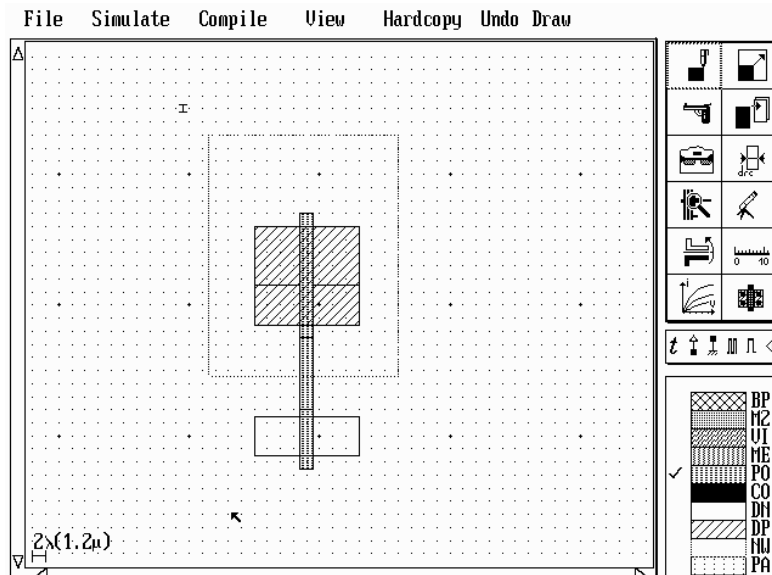
Το επόμενο βήμα είναι η τοποθέτηση της διάχυσης. Αλλάξτε το επίπεδο σχεδιασμού σε διάχυση n-τύπου (DN) και σχεδιάστε μια ορθογώνια περιοχή στο κάτω μέρος του σχεδίου. Η τομή μεταξύ αυτής της περιοχής και της λωρίδας πολυκρυσταλλικού πυριτίου δημιουργεί το κανάλι ενός NMOS στοιχείου. Στη συνέχεια αλλάξτε το επίπεδο σχεδιασμού σε διάχυση p-τύπου (DP) και σχεδιάστε μια ορθογώνια περιοχή η οποία τέμνει την λωρίδα του πολυκρυσταλλικού πυριτίου στο κάτω μέρος της. Αυτό έχει ως

αποτέλεσμα την δημιουργία του καναλιού του PMOS στοιχείου, όπως φαίνεται στο παρακάτω σχήμα.



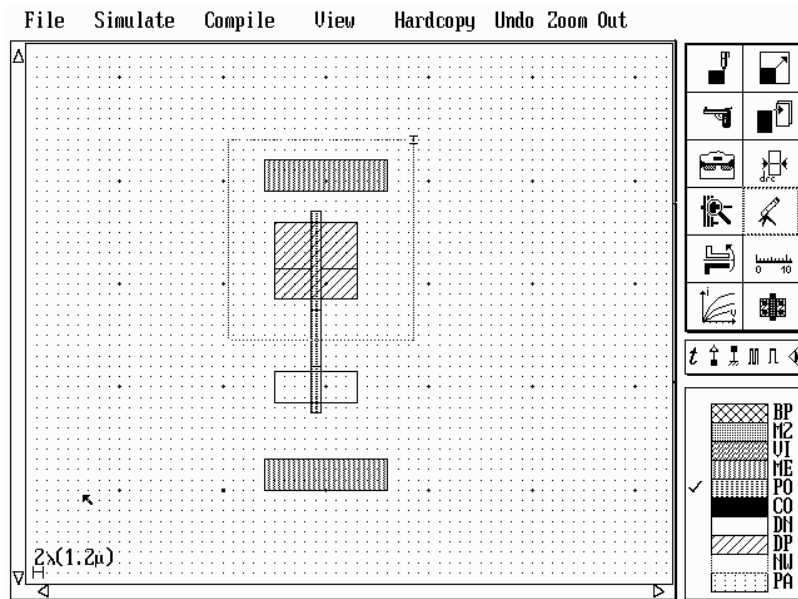
4. Δημιουργία του “πηγαδιού” τύπου-n.

Για να ολοκληρωθεί ο σχεδιασμός του PMOS στοιχείου, αλλάζετε το επίπεδο σχεδιασμού σε n-Well (NW) και σχεδιάστε μια ορθογώνια περιοχή γύρω από την λωρίδα διάχυσης p-τύπου, που αποτελεί το “πηγάδι” μέσα στο οποίο αναπτύσσεται το PMOS στοιχείο.



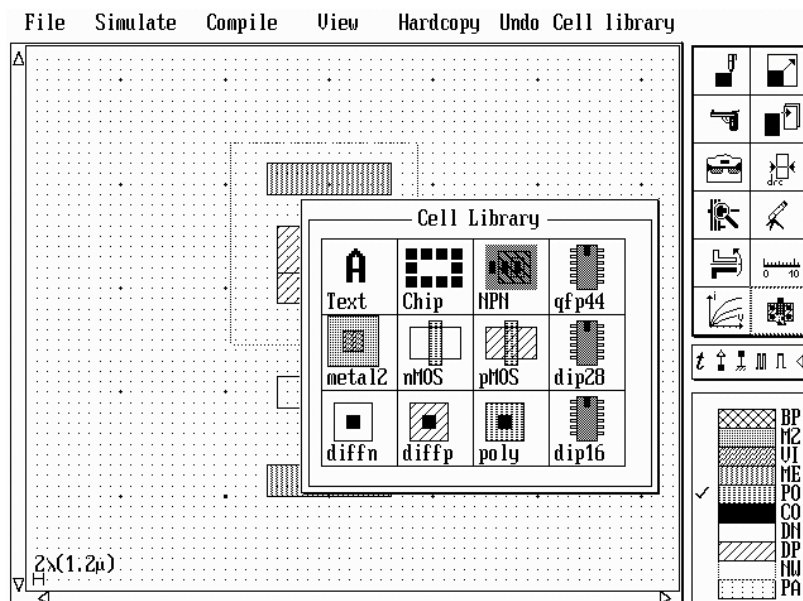
5. Δημιουργία λωρίδων τροφοδοσίας και γείωσης.

Επιλέξτε ως επίπεδο σχεδιασμού το μέταλλο και σχεδιάστε δύο λωρίδες από τις οποίες η μια αντιστοιχεί στην τροφοδοσία και η άλλη στην γείωση του αντιστροφέα.

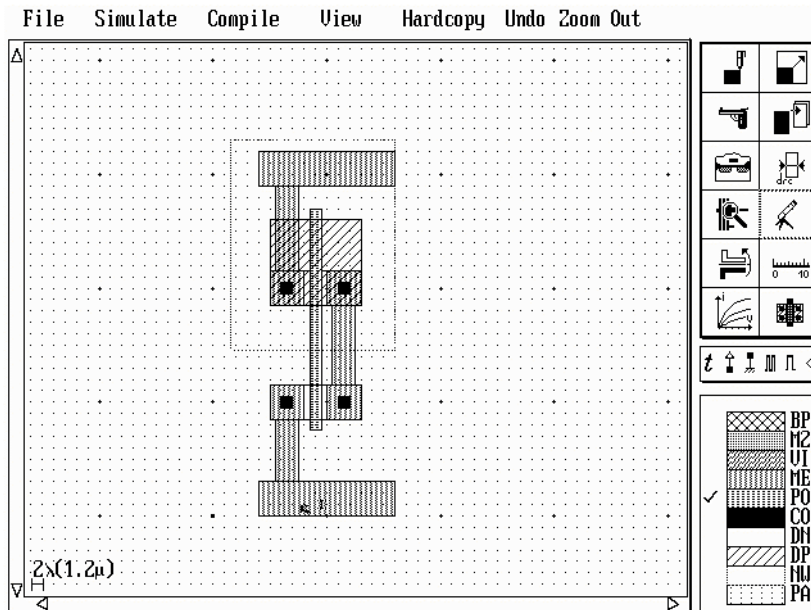


6. Δημιουργία διασυνδέσεων και τοποθέτηση επαφών.

Για να δημιουργήσετε τον κόμβο εξόδου του αντιστροφέα πρέπει οι δύο περιοχές διάχυσης να συνδεθούν με μια λωρίδα μετάλλου. Αυτό επιτυγχάνεται με την χρησιμοποίηση των κατάλληλων επαφών. Όπως φαίνεται στο παρακάτω σχήμα επιλέγοντας το τελευταίο δεξιό εικονίδιο εμφανίζεται μια βιβλιοθήκη βασικών στοιχείων, όπου υπάρχουν και οι επαφές όλων των τύπων.

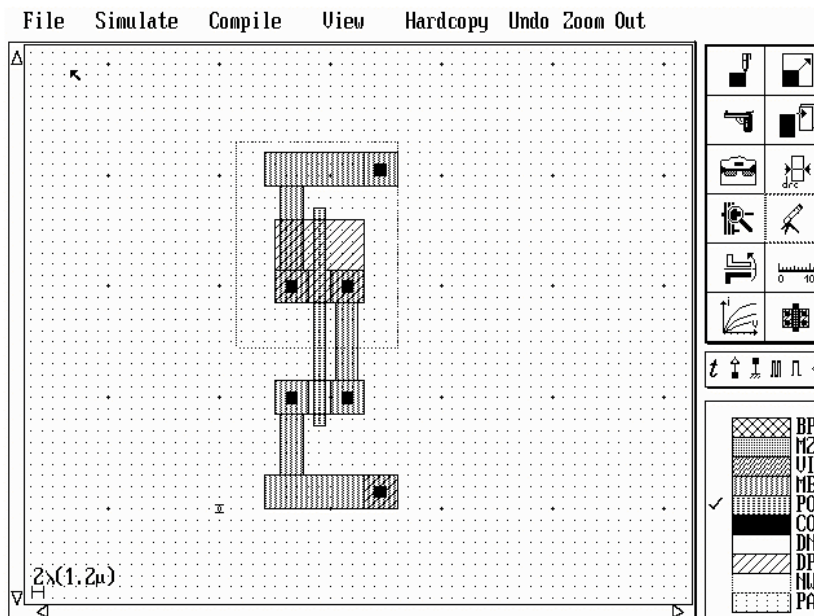


Επιλέξτε τις κατάλληλες επαφές (diffn και diffp) για να δημιουργήσετε την σύνδεση του κόμβου εξόδου, καθώς και τις συνδέσεις τροφοδοσίας και γείωσης, όπως φαίνεται στο επόμενο σχήμα.




7. Δημιουργία των επαφών πόλωσης πηγαδιού και υποστρώματος.

Στα CMOS κυκλώματα το πηγάδι τύπου n πρέπει να πολωθεί στην τάση τροφοδοσίας και το υπόστρωμα πρέπει να γειωθεί. Συνδέστε το πηγάδι τύπου n στην τροφοδοσία χρησιμοποιώντας μια επαφή $diffn$ και το υπόστρωμα στην γείωση χρησιμοποιώντας μια επαφή $diffp$, όπως φαίνεται στο παρακάτω σχήμα.



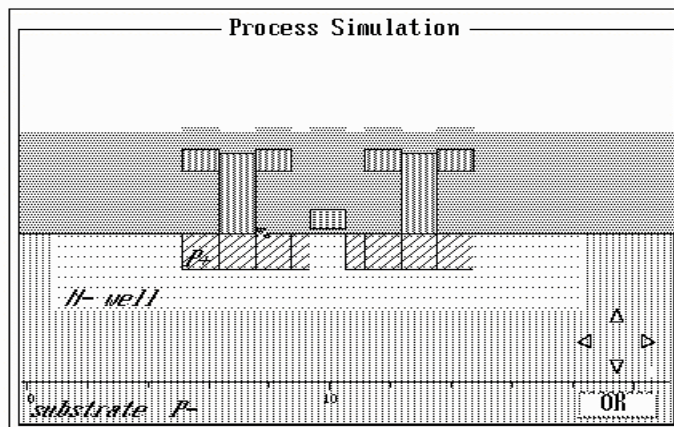
8. Έλεγχος σχεδιαστικών λαθών.

drc  Επιλέξτε το διπλανό εικονίδιο μετά το τέλος του σχεδιασμού του κυκλώματος. Τότε το πρόγραμμα ελέγχει το κύκλωμα για τυχόν λάθη στους κανόνες σχεδιασμού, που αναφέρονται στο αρχείο τεχνολογίας που έχουμε αρχικά επιλέξει

(Παράρτημα Β). Ο ελεγκτής (design rule checker) του εργαλείου έχει την δυνατότητα να υποδεικνύει τι λάθος έγινε και σε ποιο σημείο του κυκλώματος.

9. Παρατήρηση της εγκάρσιας τομής του κυκλώματος.

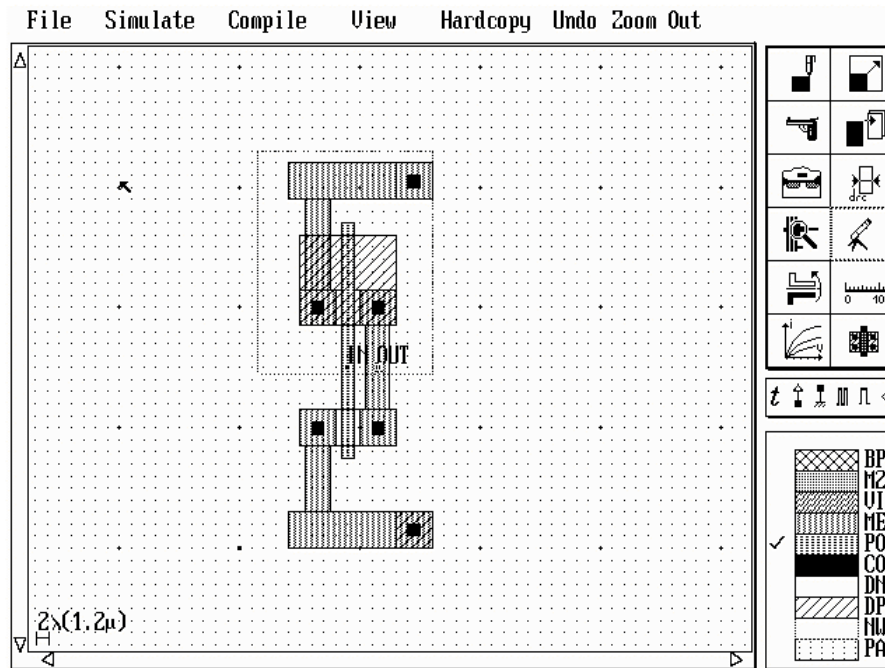
Επιλέγοντας το τρίτο αριστερά εικονίδιο, μπορείτε να δείτε μια εγκάρσια τομή ενός μέρους του κυκλώματος. Για παράδειγμα ξεκινώντας από τα αριστερά του PMOS στοιχείου και πηγαίνοντας προς τα δεξιά, μπορείτε να παρατηρήσετε την εγκάρσια τομή του, όπως δείχνει το παρακάτω σχήμα.



B. ΕΞΟΜΟΙΩΣΗ ΤΟΥ ΑΝΤΙΣΤΡΟΦΕΑ

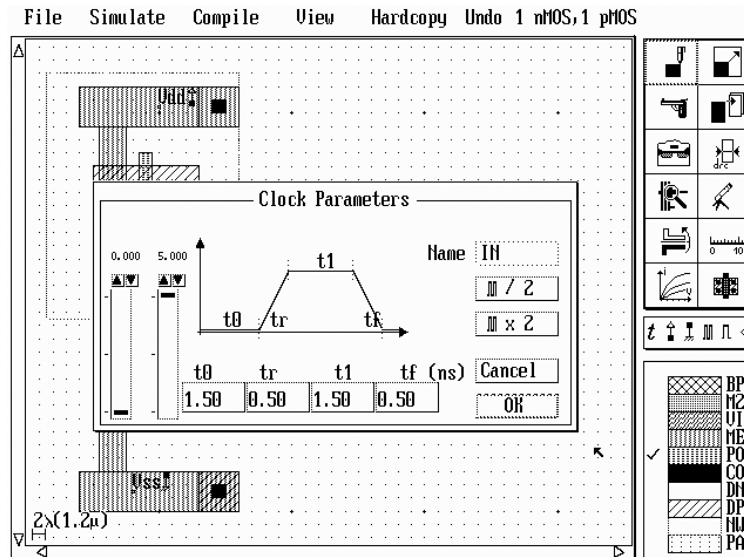
1. Καθορισμός εισόδου και εξόδου του αντιστροφέα.

Επιλέξτε το εικονίδιο "I" στο μενού με τα εικονίδια εξομοίωσης, και με το "ποντίκι" την θέση που θέλετε να τοποθετήσετε κάποιο όνομα. Στη συνέχεια στο παράθυρο που σας παρέχεται δώστε το όνομα που επιθυμείτε. Όπως φαίνεται στο παρακάτω σχήμα με αυτόν τον τρόπο μπορείτε να τοποθετήσετε το όνομα "IN" στη λωρίδα του πολυκρυσταλλικού πυριτίου και το όνομα "OUT" στη λωρίδα του μετάλλου.



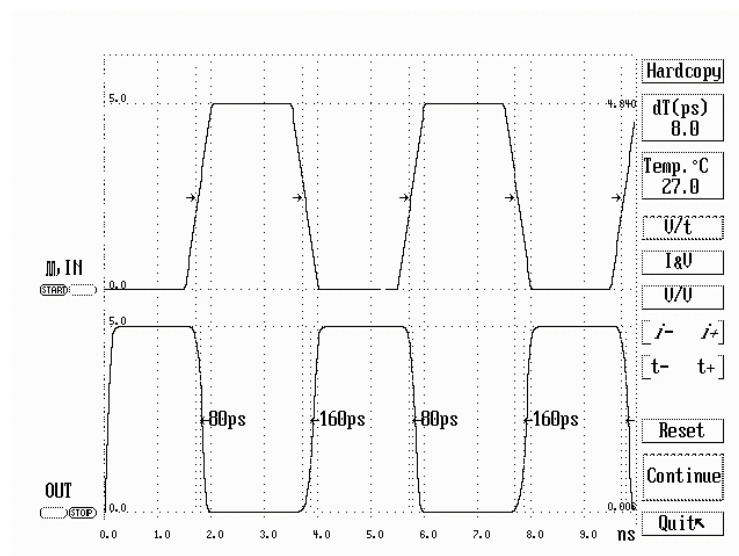
2. Καθορισμός διέγερσης, τάσης τροφοδοσίας και γείωσης.

Πριν ξεκινήσετε την εξομοίωση πρέπει να καθορίσετε τους κόμβους του κυκλώματος που βρίσκονται υπό σταθερή τάση, καθώς και την διέγερση στον κόμβο εισόδου. Έτσι πρέπει να θέσετε την περιοχή διάχυσης p-τύπου στην τάση τροφοδοσίας ($V_{DD} = 5$ Volts) με χρήση του εικονιδίου της τάσης τροφοδοσίας και την περιοχή διάχυσης n-τύπου στην γη (0 Volts) χρησιμοποιώντας το εικονίδιο γείωσης. Επίσης, όπως φαίνεται στο παρακάτω σχήμα για να εφαρμόσετε συνεχόμενους παλμούς στην είσοδο (in) του αντιστροφέα πρέπει να χρησιμοποιήσετε το αντίστοιχο εικονίδιο από το μενού εξομοίωσης. Στο παράθυρο που σας παρέχεται μπορείτε να επιλέξετε εύκολα τους χρόνους ανόδου και καθόδου και το εύρος των παλμών, καθώς και την μεταξύ τους χρονική απόσταση. Υπάρχει επίσης και η δυνατότητα επιλογής απλού παλμού με χρήση του τέταρτου εικονιδίου. Με τη βοήθεια του εικονιδίου “παρατήρησης” του μενού εξομοίωσης (τελευταίο δεξιά) προσαρμόστε ένα σημείο παρατήρησης στην γραμμή του μετάλλου, έτσι ώστε να παρακολουθείτε την έξοδο κατά την διάρκεια της εξομοίωσης. Σημεία παρατήρησης μπορούν να προσαρμοστούν σε διάφορα σημεία ενός κυκλώματος με την προϋπόθεση προηγουμένως να έχουν ονομαστεί.



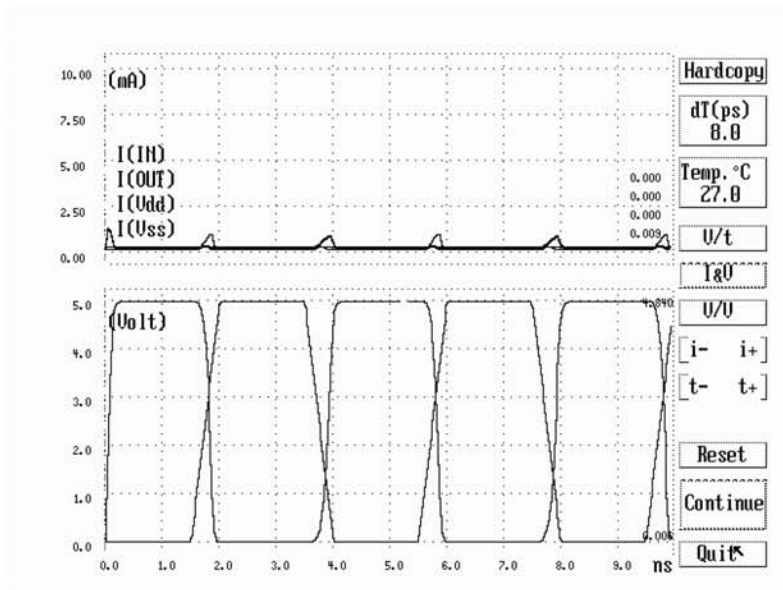
3. Εκτέλεση της εξομοίωσης.

Επιλέξτε “Simulate” στο κύριο μενού του προγράμματος. Τότε εμφανίζονται στην οθόνη τα χρονικά διαγράμματα που φαίνονται στο παρακάτω σχήμα. Αν θέλετε να συνεχίσετε την εξομοίωση για περισσότερο χρόνο επιλέξτε “Continue”. Η καθυστέρηση του αντιστροφέα μετρείται από τον εξομοιωτή στο μισό της τάσης τροφοδοσίας (2.5 Volts), μεταξύ του σήματος που επιλέγεται με το START (in) και του σήματος που επιλέγεται με το STOP (out). Παρατηρούμε ότι η καθυστέρηση ανόδου είναι μεγαλύτερη από αυτήν της καθόδου, λόγω της μεγαλύτερης κινητικότητας των ηλεκτρονίων σε σχέση με αυτήν των οπών. Αν θέλετε να πετύχετε ίσες καθυστερήσεις ανόδου και καθόδου θα πρέπει να διπλασιάσετε ή και να τριπλασιάσετε το πλάτος του PMOS στοιχείου, έτσι ώστε να αυξηθεί η ικανότητα ρεύματος που διαθέτει.



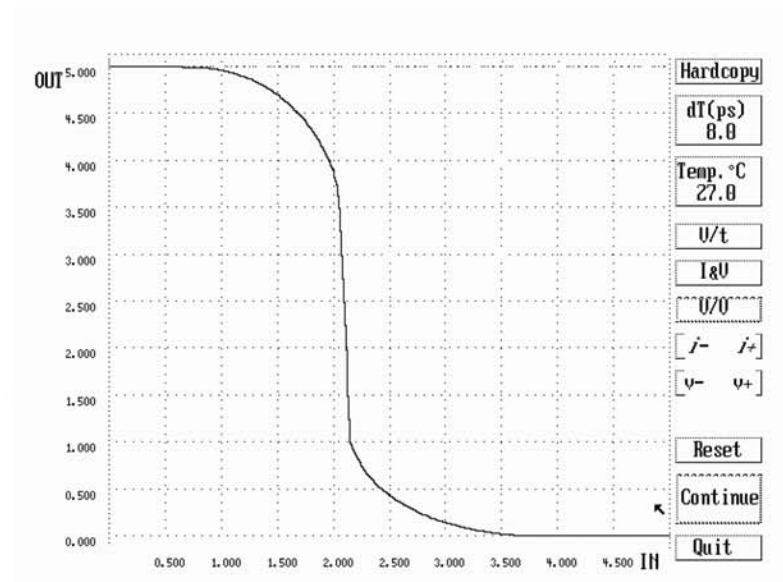
4. Μέτρηση των ρευμάτων που διαρρέουν τον αντιστροφέα.

Επιλέξτε στη συνέχεια “I & V” για να παρατηρήσετε τα ρεύματα που διαρρέουν το κύκλωμα, ταυτόχρονα με τις τάσεις, όπως φαίνεται στο παρακάτω σχήμα. Παρατηρείστε ότι ροή ρεύματος υπάρχει μονάχα στη περίπτωση μετάβασης της εξόδου.



5. Παραγωγή της χαρακτηριστικής μεταφοράς.

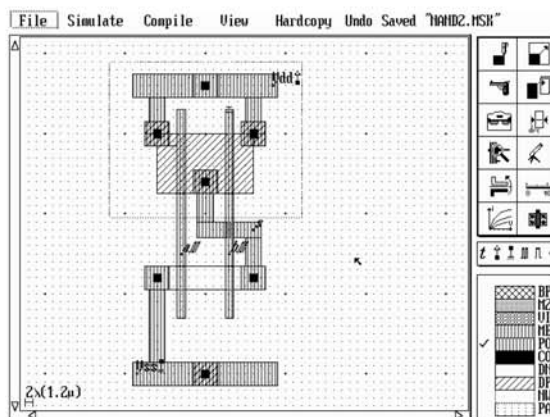
Επιλέξτε “V & V” για να παρατηρήσετε την χαρακτηριστική μεταφοράς του αντιστροφέα, που φαίνεται στο παρακάτω σχήμα. Το σημείο υπολογισμού του αντιστροφέα είναι αυτό όπου $V_{in}=V_{out}$. Στην παρακάτω χαρακτηριστική μεταφοράς το σημείο αυτό είναι γύρω στα 2.1 Volts.



Γ. ΣΧΕΔΙΑΣΜΟΣ ΚΑΙ ΕΞΟΜΟΙΩΣΗ NAND ΚΑΙ NOR ΠΥΛΩΝ

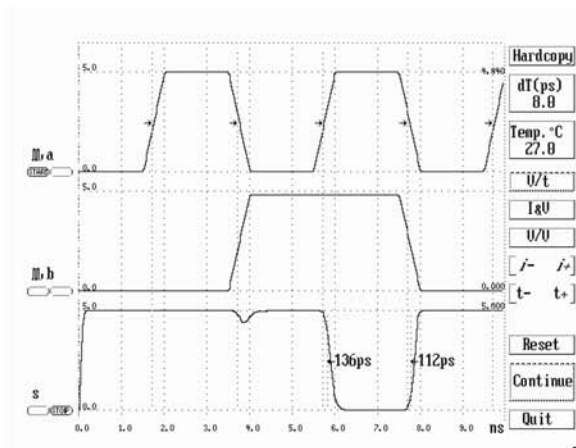
1. Σχεδιασμός NAND πύλης 2 εισόδων.

Ακολουθώντας τα βήματα του τμήματος Α της άσκησης, σχεδιάστε μια πύλη NAND δύο εισόδων. Στην περίπτωση όπου πρέπει να σχεδιαστούν πύλες μεγαλύτερες από έναν αντιστροφέα είναι καλύτερα να χρησιμοποιούνται δύο λωρίδες μετάλλου για την γείωση και την τροφοδοσία αντίστοιχα. Οι λωρίδες αυτές πρέπει να συνδέονται με τις περιοχές διάχυσης χρησιμοποιώντας τις κατάλληλες επαφές διάχυσης-μετάλλου. Ο φυσικός σχεδιασμός της πύλης δίνεται στο παρακάτω σχήμα.



2. Εξομοίωση της πύλης

Εφαρμόστε κατάλληλους παλμούς στις εισόδους της πύλης και παρατηρήστε την έξοδο χρησιμοποιώντας το αντίστοιχο εικονίδιο, έτσι ώστε να προκύψουν τα χρονικά διαγράμματα του παρακάτω σχήματος. Στα διαγράμματα διακρίνονται οι καθυστερήσεις ανόδου και καθόδου ως προς την είσοδο a. Μετρείστε τις καθυστερήσεις ως προς την είσοδο b, μεταφέροντας με την βοήθεια του “ποντικιού” το START από την κυματομορφή της εισόδου a σ’ αυτήν της εισόδου b.



3. Σχεδιασμός και εξομοίωση NOR πύλης 3 εισόδων.

Σχεδιάστε μια NOR πύλη τριών εισόδων με τα παρακάτω χαρακτηριστικά:

$$L_n = L_p = 1.2\mu\text{m}$$

$$W_n = 3.6\mu\text{m}$$

$$W_p = 7.2\mu\text{m}$$

Πλάτος λωρίδων μετάλλου τροφοδοσίας και γείωσης = 3.6μm

Πλάτος διασυνδέσεων μετάλλου = 2.4μm.

Στη συνέχεια εξομοιώστε την πύλη εφαρμόζοντάς της φορτίο στην έξοδο έναν αντιστροφέα. Χρησιμοποιήστε παλμό εισόδου με τα εξής χαρακτηριστικά:

Αρχικός χρόνος παραμονής στη στάθμη “0” = 3ns

Χρόνος ανόδου = 1.5ns

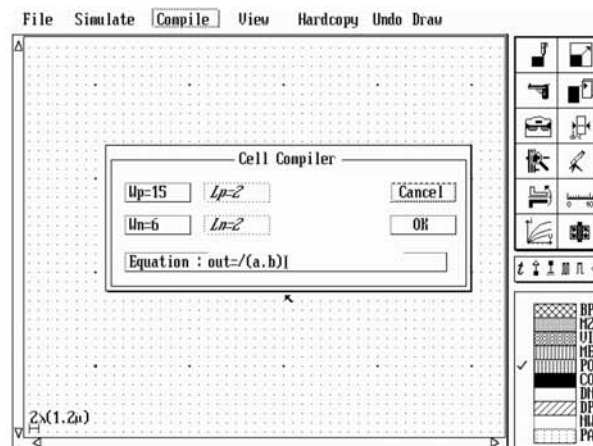
Χρόνος παραμονής στη στάθμη “1” = 4ns

Χρόνος καθόδου = 1.5ns.

Δ. ΑΥΤΟΜΑΤΗ ΠΑΡΑΓΩΓΗ ΠΥΛΩΝ

1. Λειτουργία του “Compiler”.

Μια πολύ χρήσιμη δυνατότητα του σχεδιαστικού εργαλείου είναι η αυτόματη παραγωγή πυλών (Compiler). Επιλέξτε “Compile” στο κύριο μενού του προγράμματος. Τότε εμφανίζεται στην οθόνη ένα παράθυρο σαν αυτό που φαίνεται στο παρακάτω σχήμα. Στο παράθυρο αυτό έχουμε την δυνατότητα να θέσουμε το πλάτος και το μήκος των στοιχείων που θα περιέχει το λογικό κύκλωμα, το οποίο θα παραχθεί αυτόματα από τον “Compiler”. Στην τελευταία γραμμή του παραθύρου θέτουμε την συνάρτηση της λογικής λειτουργίας που θα εκτελεί το κύκλωμα. Εισάγετε τα στοιχεία που φαίνονται στο παρακάτω σχήμα έτσι ώστε να παραχθεί μια πύλη NAND δύο εισόδων.



2. Εφαρμογές του “Compiler”.

Εξασκηθείτε στη λειτουργία του “Compiler” με τις παρακάτω λογικές συναρτήσεις και παρατηρήστε την δομή των πυλών που θα παραχθούν.

$s=a.b$ AND πύλη 2 εισόδων

$s=!(a.b.c)$ NAND πύλη 3 εισόδων

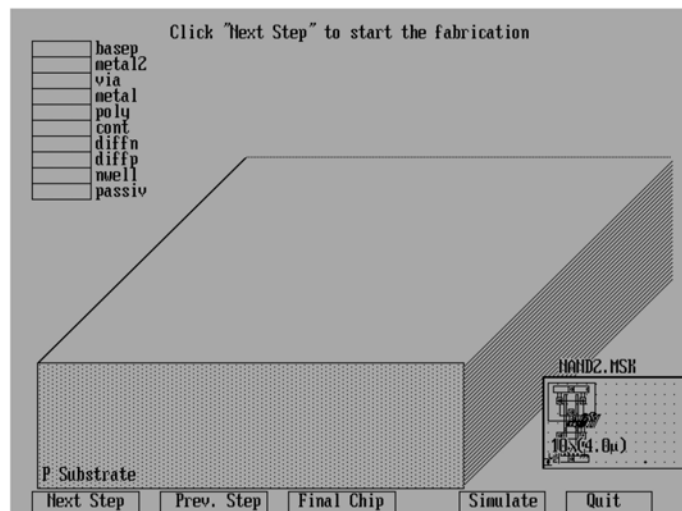
$out=x+y$ OR πύλη 2 εισόδων

$out=(x+y)$ NOR πύλη 2 εισόδων
 $s=(a.b.c)$ AND πύλη 3 εισόδων
 $x=(in.(b+c))$ Mixed AND/OR πύλη

E. ΤΡΙΣΔΙΑΣΤΑΤΗ ΑΠΟΨΗ ΚΥΚΛΩΜΑΤΩΝ

Μετά τον σχεδιασμό των πυλών που έγινε σε προηγούμενα στάδια της άσκησης, μπορεί να χρησιμοποιηθεί το πρόγραμμα 3D, το οποίο δίνει τη δυνατότητα τρισδιάστατης άποψης των κυκλωμάτων και περιγράφει σταδιακά την διαδικασία κατασκευής τους. Η εφαρμογή αυτή είναι πολύ χρήσιμη για την κατανόηση των περιγραφών της διαδικασίας κατασκευής ολοκληρωμένων κυκλωμάτων, που υπάρχουν στα περισσότερα σχετικά βιβλία θεωρίας.

Πληκτρολογείστε 3d file.msk ↵, όπου file.msk είναι το όνομα του κυκλώματος που ήδη έχουμε σχεδιάσει. Στη συνέχεια εμφανίζεται στην οθόνη η παρακάτω εικόνα. Επιλέξτε με την βοήθεια του “ποντικιού” το “Next Step” και παρακολουθήστε σταδιακά την διαδικασία κατασκευής του κυκλώματος που έχετε επιλέξει. Ο φυσικός σχεδιασμός του κυκλώματος αυτού φαίνεται κάτω δεξιά στην εικόνα. Τα διάφορα επίπεδα σχεδιασμού (layers) φαίνονται πάνω δεξιά στην εικόνα. Αν επιλέξετε το “Final Chip” μπορείτε να παρακολουθήσετε όλη την διαδικασία κατασκευής, χωρίς διακοπή μετά από κάθε επίπεδο.



ΜΕΛΕΤΗ ΤΩΝ ΠΑΡΑΣΙΤΙΚΩΝ
ΧΩΡΗΤΙΚΟΤΗΤΩΝ ΚΑΙ ΤΗΣ ΚΑΘΥΣΤΕΡΗΣΗΣ
ΣΤΑ ΚΥΚΛΩΜΑΤΑ ΤΕΧΝΟΛΟΓΙΑΣ CMOS

ΑΝΤΙΚΕΙΜΕΝΟ

Αντικείμενο της άσκησης είναι η μελέτη ορισμένων σημαντικών χαρακτηριστικών των κυκλωμάτων τεχνολογίας CMOS. Αρχικά θα μελετηθούν οι παρασιτικές χωρητικότητες που συναντώνται στα κυκλώματα αυτά. Στη συνέχεια θα μελετηθούν οι παράγοντες που επηρεάζουν την χρονική καθυστέρηση απόκρισης τους.

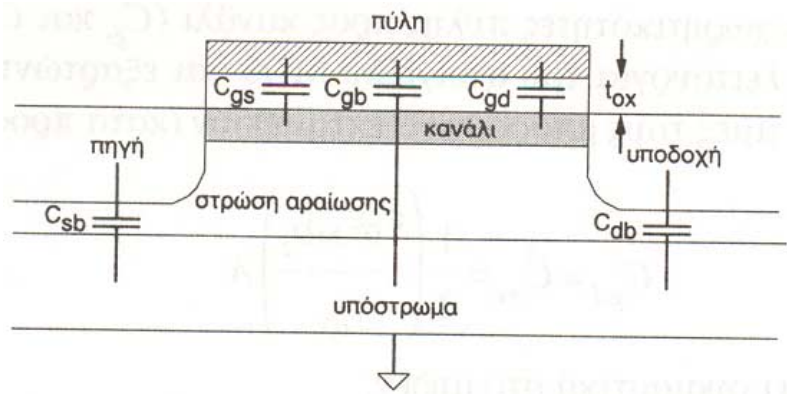
ΘΕΩΡΙΑ

Α. ΠΑΡΑΣΙΤΙΚΕΣ ΧΩΡΗΤΙΚΟΤΗΤΕΣ

Η απόκριση των κυκλωμάτων τεχνολογίας CMOS εξαρτάται σε μεγάλο βαθμό από τις παρασιτικές χωρητικότητες των MOS στοιχείων καθώς και από τις χωρητικότητες των συνδέσεων που δημιουργούνται από τα καλώδια μετάλλου, πολυκρυσταλλικού πυριτίου και διάχυσης. Το συνολικό χωρητικό φορτίο μιας πύλης τεχνολογίας CMOS προκύπτει από το άθροισμα των παρακάτω χωρητικότητων:

- χωρητικότητα πύλης των εισόδων που συνδέονται στην έξοδο,
- χωρητικότητα διάχυσης των περιοχών υποδοχής που συνδέονται στην έξοδο,
- χωρητικότητα διασυνδέσεων.

Οι παρασιτικές χωρητικότητες ενός στοιχείου MOS δίνονται στο επόμενο σχήμα.



Η συνολική χωρητικότητα της πύλης ενός MOS στοιχείου δίνεται ως εξής:

$$C_g = C_{gb} + C_{gs} + C_{gd} + C_{επικ.}$$

Παρατηρούμε στο σχήμα ότι υπάρχει επικάλυψη της πηγής και της υποδοχής από την πύλη, η οποία δημιουργεί την παρασιτική χωρητικότητα επικάλυψης ($C_{επικ.}$). Η χωρητικότητα αυτή είναι ανεξάρτητη από την τάση στην πύλη του στοιχείου και δίνεται ως εξής:

$$C_{επικ.} = C_{gs-επικ.} + C_{gd-επικ.} = 2 C_{ox} W L D,$$

όπου LD είναι το μήκος της περιοχής επικάλυψης και $C_{ox} = \epsilon_{ox}/t_{ox}$.

Οι υπόλοιπες χωρητικότητες που συνθέτουν την χωρητικότητα πύλης είναι αποτέλεσμα της αλληλεπίδρασης μεταξύ της τάσης πύλης και του φορτίου του καναλιού. Οι χωρητικότητες αυτές εξαρτώνται από την τάση στην πύλη του στοιχείου. Όταν το στοιχείο βρίσκεται στην αποκοπή δεν υπάρχει κανάλι που να συνδέει την επιφάνεια της πύλης με την υποδοχή και την πηγή. Έτσι $C_{gs}=C_{gd}=0$.

Στην περίπτωση αυτή η χωρητικότητα μεταξύ πύλης και υποστρώματος είναι:

$$C_{gb} = C_{ox} W L.$$

Όταν το στοιχείο λειτουργεί στη γραμμική περιοχή, το κανάλι εκτείνεται μεταξύ της πηγής και της υποδοχής. Έτσι το υπόστρωμα απομονώνεται από το ηλεκτρικό πεδίο της πύλης με αποτέλεσμα $C_{gb}=0$. Η κατανεμημένη χωρητικότητα μεταξύ της πηγής και της υποδοχής μπορεί σε αυτή την περίπτωση να προσεγγιστεί ως εξής:

$$C_{gs} \cong C_{gd} \cong \frac{1}{2} C_{ox} W L.$$

Όταν το στοιχείο λειτουργεί στον κόρο το κανάλι δεν εκτείνεται μέχρι την υποδοχή, οπότε $C_{gd}=0$. Η πηγή συνεχίζει να είναι συνδεδεμένη με την επιφάνεια της πύλης μέσω του καναλιού, οπότε το υπόστρωμα παραμένει απομονωμένο με αποτέλεσμα $C_{gb}=0$. Τέλος, η χωρητικότητα μεταξύ πύλης και πηγής αυξάνεται στη τιμή:

$$C_{gs} \cong \frac{3}{2} C_{ox} W L.$$

Σε στοιχεία με μικρό μήκος καναλιού η χωρητικότητα μεταξύ πύλης και πηγής αυξάνεται περισσότερο ($0.9 C_{ox} W L$).

Η επίδραση της περιοχής λειτουργίας του στοιχείου στην χωρητικότητα πύλης φαίνεται στον παρακάτω πίνακα.

ΧΩΡΗΤΙΚΟΤΗΤΑ			
Παράμετρος	Αποκοπή	Μη-κορεσμένο	Κορεσμένο
C_{gb}	$\frac{\epsilon A}{t_{ox}}$	0	0
C_{gs}	0	$\frac{\epsilon A}{2t_{ox}}$	$\frac{2\epsilon A}{3t_{ox}}$
C_{gd}	0	$\frac{\epsilon A}{2t_{ox}}$	0 (πεπερασμένο για στοιχεία με μικρό κανάλι)
$C_g = C_{gb} + C_{gs} + C_{gd}$	$\frac{\epsilon A}{t_{ox}}$	$\frac{\epsilon A}{t_{ox}}$	$\frac{2\epsilon A}{3t_{ox}} \rightarrow \frac{.9\epsilon A}{t_{ox}}$ (μικρό κανάλι)

Οι περιοχές διάχυσης έχουν χωρητικότητα με το υπόστρωμα η οποία είναι ανάλογη της ολικής επιφάνειας της βάσης όπως και της επιφάνειας των περιφερειακών πλευρών τους. Λαμβάνοντας υπόψη το παρακάτω σχήμα η συνολική χωρητικότητα διάχυσης δίνεται ως εξής:

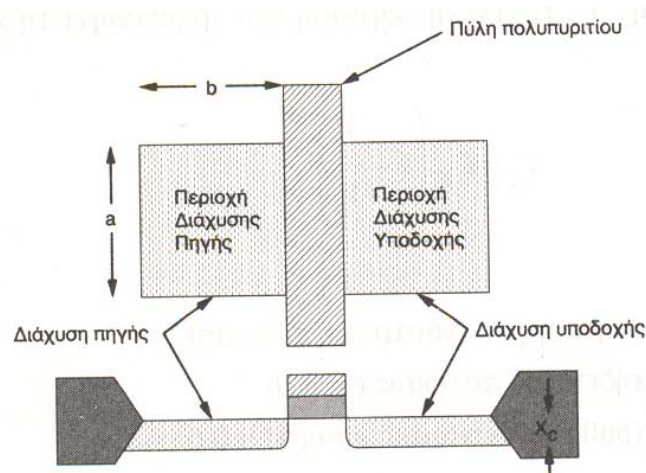
$$C_d = C_{ja} (ab) + C_{jp} (2a + 2b).$$

$$C_{ja} = \text{χωρητικότητα βάσης ανά } \mu\text{m}^2$$

$$C_{jp} = \text{χωρητικότητα περιφέρειας ανά } \mu\text{m}$$

$$a = \text{πλάτος περιοχής διάχυσης σε } \mu\text{m}$$

$$b = \text{μήκος περιοχής διάχυσης σε } \mu\text{m}.$$



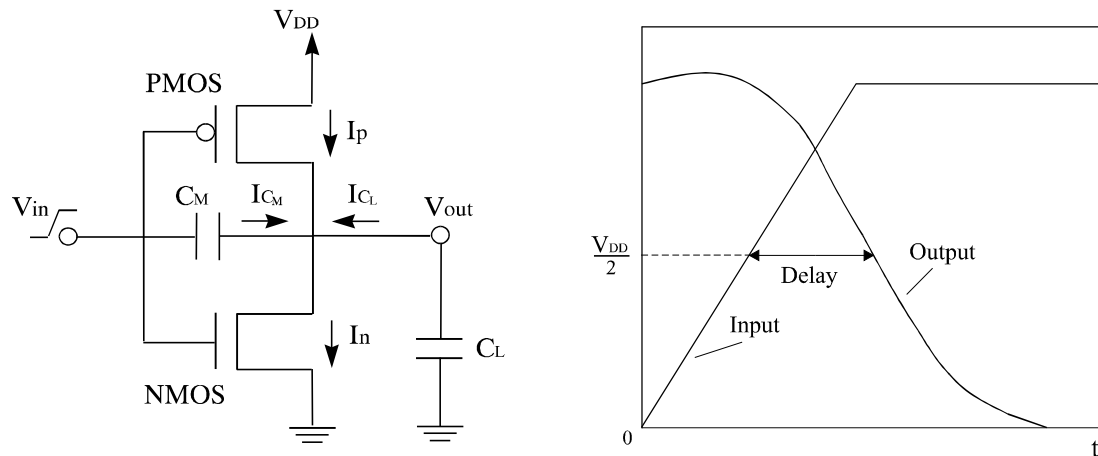
Οι χωρητικότητες διασυνδέσεων μεταξύ μετάλλου και πολυπυριτίου καθώς και του υποστρώματος μπορούν να προσεγγιστούν από το μοντέλο των παράλληλων πλακών: $C = (\epsilon/t)A$, όπου A είναι η επιφάνεια των πλακών, t το πάχος του μονωτή και ϵ η διηλεκτρική σταθερά του μονωτή. Βέβαια το μοντέλο αυτό είναι προσεγγιστικό αφού δεν λαμβάνει υπόψη τα παρασιτικά ηλεκτρικά πεδία του αγωγού.

B. ΠΑΡΑΓΟΝΤΕΣ ΠΟΥ ΕΠΗΡΕΑΖΟΥΝ ΤΗΝ ΚΑΘΥΣΤΕΡΗΣΗ ΚΥΚΛΩΜΑΤΩΝ ΤΕΧΝΟΛΟΓΙΑΣ CMOS

Έχουν αναπτυχθεί αρκετά αναλυτικά και εμπειρικά μοντέλα για την κατανόηση των παραμέτρων που επηρεάζουν την καθυστέρηση απόκρισης στα κυκλώματα τεχνολογίας CMOS. Η ταχύτητα μετάβασης μιας πύλης καθορίζεται από το χρόνο που απαιτείται για την φόρτιση ή την εκφόρτιση του χωρητικού της φορτίου. Ο χρόνος καθυστέρησης σε μια πύλη ορίζεται συνήθως ως η διαφορά του χρόνου μεταξύ του 50% της στάθμης εισόδου και του 50% της στάθμης εξόδου, όπως φαίνεται και στο επόμενο σχήμα. Αυτή η χρονική διαφορά αντιστοιχεί στο χρόνο που απαιτείται για μια λογική μεταβολή να περάσει από την είσοδο στην έξοδο.

Οι βασικότεροι παράγοντες που επηρεάζουν την καθυστέρηση απόκρισης μιας πύλης τεχνολογίας CMOS είναι οι εξής:

- το χωρητικό φορτίο της εξόδου,
- η κλίση της κυματομορφής εισόδου,
- η ικανότητα ρεύματος των στοιχείων διαμέσου των οποίων γίνεται η φόρτιση ή η εκφόρτιση του χωρητικού φορτίου και,
- η τάση τροφοδοσίας.



Στη συνέχεια εξηγείται η επίδραση των παραπάνω παραγόντων στην καθυστέρηση και δίνεται ένα αναλυτικό μοντέλο για τον υπολογισμό της καθυστέρησης στην βασική πύλη τεχνολογίας CMOS (αντιστροφείας).

Η επίδραση του χωρητικού φορτίου στην καθυστέρηση είναι προφανής, αφού απαιτείται κάποιος χρόνος για την φόρτιση και την εκφόρτισή του. Έτσι η καθυστέρηση μιας πύλης αυξάνεται όταν αυξάνεται το χωρητικό της φορτίο, το οποίο αποτελείται από την παρασιτική χωρητικότητα των εισόδων των επόμενων πυλών, της εξόδου της πύλης που εξετάζεται και των διασυνδέσεων.

Συνήθως η κυματομορφή εισόδου στα κυκλώματα CMOS δεν είναι βηματική συνάρτηση του χρόνου, αλλά έχει κάποια κλίση. Όταν η είσοδος αλλάζει πολύ γρήγορα η καθυστέρηση της πύλης προσδιορίζεται από το ρυθμό με τον οποίο τα στοιχεία φορτίζουν ή εκφορτίζουν το χωρητικό φορτίο της πύλης. Στην περίπτωση που η είσοδος αλλάζει αργά αυτό έχει ως συνέπεια την ύπαρξη επιπλέον καθυστέρησης.

Η καθυστέρηση είναι αντιστρόφως ανάλογη με την ικανότητα ρεύματος (κέρδος) των στοιχείων διαμέσου των οποίων γίνεται η φόρτιση ή η εκφόρτιση του χωρητικού φορτίου, και με την τάση τροφοδοσίας. Οι παραπάνω εξαρτήσεις φαίνονται και στις επόμενες αναλυτικές σχέσεις για τον υπολογισμό της καθυστέρησης ενός αντιστροφέα τεχνολογίας CMOS, για κατερχόμενη έξοδο:

$$Delay = Delay(step) + \frac{T_{in}}{6}(1 - 2n),$$

όπου T_{in} είναι ο χρόνος μετάβασης της εισόδου, $n = V_{in} / V_{DD}$ και $Delay(step)$ η καθυστέρηση για βηματική είσοδο (δηλ. με μηδενικό χρόνο μετάβασης),

$$Delay(step) = \frac{C_L / \beta_n}{V_{DD}(1-n)} \left[\frac{2n}{1-n} + \ln \left(\frac{2(1-n) - V_{out}}{V_{out}} \right) \right],$$

όπου β_n είναι το κέρδος του στοιχείου NMOS, C_L το χωρητικό φορτίο και V_{DD} η τάση τροφοδοσίας. Το παραπάνω μοντέλο υπολογισμού δεν είναι ακριβές για κυκλώματα με στοιχεία τα οποία έχουν μικρό μήκος καναλιού, αφού δεν λαμβάνει υπόψη τα φαινόμενα δεύτερης τάξης που συμβαίνουν στα στοιχεία αυτά. Ωστόσο, δείχνει την εξάρτηση της καθυστέρησης από τους σημαντικούς παράγοντες που την επηρεάζουν.

Η καθυστέρηση πιο σύνθετων πυλών μπορεί να προσεγγιστεί από την κατασκευή ενός “ισοδύναμου” αντιστροφέα. Το κέρδος των στοιχείων NMOS και PMOS του αντιστροφέα αυτού θα πρέπει να αντικατοπτρίζει τα αντίστοιχα κέρδη των τμημάτων N και P λογικής της σύνθετης πύλης.

Επιμέρους παράγοντες που επηρεάζουν την καθυστέρηση απόκρισης και δεν συμπεριλαμβάνονται στο παραπάνω μοντέλο υπολογισμού, είναι η ικανότητα ρεύματος των στοιχείων βραχυκυκλώματος (το σύνολο των στοιχείων που δημιουργούν αγώγιμο μονοπάτι από την τροφοδοσία στη γείωση κατά την διάρκεια της μετάβασης της εισόδου), και η παρασιτική χωρητικότητα μεταξύ της εισόδου και της εξόδου (coupling capacitance). Το ρεύμα που διέρχεται από τα στοιχεία βραχυκυκλώματος κατά την διάρκεια μετάβασης της εισόδου εμποδίζει την φόρτιση ή την εκφόρτιση του κόμβου εξόδου, με αποτέλεσμα την αύξηση της καθυστέρησης. Στην περίπτωση του αντιστροφέα με ανερχόμενη είσοδο το στοιχείο βραχυκυκλώματος είναι το PMOS, ενώ για κατερχόμενη είσοδο το NMOS στοιχείο. Η παρασιτική χωρητικότητα μεταξύ της εισόδου και της εξόδου αναγκάζει την έξοδο να υπερβεί την τάση τροφοδοσίας στην περίπτωση ανερχόμενης εισόδου (ή να πάρει αρνητική τιμή στην περίπτωση κατερχόμενης εισόδου) στην αρχή της μεταβολής της, προκαλώντας επιπλέον καθυστέρηση.

ΠΕΙΡΑΜΑΤΙΚΗ ΜΕΛΕΤΗ

A. ΠΑΡΑΣΙΤΙΚΕΣ ΧΩΡΗΤΙΚΟΤΗΤΕΣ

1. Σχεδιάστε μια πύλη NAND τεσσάρων εισόδων με τα εξής χαρακτηριστικά:

$$L_n = L_p = 1.2\mu\text{m}$$

$$W_n = 3.6\mu\text{m}, W_p = 7.2\mu\text{m}$$

Πλάτος λωρίδων μετάλλου τροφοδοσίας και γείωσης = $3.6\mu\text{m}$

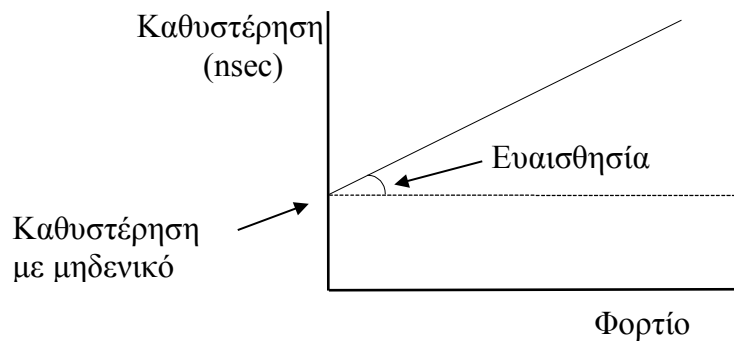
Πλάτος διασυνδέσεων μετάλλου = $2.4\mu\text{m}$.

- 2α. Υπολογίστε με βάση την θεωρία και τα στοιχεία του αρχείου τεχνολογίας που χρησιμοποιήσατε κατά το σχεδιασμό το σύνολο της χωρητικότητας εισόδου της πύλης.
- 2β. Ποιες επιμέρους παρασιτικές χωρητικότητες συνθέτουν την χωρητικότητα που υπολογίσατε;
- 2γ. Μετρήστε την χωρητικότητα εισόδου της πύλης χρησιμοποιώντας την σχετική δυνατότητα του εργαλείου. Επιλέξτε “View” στο κύριο μενού του εργαλείου και στη συνέχεια “View node”. Έπειτα επιλέξτε με διπλό πάτημα του αριστερού πλήκτρου του “ποντικιού” τον κόμβο του οποίου επιθυμείτε να μετρήσετε την χωρητικότητα. Η τιμή της χωρητικότητας αναγράφεται πάνω δεξιά στην οθόνη. Εναλλακτικός τρόπος μέτρησης των παρασιτικών χωρητικοτήτων είναι να επιλέξουμε “File” στο κύριο μενού του προγράμματος και στη συνέχεια “PSpice file”. Τότε παράγεται ένα αρχείο το οποίο περιέχει και τις χωρητικότητες όλων των κόμβων του κυκλώματος.
- 2δ. Που οφείλονται τυχόν διαφορές μεταξύ της τιμής που υπολογίστηκε και αυτής που μετρήθηκε με τη βοήθεια του εργαλείου;
- 3α. Μετρήστε την χωρητικότητα εξόδου της πύλης. Από ποιες επιμέρους παρασιτικές χωρητικότητες αποτελείται η χωρητικότητα αυτή;
- 3β. Σχεδιάστε έναν αντιστροφέα με τα χαρακτηριστικά που δίνονται στο σημείο 1 της άσκησης. Συνδέστε την είσοδο του αντιστροφέα στην έξοδο της πύλης NAND. Μετρήστε ξανά την χωρητικότητα εξόδου της πύλης NAND. Σε ποιές επιμέρους χωρητικότητες οφείλεται η αύξηση της χωρητικότητας εξόδου της πύλης;
4. Θεωρήστε ότι στην πύλη NAND εφαρμόζουμε ταυτόχρονες βηματικές ανερχόμενες εισόδους. Υπολογίστε την χωρητικότητα μεταξύ της εισόδου και της εξόδου της πύλης. Είναι η χωρητικότητα αυτή μεταβλητή;

B. ΠΑΡΑΓΟΝΤΕΣ ΠΟΥ ΕΠΗΡΕΑΖΟΥΝ ΤΗΝ ΚΑΘΥΣΤΕΡΗΣΗ

ΚΥΚΛΩΜΑΤΩΝ ΤΕΧΝΟΛΟΓΙΑΣ CMOS

1. Στην πύλη που σχεδιάστηκε στο τμήμα A εφαρμόστε ταυτόχρονες βηματικές (μηδενικοί χρόνοι ανόδου και καθόδου) κυματομορφές στις τρεις εισόδους και γραμμική κυματομορφή με χρόνους ανόδου και καθόδου 1nsec στην τέταρτη είσοδο. Χρησιμοποιείτε αρχικό χρόνο 2nsec κατά την διάρκεια του οποίου όλες οι εισοδοί θα έχουν μηδενική τάση. Επίσης η διάρκεια των παλμών σε όλες τις εισόδους πρέπει να είναι 15nsec. Μετρείστε την καθυστέρηση της πύλης από την τέταρτη είσοδο στην έξοδο. Μέσω ποιών στοιχείων γίνεται η εκφόρτιση της χωρητικότητας εξόδου;
2. Συνδέστε τον αντιστροφέα που σχεδιάστηκε στο 3β του τμήματος A της άσκησης στην έξοδο της πύλης και μετρήστε ξανά την καθυστέρηση. Που οφείλεται η μεταβολή της;
3. Εφαρμόστε στην πύλη κατερχόμενες εισόδους με αμετάβλητα τα υπόλοιπα χαρακτηριστικά και μετρείστε την καθυστέρηση. Ως προς ποιές εισόδους έχει νόημα η μέτρηση της καθυστέρησης της πύλης; Διαμέσου ποιών στοιχείων γίνεται η αλλαγή στην έξοδο της πύλης; Που οφείλεται η μεταβολή της καθυστέρησης;
4. Στο βήμα 1 της άσκησης, αλλάξτε το χρόνο εισόδου στην τέταρτη είσοδο σε 3nsec και παρατηρείστε την μεταβολή στην καθυστέρηση.
5. Επιλέξτε “File” στο κεντρικό μενού του προγράμματος και στη συνέχεια “Change Vdd”. Αλλάξτε την τιμή της τάσης τροφοδοσίας σε 3.5Volt και στη συνέχεια σε 2.5Volt και μετρήστε την καθυστέρηση και στις δύο περιπτώσεις. Σχεδιάστε ένα διάγραμμα που να δείχνει την εξάρτηση της καθυστέρησης της πύλης από την τάση τροφοδοσίας.
6. Υπολογίστε την ευαισθησία της πύλης ως προς την τέταρτη είσοδο χρησιμοποιώντας χρόνο ανόδου και καθόδου για την είσοδο αυτή ίσιο με 1nsec (τυπική τιμή), και διαφορετικά φορτία στην έξοδο. Η ευαισθησία δίνεται σε (nsec/pF) και ουσιαστικά είναι η κλίση της ευθείας που δημιουργείται αν σχεδιάσουμε ένα διάγραμμα της καθυστέρησης σε συνάρτηση με το φορτίο εξόδου, όπως φαίνεται στο σχήμα της επόμενης σελίδας. Αυτό πρέπει να γίνει για ανερχόμενη και κατερχόμενη έξοδο. Χρησιμοποιείτε σταθερή στάθμη τάσης στις υπόλοιπες εισόδους ίση με την τάση τροφοδοσίας.



ΜΕΛΕΤΗ ΤΗΣ ΚΑΤΑΝΑΛΩΣΗΣ ΕΝΕΡΓΕΙΑΣ ΤΩΝ
ΚΥΚΛΩΜΑΤΩΝ ΤΕΧΝΟΛΟΓΙΑΣ CMOS

ΑΝΤΙΚΕΙΜΕΝΟ

Αντικείμενο της άσκησης είναι η μελέτη ορισμένων σημαντικών παραγόντων που επηρεάζουν την κατανάλωση ενέργειας στα κυκλώματα τεχνολογίας CMOS.

ΘΕΩΡΙΑ

ΠΑΡΑΓΟΝΤΕΣ ΠΟΥ ΕΠΗΡΕΑΖΟΥΝ ΤΗΝ ΚΑΤΑΝΑΛΩΣΗ ΕΝΕΡΓΕΙΑΣ ΚΥΚΛΩΜΑΤΩΝ ΤΕΧΝΟΛΟΓΙΑΣ CMOS

Η ενέργεια που καταναλώνεται σε ένα κύκλωμα CMOS αποτελείται από τρεις συνιστώσες:

- Στατική κατανάλωση λόγω ρευμάτων διαρροής των στοιχείων,
- Δυναμική κατανάλωση λόγω της φόρτισης και εκφόρτισης των χωρητικών φορτίων και,
- Κατανάλωση βραχυκυκλώματος λόγω του ρεύματος από την τροφοδοσία στην γη κατά την διάρκεια της αλλαγής λογικής κατάστασης.

Η στατική κατανάλωση η οποία είναι μικρή σε σχέση με τις υπόλοιπες δύο συνιστώσες, προκαλείται κυρίως λόγω των διαρροών της αντίστροφης πόλωσης μεταξύ των περιοχών διάχυσης και υποστρώματος.

Η δυναμική κατανάλωση ενέργειας λόγω της φόρτισης ή της εκφόρτισης του χωρητικού φορτίου είναι η πιο σημαντική συνιστώσα στα στατικά κυκλώματα τεχνολογίας CMOS. Στον αντιστροφέα η ενέργεια αυτή στη διάρκεια ενός παλμού εισόδου δίνεται ως εξής:

$$E_D = C_L V_{DD}^2.$$

Προκύπτει λοιπόν ότι η συνιστώσα αυτή της κατανάλωσης είναι ανεξάρτητη από την κλίση της εισόδου και τα χαρακτηριστικά των στοιχείων του κυκλώματος. Η κατανάλωση ισχύος λόγω φόρτισης ή εκφόρτισης του χωρητικού φορτίου προκύπτει αν πολλαπλασιάσουμε την ενέργεια με την συχνότητα μετάβασης του κυκλώματος.

Όταν η είσοδος έχει κάποια κλίση, τότε τα δύο στοιχεία του αντιστροφέα άγουν για μικρό χρονικό διάστημα ταυτόχρονα προκαλώντας ένα μικρό παλμό ρεύματος ο οποίος έχει ως αποτέλεσμα την κατανάλωση βραχυκυκλώματος. Η κατανάλωση αυτή εξαρτάται από το χρόνο μετάβασης της εισόδου, το χωρητικό φορτίο και τα χαρακτηριστικά των στοιχείων της πύλης. Στον αντιστροφέα τεχνολογίας CMOS η ενέργεια βραχυκυκλώματος στη διάρκεια ενός παλμού εισόδου δίνεται ως εξής:

$$E_{SC} = \frac{\beta}{12} (V_{DD} - 2V_t)^3 T_{in},$$

όπου β είναι το κέρδος των στοιχείων, V_{DD} η τάση τροφοδοσίας, V_t η τάση κατωφλίου των στοιχείων και T_{in} ο χρόνος μετάβασης της εισόδου. Η παραπάνω σχέση έχει προκύψει με την

θεώρηση μηδενικού χωρητικού φορτίου. Αυτό έχει ως αποτέλεσμα να δίνει την μέγιστη ενέργεια βραχυκυκλώματος, αφού όσο αυξάνεται το χωρητικό φορτίο η ενέργεια βραχυκυκλώματος μειώνεται. Αργοί χρόνοι εισόδου μπορεί να οδηγήσουν σε αρκετά σημαντική κατανάλωση βραχυκυκλώματος (20%-30% της συνολικής κατανάλωσης).

ΠΕΙΡΑΜΑΤΙΚΗ ΜΕΛΕΤΗ

ΠΑΡΑΓΟΝΤΕΣ ΠΟΥ ΕΠΗΡΕΑΖΟΥΝ ΤΗΝ ΚΑΤΑΝΑΛΩΣΗ ΕΝΕΡΓΕΙΑΣ ΚΥΚΛΩΜΑΤΩΝ ΤΕΧΝΟΛΟΓΙΑΣ CMOS

1. Σχεδιάστε έναν αντιστροφέα με τα παρακάτω χαρακτηριστικά:

$$L_n = L_p = 1.2\mu\text{m}$$

$$W_n = 3.6\mu\text{m}$$

$$W_p = 8.4\mu\text{m}$$

Πλάτος λωρίδων μετάλλου τροφοδοσίας και γείωσης = $3.6\mu\text{m}$

Πλάτος διασυνδέσεων μετάλλου = $2.4\mu\text{m}$.

2. Εφαρμόστε στην είσοδο του αντιστροφέα έναν παλμό με αρχικό χρόνο 5nsec , χρόνους ανόδου και καθόδου 2nsec και χρόνο διάρκειας 10nsec .
3. Επειδή το εργαλείο MSK δεν έχει την δυνατότητα μέτρησης όλων των ρευμάτων σε εσωτερικούς κόμβους των κυκλωμάτων τεχνολογίας CMOS, για την μελέτη της κατανάλωσης ενέργειας στα κυκλώματα αυτά θα χρησιμοποιηθεί ο εξομοιωτής PSPICE. Για να γίνει αυτό θα πρέπει να υπάρχει το ισοδύναμο του κυκλώματος που επιθυμούμε να αναλύσουμε στη μορφή που απαιτεί ο εξομοιωτής αυτός. Η διαδικασία που πρέπει να ακολουθηθεί περιγράφεται παρακάτω:
 - Μετά το σχεδιασμό του αντιστροφέα επιλέξτε στο κεντρικό μενού "File" και στη συνέχεια "PSpice file", οπότε παράγεται αυτόματα ένα αρχείο που περιλαμβάνει πληροφορίες για τις συνδέσεις του κυκλώματος, καθώς και πληροφορίες για τις διεγέρσεις που έχουμε θέσει στις εισόδους του κυκλώματος, στη μορφή που τις απαιτεί ο εξομοιωτής PSPICE. Έτσι παράγεται ένα αρχείο με κατάληξη .CIR.
 - Χρησιμοποιώντας κάποιον editor (πχ. Edit) αφαιρέστε τα κομμάτια του αρχείου που ξεκινούν με την εντολή .MODEL.

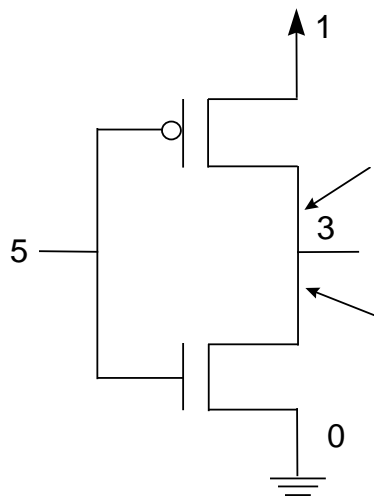
- Αντιγράψτε το αρχείο που περιέχει τις παραμέτρους των στοιχείων (mos.txt) που υπάρχει στον κατάλογο C:/SPICE (και περιγράφεται στο τέλος της άσκησης), μετά την πρώτη γραμμή του αρχείου.
- Στην εντολή .TRAN που υπάρχει στο αρχείο δηλώστε το χρονικό διάστημα που θα διαρκέσει η εξομοίωση του κυκλώματος (20nsec). Ο πρώτος χρόνος που αναφέρεται στην εντολή αυτή είναι το χρονικό βήμα που χρησιμοποιείται κατά την εξομοίωση και ο δεύτερος είναι το χρονικό διάστημα που διαρκεί η εξομοίωση.

4. Για την μέτρηση ρευμάτων σε εσωτερικούς κόμβους του κυκλώματος πρέπει να χρησιμοποιηθούν πηγές μηδενικής τάσης, οι οποίες θα προστεθούν στο ισοδύναμο του κυκλώματος (δηλ. στο αρχείο με κατάληξη .CIR). Στο PSPICE ισοδύναμο του αντιστροφέα η σύνδεση των στοιχείων έχει ως εξής:

```
MN1 0 5 3 0 TN W=3.6u L=1.2u
```

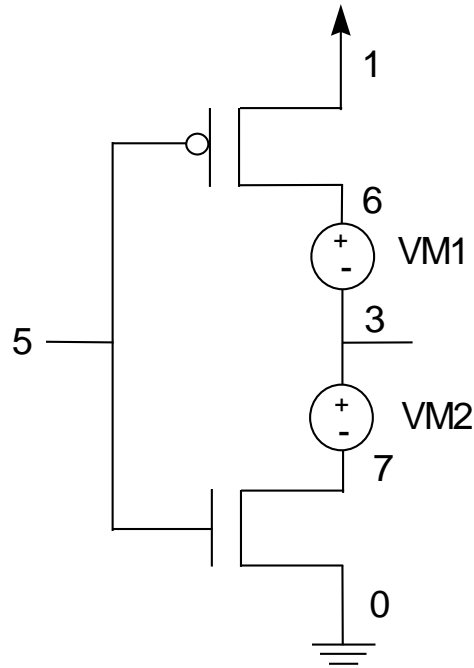
```
MP1 1 5 3 1 TP W=8.4u L=1.2u
```

και φαίνεται στο παρακάτω σχήμα.



Για την μέτρηση του ρεύματος στο χωρητικό φορτίο εξόδου και του ρεύματος βραχυκυκλώματος θα πρέπει να εισαχθούν δύο πηγές μηδενικής τάσης στα σημεία που δείχνουν τα δύο βέλη. Αυτό γίνεται εάν μεταβάλετε το PSPICE ισοδύναμο του αντιστροφέα όπως φαίνεται στο επόμενο σχήμα. Η καταχώριση πηγών τάσης γίνεται με τον εξής τρόπο:

```
VM NODE+ NODE- DC VALUE_IN_VOLTS .
```



Όπως παρατηρούμε στο σχήμα πρέπει να αλλάξουν και οι καταχωρίσεις των δύο στοιχείων MOS στο PSPICE ισοδύναμο του αντιστροφέα.

5. Μετά την δημιουργία του PSPICE ισοδύναμου, “τρέξετε” τον εξομοιωτή δίνοντας στον κατάλογο PSPICE την εντολή “ps”. Στο περιβάλλον του εξομοιωτή επιλέξτε “Files” και στη συνέχεια “Current”. Στο παράθυρο διαλόγου που εμφανίζεται δώστε το όνομα του αρχείου που περιέχει το PSPICE ισοδύναμο. Για να εκτελεστεί η εξομοίωση επιλέξτε “Analysis” στο κεντρικό μενού του προγράμματος και έπειτα “Start”. Για να παρατηρήσετε τις κυματομορφές των ρευμάτων επιλέξτε “Add_trace” και στη συνέχεια δώστε τα ονόματα των ρευμάτων που επιθυμείτε ($I(VM1)$, $I(VM2)$) ή κάποιο συνδυασμό των ρευμάτων αυτών (πχ. $I(VM2)-I(VM1)$).
- 6α. Μετρήστε κατά προσέγγιση την ενέργεια βραχυκυκλώματος και την ενέργεια που καταναλώνεται λόγω του χωρητικού φορτίου στην έξοδο κατά την διάρκεια ενός παλμού εισόδου, με την βοήθεια των δύο πηγών μηδενικής τάσης.
- 6β. Υπολογίστε με βάση την θεωρία τα μεγέθη που μετρήσατε στο προηγούμενο βήμα. Πρέπει όμως πριν να μετρηθεί η χωρητικότητα εξόδου του αντιστροφέα.
- 6γ. Που οφείλονται τυχόν διαφορές μεταξύ των τιμών που μετρήθηκαν και αυτών που υπολογίστηκαν με βάση την θεωρία;
7. Στο PSPICE ισοδύναμο, αυξήστε το φορτίο εξόδου κατά 200 fF, αλλάζοντας την χωρητικότητα του κόμβου εξόδου (C3).

Επαναλάβετε το βήμα 6α και εξηγήστε την μεταβολή των δύο ενεργειών.

8. Αλλάξτε τους χρόνους ανόδου και καθόδου της κυματομορφής εισόδου σε 4nsec (μεταβάλλοντας τις αντίστοιχες γραμμές στο SPICE ισοδύναμο) και εξηγήστε τις μεταβολές στην ενέργεια που καταναλώνεται στον αντιστροφέα.
9. Σχεδιάστε μια πύλη NAND τριών εισόδων με τα παρακάτω χαρακτηριστικά:
 $L_n = L_p = 1.2\mu\text{m}$
 $W_n = 3.6\mu\text{m}$
 $W_p = 8.4\mu\text{m}$
Πλάτος λωρίδων μετάλλου τροφοδοσίας και γείωσης = 3.6μm
Πλάτος διασυνδέσεων μετάλλου = 2.4μm.
Εφαρμόστε σε όλες τις εισόδους της πύλης έναν παλμό με αρχικό χρόνο 5nsec, χρόνους ανόδου και καθόδου 2nsec και χρόνο διάρκειας 10nsec.
10. Μετρήστε κατά προσέγγιση την ενέργεια βραχυκυκλώματος και την ενέργεια που καταναλώνεται λόγω του χωρητικού φορτίου στην έξοδο κατά την διάρκεια ενός παλμού εισόδου, με την μέθοδο που χρησιμοποιήθηκε και στην περίπτωση του αντιστροφέα (δηλ. με την βοήθεια πηγών μηδενικής τάσης).
11. Σε ποιον από τους δύο τύπους ενέργειας παρατηρείται αλλαγή ; Πού οφείλεται η ενδεχόμενη αλλαγή στα αποτελέσματα που προκύπτουν ;
12. Επαναλάβετε την μέτρηση και των δύο τύπων κατανάλωσης ενέργειας θέτοντας παλμό μονάχα στην μία είσοδο της πύλης, ενώ στις υπόλοιπες σταθερές στάθμες.
13. Που οφείλεται η ενδεχόμενη αλλαγή στις τιμές των ενεργειών που μετρήθηκαν ;

ΦΥΣΙΚΟΣ ΣΧΕΔΙΑΣΜΟΣ ΣΤΑΤΙΚΩΝ
ΠΥΛΩΝ CMOS ΠΟΛΥΠΛΟΚΗΣ ΛΟΓΙΚΗΣ

ΑΝΤΙΚΕΙΜΕΝΟ

Αντικείμενο της άσκησης είναι ο σχεδιασμός στατικών κυκλωμάτων CMOS πολύπλοκης λογικής. Η μέθοδος σχεδιασμού που θα μελετηθεί είναι αυτή της χρησιμοποίησης “μονοπατιών Euler”.

ΘΕΩΡΙΑ

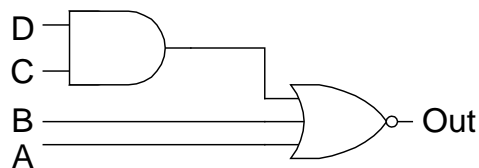
ΦΥΣΙΚΟΣ ΣΧΕΔΙΑΣΜΟΣ ΠΥΛΩΝ ΠΟΛΥΠΛΟΚΗΣ ΛΟΓΙΚΗΣ

Οι στατικές πύλες τεχνολογίας CMOS μπορούν να σχεδιαστούν χρησιμοποιώντας μια σειρά με στοιχεία τύπου n κάτω από μια σειρά με στοιχεία τύπου p που έχουν κατάλληλα ευθυγραμμιστεί έτσι ώστε να υπάρχουν κοινές συνδέσεις πύλης. Μια από τις τεχνικές που αυτοματοποιούν το σχεδιασμό πυλών πολύπλοκης λογικής είναι αυτή που χρησιμοποιεί τα μονοπάτια Euler με την οποία μπορεί να επιτευχθεί ο σχεδιασμός μιας πύλης κατά συνεχή τρόπο. Για να βρεθούν τα μονοπάτια Euler σε ένα κύκλωμα CMOS θα πρέπει αρχικά να έχουμε το κυκλωματικό διάγραμμα του σε επίπεδο στοιχείων τύπου n και p . Στη συνέχεια ονομάζουμε τους ακροδέκτες των πυλών των στοιχείων. Μονοπάτι Euler είναι αυτό το οποίο περιλαμβάνει όλους τους ακροδέκτες πυλών στο λογικό δένδρο n ή p τύπου, έτσι ώστε ο καθένας να εμφανίζεται μονάχα μια φορά. Για να σχεδιαστεί μια πύλη πολύπλοκης λογικής κατά συνεχή τρόπο θα πρέπει να βρεθεί ένα μονοπάτι Euler στο λογικό δένδρο τύπου n που να έχει ταυτόσημη ακολουθία ονομάτων με ένα μονοπάτι Euler του λογικού δένδρου τύπου p . Στη συνέχεια τοποθετούνται οι κάθετες γραμμές πολυκρυσταλλικού πυριτίου σύμφωνα με την ακολουθία ονομάτων του κοινού μονοπατιού Euler. Τέλος, με χρήση επαφών μετάλλου διάχυσης και συνδέσεων μετάλλου ολοκληρώνεται ο φυσικός σχεδιασμός της πύλης.

Παράδειγμα:

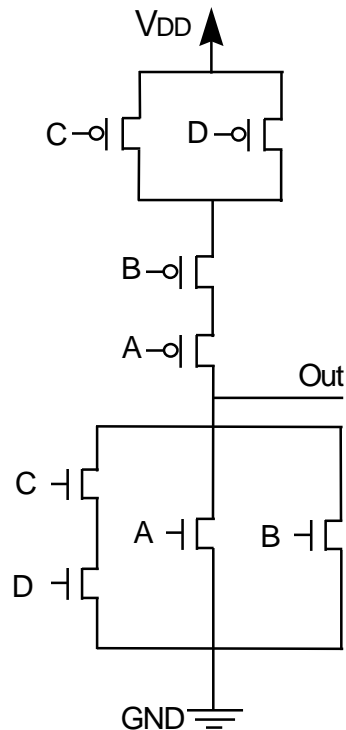
Στο παρακάτω σχήμα δίνεται το διάγραμμα σε επίπεδο λογικών πυλών του κυκλώματος που υλοποιεί την λογική συνάρτηση:

$$\text{Out} = \text{Not} (A + B + C D)$$



Το πρώτο βήμα που πρέπει να γίνει είναι να παραχθεί το κυκλωματικό διάγραμμα σε επίπεδο τρανζίστορ. Στο λογικό δένδρο n τύπου η λογική λειτουργία OR (+) υλοποιείται με παράλληλη σύνδεση των τρανζίστορ, ενώ η λογική λειτουργία AND υλοποιείται με σειριακή

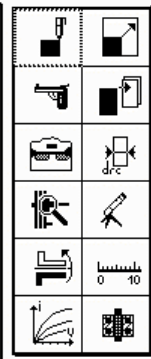
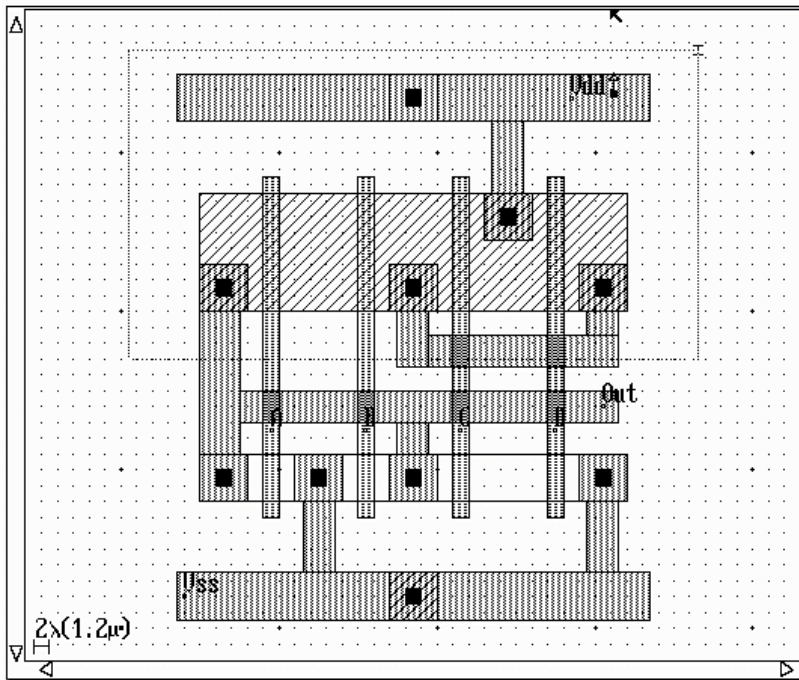
σύνδεση των τρανζίστορ. Το λογικό δένδρο p τύπου είναι το δυαδικό του λογικού δένδρου n τύπου. Ακολουθώντας λοιπόν τους παραπάνω κανόνες παράγεται το επόμενο κυκλωματικό διάγραμμα.



Όπως αναφέρθηκε παραπάνω η τεχνική που θα απλοποιήσει και κατά κάποιο τρόπο θα απλοποιήσει τον σχεδιασμό είναι αυτή που χρησιμοποιεί τα μονοπάτια Euler με την οποία μπορεί να επιτευχθεί ο σχεδιασμός μιας πύλης κατά συνεχή τρόπο. Ένα μονοπάτι Euler στο παραπάνω κυκλωματικό διάγραμμα είναι το εξής: A B C D.

Το πρώτο βήμα του φυσικού σχεδιασμού της πύλης είναι η τοποθέτηση κάθετων λωρίδων πολυκρυσταλλικού πυριτίου σύμφωνα με την ακολουθία του κοινού μονοπατιού που βρέθηκε παραπάνω. Στη συνέχεια τοποθετούνται οι δύο παράλληλες περιοχές διάχυσης n και p τύπου οι οποίες τέμνουν κάθετα τις λωρίδες πολυκρυσταλλικού πυριτίου, έτσι ώστε να δημιουργηθούν τα τρανζίστορς της πύλης. Το επόμενο βήμα είναι ο σχεδιασμός των λωρίδων μετάλλου της τροφοδοσίας και της γείωσης. Στη συνέχεια σχεδιάζουμε την περιοχή του “πηγαδιού” τύπου n η οποία περικλείει τα τρανζίστορς τύπου p . Με βάση την συνδεσμολογία των τρανζίστορς που φαίνεται στο κυκλωματικό διάγραμμα σχεδιάζουμε τις διασυνδέσεις της πύλης χρησιμοποιώντας λωρίδες μετάλλου. Η σύνδεση των λωρίδων μετάλλου με τις περιοχές διάχυσης γίνεται μέσω των αντίστοιχων επαφών που μας παρέχει η βιβλιοθήκη βασικών στοιχείων του εργαλείου. Για να ολοκληρωθεί ο σχεδιασμός της πύλης πολώνουμε το “πηγάδι” τύπου n και το υπόστρωμα τύπου p με τις κατάλληλες επαφές, όπως φαίνεται στο παρακάτω σχήμα.

File Simulate Compile View Hardcopy Undo Draw

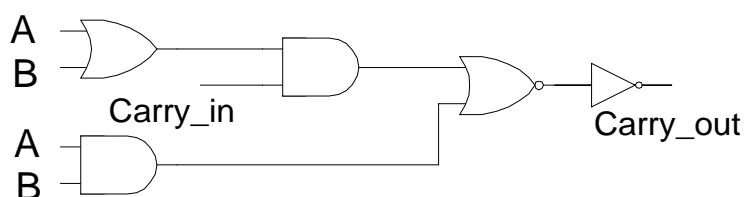


	BP
	M2
	UI
	ME
	PO
	CO
	DH
	DP
	HU
	PA

ΣΧΕΔΙΑΣΜΟΣ

ΦΥΣΙΚΟΣ ΣΧΕΔΙΑΣΜΟΣ ΠΥΛΩΝ ΠΟΛΥΠΛΟΚΗΣ ΛΟΓΙΚΗΣ

1. Στο παρακάτω σχήμα δίνεται το διάγραμμα σε επίπεδο λογικών πυλών του κυκλώματος που παράγει το κρατούμενο σε έναν πλήρη αθροιστή. Να παραχθεί η λογική συνάρτηση που υλοποιεί το κύκλωμα αυτό και στη συνέχεια να σχεδιαστεί το κυκλωματικό διάγραμμα σε επίπεδο στοιχείων τύπου n και p, έτσι ώστε να είναι δυνατός ο φυσικός του σχεδιασμός κατά συνεχή τρόπο (δηλαδή σε μια βαθμίδα και έναν αντιστροφέα).



2. Βρείτε ένα κοινό μονοπάτι Euler στα δένδρα στοιχείων τύπου n και τύπου p, σύμφωνα με αυτά που αναφέρθηκαν στην θεωρία.
3. Με βάση αυτό το κοινό μονοπάτι, σχεδιάστε το κύκλωμα παραγωγής του κρατούμενου χρησιμοποιώντας τα παρακάτω μεγέθη:
 $L_n = L_p = 1.2\mu\text{m}$
 $W_n = 3.6\mu\text{m}, W_p = 7.2\mu\text{m}$
Πλάτος λωρίδων μετάλλου τροφοδοσίας και γείωσης = $3.6\mu\text{m}$
Πλάτος διασυνδέσεων μετάλλου = $2.4\mu\text{m}$.
4. Μετρήστε τις χωρητικότητες εισόδου και εξόδου του κυκλώματος.
5. Μετρήστε την καθυστέρηση του παραπάνω κυκλώματος από την είσοδο Carry_in στην έξοδο. Κατά την εξομοίωση χρησιμοποιείτε διαδοχικούς παλμούς στην είσοδο Carry_in με χρόνους ανόδου και καθόδου 2nsec, χρόνο διάρκειας 7nsec και αρχικό χρόνο 2nsec και εφαρμόστε σταθερές στάθμες στις υπόλοιπες δύο εισόδους (B = 5 Volts, A = 0 Volts).
6. Επιλέξτε στο κεντρικό μενού "File" και στη συνέχεια "PSpice file", οπότε παράγεται αυτόματα το αρχείο (με κατάληξη .CIR) που περιλαμβάνει πληροφορίες για τις συνδέσεις του κυκλώματος, καθώς και πληροφορίες για τις διεγέρσεις που έχουμε θέσει στις εισόδους του κυκλώματος, στη μορφή που τις απαιτεί ο εξομοιωτής PSPICE. Αφαιρέστε τα κομμάτια του αρχείου που ξεκινούν με την εντολή .MODEL. Αντιγράψτε

το αρχείο που περιέχει τις παραμέτρους των στοιχείων (mos.txt) που υπάρχει στον κατάλογο C:/SPICE μετά την πρώτη γραμμή του αρχείου. Στην εντολή .TRAN που υπάρχει στο αρχείο δηλώστε το χρονικό διάστημα που θα διαρκέσει η εξομοίωση του κυκλώματος (20nsec).

7. Για την μέτρηση ρευμάτων σε εσωτερικούς κόμβους του κυκλώματος πρέπει να χρησιμοποιηθούν πηγές μηδενικής τάσης, οι οποίες θα προστεθούν στο ισοδύναμο του κυκλώματος. Προσθέστε στο PSPICE ισοδύναμο του κυκλώματος τις κατάλληλες πηγές μηδενικής τάσης, έτσι ώστε να μετρήσετε τα ρεύματα φόρτισης και εκφόρτισης του εσωτερικού κόμβου και της συνολικής εξόδου, καθώς και τα ρεύματα βραχυκυκλώματος στο κύκλωμα που σχεδιάστηκε.

ΦΥΣΙΚΟΣ ΣΧΕΔΙΑΣΜΟΣ ΚΥΚΛΩΜΑΤΩΝ
ΜΕ “ΤΡΑΝΖΙΣΤΟΡ ΠΕΡΑΣΜΑΤΟΣ”
ΚΑΙ ΚΥΚΛΩΜΑΤΩΝ ΜΝΗΜΗΣ

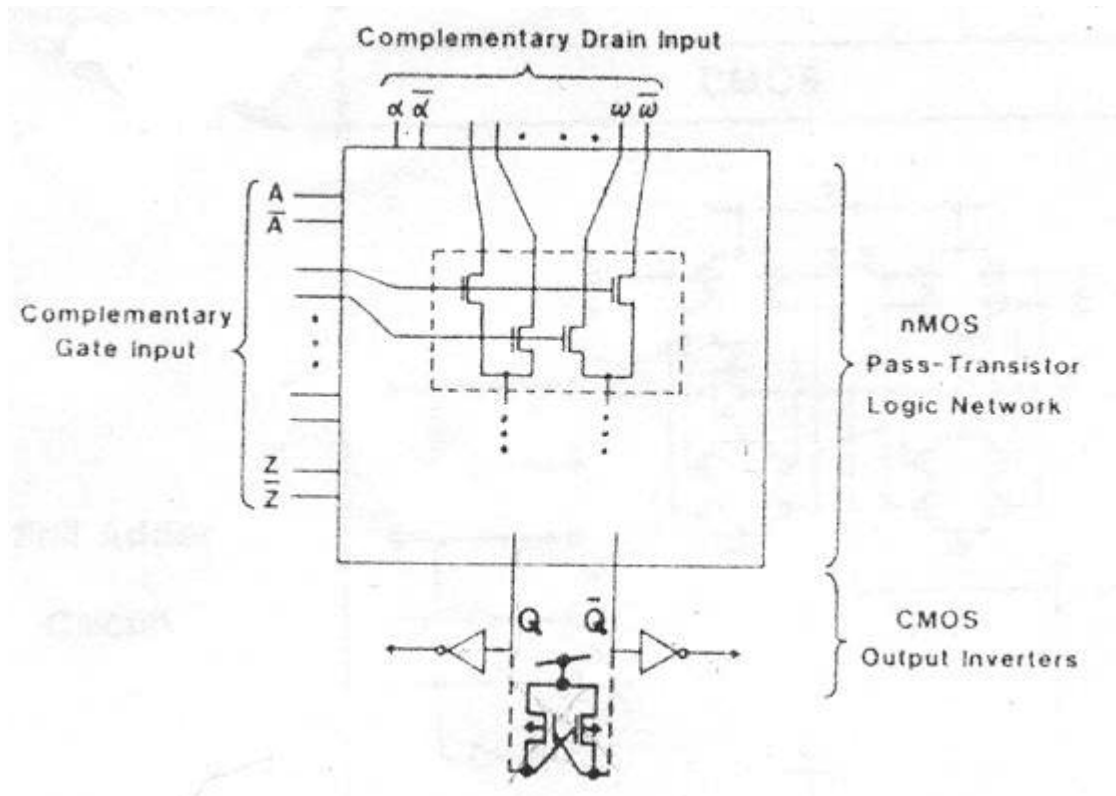
ΑΝΤΙΚΕΙΜΕΝΟ

Αντικείμενο της άσκησης είναι η μελέτη του σχεδιασμού κυκλωμάτων που βασίζονται σε λογική “τρανζίστορ περάσματος” (pass-transistor logic) και ο σχεδιασμός κυκλωμάτων μνήμης.

ΘΕΩΡΙΑ

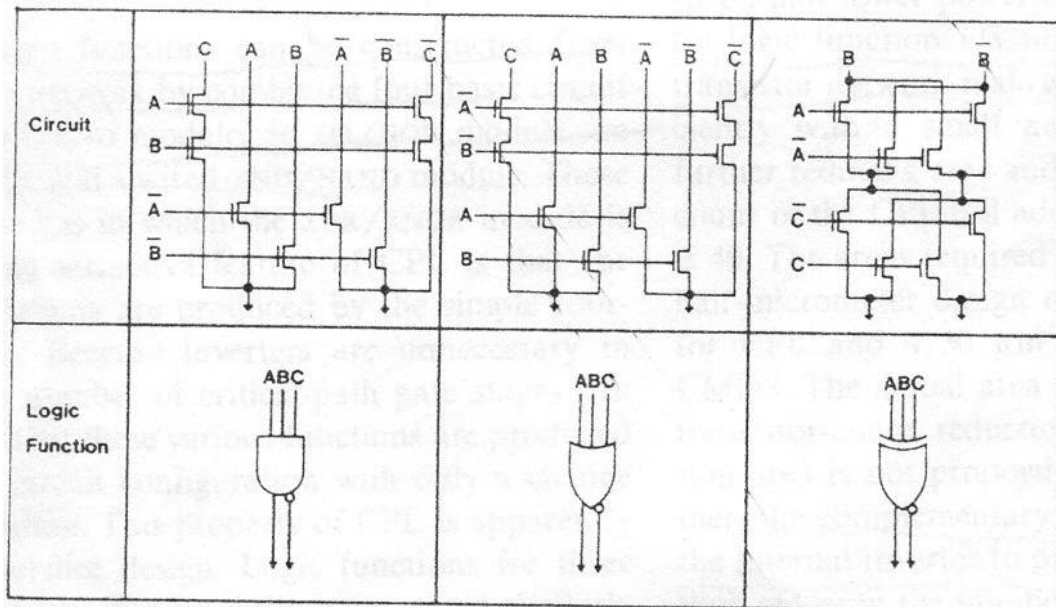
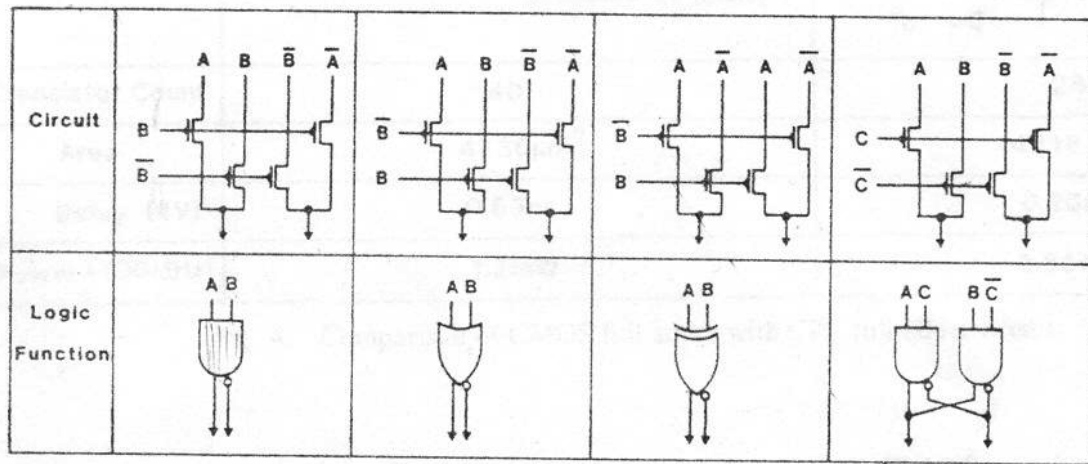
Α. ΦΥΣΙΚΟΣ ΣΧΕΔΙΑΣΜΟΣ ΜΕ ΛΟΓΙΚΗ “ΤΡΑΝΖΙΣΤΟΡ ΠΕΡΑΣΜΑΤΟΣ”

Η βασική δομή της λογικής “τρανζίστορ περάσματος” δίνεται στο παρακάτω σχήμα. Το πρόβλημα που δημιουργείται στα κυκλώματα που σχεδιάζονται με αυτή την λογική είναι η πτώσης τάσης διαμέσου ενός στοιχείου τύπου n που είναι ίση με την τάση κατωφλίου του, και έχει ως αποτέλεσμα η υψηλή λογική στάθμη να παρουσιάζεται μικρότερη από την τάση τροφοδοσίας. Όπως φαίνεται και στο παρακάτω σχήμα, για να λυθεί το πρόβλημα αυτό χρησιμοποιούνται οι στατικοί αντιστροφείς εξόδου οι οποίοι ενισχύουν το σήμα και οδηγούν το τυχόν χωρητικό φορτίο της πύλης. Μια πύλη που χρησιμοποιεί την λογική “τρανζίστορ περάσματος” δέχεται τα σήματα ελέγχου στις πύλες των στοιχείων της και τα σήματα “περάσματος” στις υποδοχές των στοιχείων της, έτσι ώστε να υλοποιείται κάθε φορά η λογική συνάρτησή της.



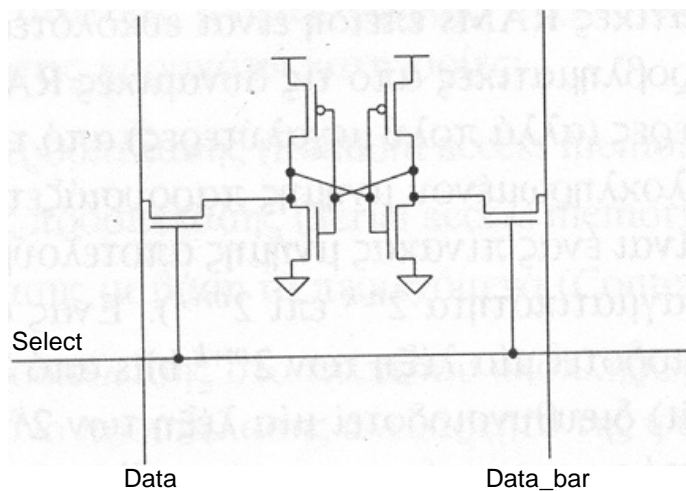
Λόγω της μικρής παρασιτικής χωρητικότητας τα δίκτυα με στοιχεία περάσματος έχουν σημαντικές εφαρμογές σε συστήματα με χαμηλή κατανάλωση ενέργειας και υψηλή απόδοση. Τα κυκλώματα λογικής “τρανζίστορ περάσματος” χρησιμοποιούνται σε εφαρμογές που απαιτούν χαμηλή κατανάλωση ενέργειας όχι μόνο λόγω της μικρής χωρητικότητας εισόδου που διαθέτουν, αλλά και λόγω του ότι η διαφορά μεταξύ των λογικών σταθμών στις εξόδους τους (Q , \bar{Q}) είναι μικρότερη από την τάση τροφοδοσίας. Με σκοπό την αποφυγή διαρροής στους αντιστροφείς εξόδου, μπορεί στις εξόδους των πυλών να εφαρμοστεί ένας μανταλωτής (latch) με στοιχεία τύπου p, όπως φαίνεται στο παραπάνω σχήμα.

Στο επόμενο σχήμα δίνεται η υλοποίηση βασικών πυλών τεχνολογίας CMOS με χρήση της λογικής “τρανζίστορ περάσματος”.



B. ΦΥΣΙΚΟΣ ΣΧΕΔΙΑΣΜΟΣ ΚΥΚΛΩΜΑΤΩΝ ΜΝΗΜΗΣ

Στο παρακάτω σχήμα δίνεται το κυκλωματικό διάγραμμα ενός στοιχείου μνήμης τυχαίας προσπέλασης (RAM cell). Στο στοιχείο αυτό χρησιμοποιείται το κύκλωμα του αντιστροφέα διασταυρωμένης σύζευξης (cross-coupled). Για την υλοποίηση μιας μνήμης τυχαίας προσπέλασης απαιτείται η οργάνωση σε γραμμές και στήλες πολλών βασικών στοιχείων.

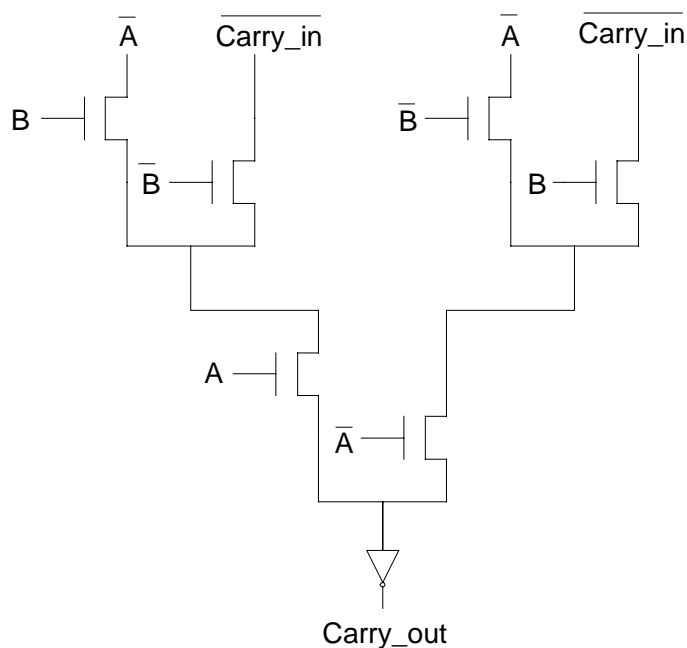


Η γραμμή επιλογής “Select” περνά από όλα τα στοιχεία μιας γραμμής, ενώ η γραμμή “Data” και η συμπληρωματική της περνούν από όλα τα στοιχεία μιας στήλης της μνήμης. Οι λειτουργίες ενός βασικού στοιχείου μνήμης είναι η ανάγνωση και η εγγραφή. Για να “διαβάσουμε” το περιεχόμενο ενός στοιχείου θέτουμε την γραμμή “Select” στη λογική στάθμη “1”. Τότε η τιμή που περιέχεται στο στοιχείο διαδίδεται στη γραμμή “Data” και η συμπληρωματική της στη γραμμή “Data_bar”. Η διαδικασία εγγραφής έχει ως εξής: Ας υποθέσουμε ότι στον κόμβο “Memory” είναι αποθηκευμένη η τιμή “0” και θέλουμε να θέσουμε τον κόμβο αυτό σε λογική στάθμη “1”, δηλαδή να “γράψουμε” στη μνήμη την τιμή “1”. Θέτουμε στη γραμμή “Data” την τιμή “1” και στη συμπληρωματική της την τιμή “0”. Στη συνέχεια θέτουμε στη γραμμή επιλογής (Select) την τιμή “1” και μέσω του αντιστροφέα διασταυρωμένης σύζευξης ο κόμβος “Memory” παίρνει την τιμή “1”, που θέλαμε να “γράψουμε” στη μνήμη. Τέλος, η γραμμή επιλογής απενεργοποιείται, και το στοιχείο της μνήμης τίθεται σε “κατάσταση μνήμης” (memory state).

ΣΧΕΔΙΑΣΜΟΣ

A. ΦΥΣΙΚΟΣ ΣΧΕΔΙΑΣΜΟΣ ΜΕ ΛΟΓΙΚΗ “ΤΡΑΝΖΙΣΤΟΡ ΠΕΡΑΣΜΑΤΟΣ”

1. Το κυκλωματικό διάγραμμα σε επίπεδο στοιχείων τύπου n για το κύκλωμα παραγωγής του κρατουμένου σε έναν πλήρη αθροιστή με χρήση λογικής “τρανζίστορ περάσματος” φαίνεται στο παρακάτω σχήμα.



Δώστε το φυσικό σχεδιασμό του παραπάνω κυκλώματος χρησιμοποιώντας τα μεγέθη που δόθηκαν στην Άσκηση 4.

2. Μετρήστε με την βοήθεια της δυνατότητας που δίνει το εργαλείο MSK τις χωρητικότητες εισόδου και εξόδου του κυκλώματος. Συγκρίνετε τις τιμές αυτές με εκείνες που προέκυψαν στην Άσκηση 4. Ποια είναι τα συμπεράσματά σας όσον αφορά την κατανάλωση ενέργειας των δύο κυκλωμάτων;
3. Εξομοιώστε το παραπάνω κύκλωμα χρησιμοποιώντας τα δεδομένα που δόθηκαν στην Άσκηση 4 και μετρήστε την καθυστέρηση της εξόδου ως προς την έξοδο A. Συγκρίνετε την τιμή αυτή με εκείνη που μετρήθηκε στην Άσκηση 4.
4. Υπάρχει πιθανότητα διαρροής ρεύματος στο παραπάνω κύκλωμα μετά τον υπολογισμό του κρατουμένου; Αν ναι, που οφείλεται η διαρροή αυτή;

B. ΦΥΣΙΚΟΣ ΣΧΕΔΙΑΣΜΟΣ ΚΥΚΛΩΜΑΤΩΝ ΜΝΗΜΗΣ

1. Δεδομένου του κυκλωματικού διαγράμματος του στοιχείου μνήμης τυχαίας προσπέλασης που υπάρχει στη θεωρία της άσκησης, δώστε το φυσικό σχεδιασμό του. Οι γραμμές “Select” και “Data” πρέπει να σχεδιαστούν έτσι ώστε να μπορούν να συνδεθούν εύκολα πολλά στοιχεία μαζί και να αποτελέσουν μια ολοκληρωμένη μνήμη. Έτσι η γραμμή επιλογής πρέπει να υλοποιηθεί με μέταλλο, ενώ η γραμμή δεδομένων και η συμπληρωματική της πρέπει να υλοποιηθούν με μέταλλο δευτέρου επιπέδου (metal 2), ώστε να μην υπάρξουν βραχυκυκλώματα. Κατά το σχεδιασμό θα χρησιμοποιηθούν τα παρακάτω μεγέθη:

$$L_n = L_p = 1.2\mu\text{m}$$

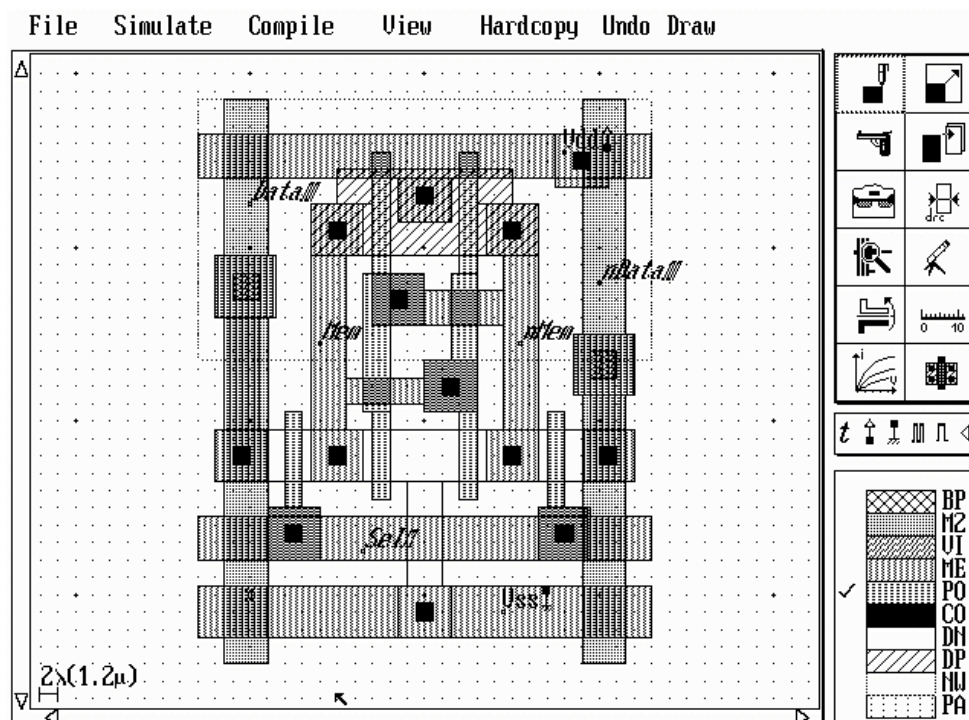
$$W_n = 3.6\mu\text{m}$$

$$W_p = 6\mu\text{m}$$

$$\text{Πλάτος λωρίδων μετάλλου τροφοδοσίας και γείωσης} = 3.6\mu\text{m}$$

$$\text{Πλάτος συνδέσεων μετάλλου} = 3\mu\text{m}$$

$$\text{Πλάτος συνδέσεων μετάλλου δευτέρου επιπέδου} = 3\mu\text{m}.$$

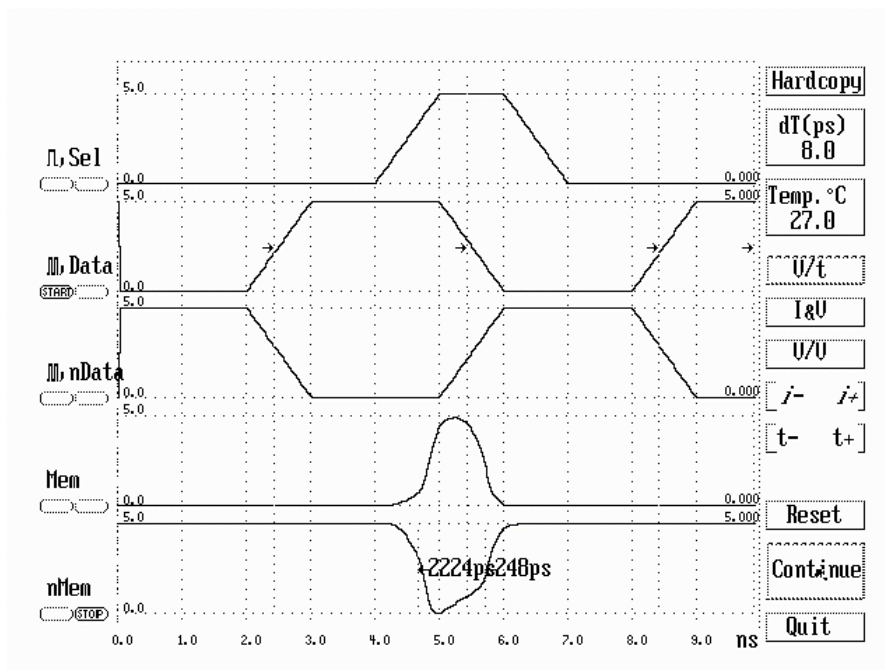


2. Εξομοιώστε την διαδικασία εγγραφής της τιμής “1” στο στοιχείο μνήμης, με βάση τα στοιχεία που αναφέρθηκαν στη θεωρία της άσκησης. Οι διεγέρσεις που θα χρησιμοποιηθούν είναι οι εξής:

Διαδοχικοί παλμοί στη γραμμή δεδομένων με αρχικό χρόνο 2nsec, χρόνο διάρκειας 2nsec και χρόνους ανόδου και καθόδου 1nsec. Αντίθετοι παλμοί με τα ίδια χαρακτηριστικά στη συμπληρωματική γραμμή δεδομένων.

Απλός παλμός στη γραμμή επιλογής με αρχικό χρόνο 4nsec, χρόνο διάρκειας 1nsec και χρόνους ανόδου και καθόδου 1nsec.

Κατά την εξομοίωση, επιλέξτε αρχικά “Reset”, ώστε να πάρει ο κόμβος “Memory” την τιμή “0”. Τα χρονικά διαγράμματα που περιγράφουν την διαδικασία εγγραφής της τιμής “1” στη μνήμη είναι τα παρακάτω.



ΚΑΝΟΝΕΣ ΣΧΕΔΙΑΣΜΟΥ ΚΑΙ
ΠΑΡΑΜΕΤΡΟΙ ΤΕΧΝΟΛΟΓΙΑΣ CMOS

Οι κανόνες σχεδιασμού της τεχνολογίας CMOS που θα πρέπει να τηρηθούν στις εργαστηριακές ασκήσεις, βασίζονται στο μέγεθος λ . Το λ δεν είναι τίποτε άλλο από το μισό του ελάχιστου μήκους της πύλης πολυκρυσταλλικού πυριτίου ενός τρανζίστορ, του οποίου τη χρήση επιτρέπει μια δεδομένη τεχνολογία σχεδιασμού CMOS.

Στον επόμενο πίνακα παρουσιάζεται η τιμή του λ για μερικές τεχνολογίες σχεδιασμού (δηλαδή η αντιστοιχία του με το εκάστοτε ελάχιστο επιτρεπτό μήκος πύλης των τρανζίστορ).

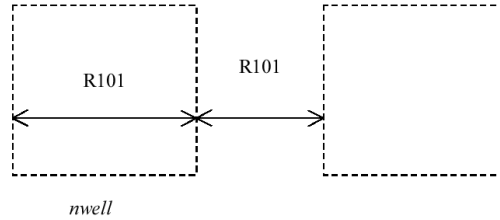
Minimum gate length	Value of lambda
1.2 μm	0.6 μm
0.7 μm	0.35 μm
0.5 μm	0.25 μm
0.4 μm	0.2 μm

Στη συνέχεια δίνονται οι βασικοί κανόνες σχεδιασμού τεχνολογίας CMOS (με βάση το μέγεθος λ), που θα πρέπει να τηρηθούν στις εργαστηριακές ασκήσεις.

Μετά τους κανόνες σχεδιασμού δίνονται οι παράμετροι μιας τεχνολογίας CMOS 1.2 μm για το εργαλείο εξομοίωσης SPICE (επιπέδου 3), που θα πρέπει να χρησιμοποιηθούν στις εργαστηριακές ασκήσεις.

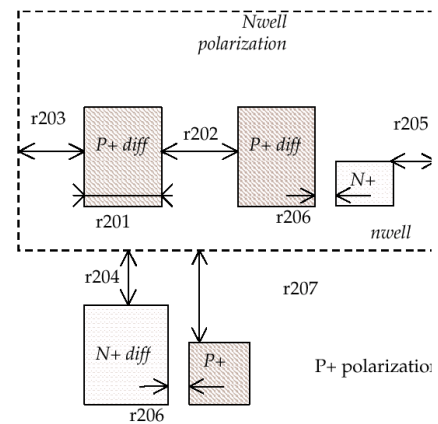
11.3 N-Well

r101	Minimum well size	12λ
r102	Between wells	12λ
r110	Minimum well area	$144 \lambda^2$



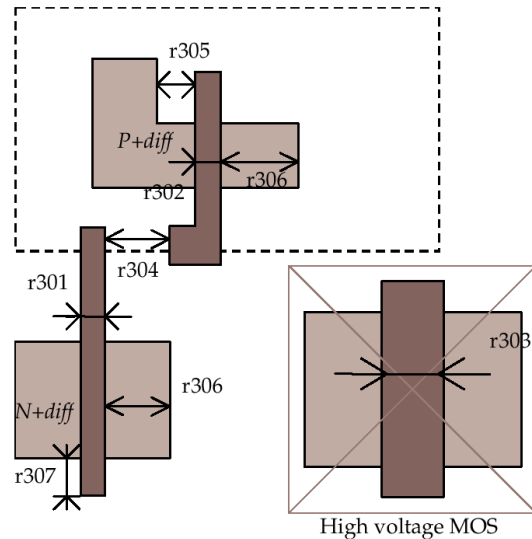
11.4 Diffusion

r201	Minimum N+ and P+ diffusion width	4λ
r202	Between two P+ and N+ diffusions	4λ
r203	Extra nwell after P+ diffusion :	6λ
r204:	Between N+ diffusion and nwell	6λ
r205	Border of well after N+ polarization	2λ
r206	Between N+ and P+ polarization	0λ
r207	Border of Nwell for P+ polarization	6λ
r210	Minimum diffusion area	$24 \lambda^2$



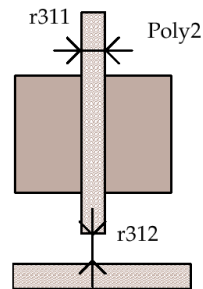
11.5 Polysilicon

r301	Polysilicon width	2λ
R302	Polysilicon gate on diffusion	2λ
R303	Polysilicon gate for high voltage MOS	4λ
R304	Between two polysilicon boxes	3λ
R305	Polysilicon vs. other diffusion	2λ
R306	Diffusion after polysilicon	4λ
R307	Extra gate polysilicon	3λ
r310	Minimum surface	$8 \lambda^2$



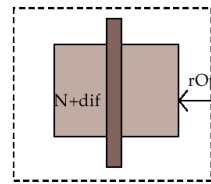
11.6 2nd Polysilicon Design Rules

r311	Polysilicon2 width	2λ
r312	Polysilicon2 gate on diffusion	2λ
r320	Polysilicon2 minimum surface	$8 \lambda^2$



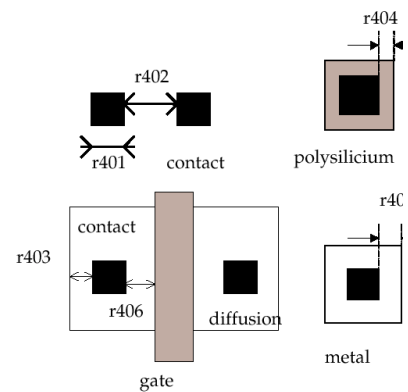
11.7 MOS option

rOpt Border of "option" layer over diff 7λ
N+ and diff P+



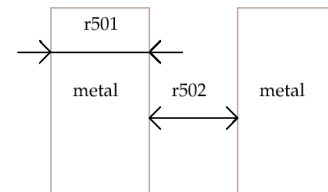
11.8 Contact

r401	Contact width	2λ
r402	Between two contacts	5λ
r403	Extra diffusion over contact	2λ
r404	Extra poly over contact	2λ
r405	Extra metal over contact	2λ
r406	Distance between contact and poly gate	3λ
r407	Extra poly2 over contact	2λ



11.9 Metal 1

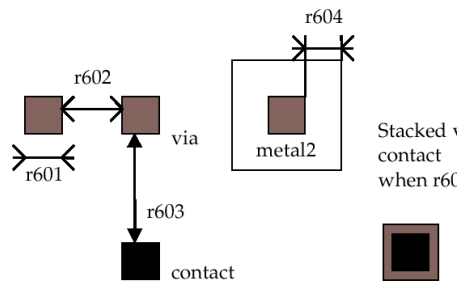
r501	Metal width	4λ
r502	Between two metals	4λ
r510	Minimum surface	$16 \lambda^2$



11.10 Via

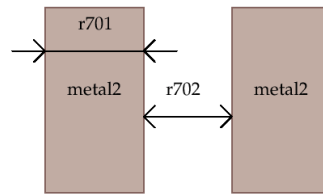
r601	Via width	2λ
r602	Between two Via	5λ
r603	Between Via and contact	0λ

- r604 Extra metal over via 2λ
- r605 Extra metal2 over via: 2λ



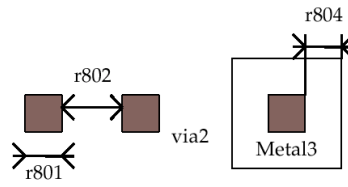
11.11 Metal 2

- r701 Metal width:: 4λ
- r702 Between two metal2 4λ
- r710 Minimum surface $16 \lambda^2$



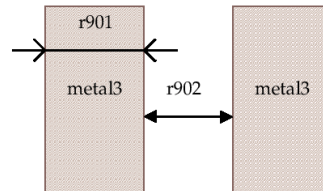
11.12 Via 2

- r801 Via2 width : 2λ
- r802 Between two Via2: 5λ
- r804 Extra metal2 over via2: 2λ
- r805 Extra metal3 over via2: 2λ



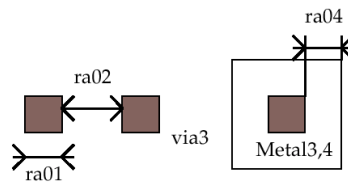
11.13 Metal 3

- r901 Metal3 width: 4λ
- r902 Between two metal3 : 4λ
- r910 Minimum surface : $32 \lambda^2$



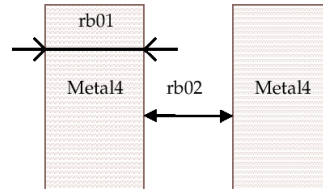
11.14 Via 3

- ra01 Via3 width : 2λ
- ra02 Between two Via3: 5λ
- ra04 Extra metal3 over via3: 2λ
- ra05 Extra metal4 over via3: 2λ



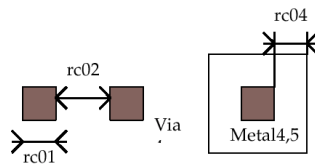
11.15 Metal 4

- rb01 Metal4 width: 4λ
- rb02 Between two metal4 : 4λ
- rb10 Minimum surface : $32 \lambda^2$



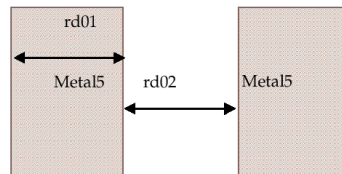
11.16 Via 4

rc01 Via4 width : 2λ
 rc02 Between two Via4: 5λ
 rc04 Extra metal4 over via2: 3λ
 rc05 Extra metal5 over via2: 3λ



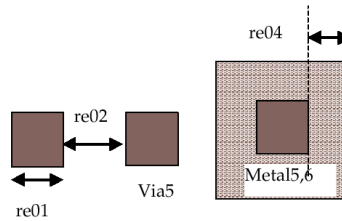
11.17 Metal 5

rd01 Metal5 width: 8λ
 rd02 Between two metal5 : 8λ
 rd10 Minimum surface : $100 \lambda^2$



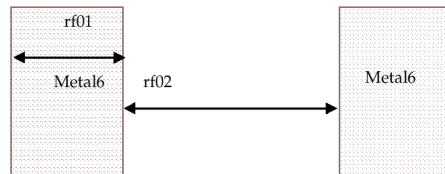
11.18 Via 5

re01 Via5 width : 4λ
 re02 Between two Via5: 6λ
 re04 Extra metal5 over via5: 3λ
 re05 Extra metal6 over via5: 3λ



11.19 Metal 6

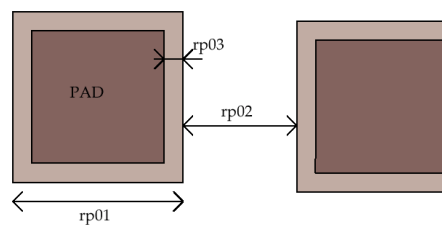
rf01 Metal6 width: 8λ
 rf02 Between two metal6 : 15λ
 rf10 Minimum surface : $300 \lambda^2$



11.20 Pads

The rules are presented below in μm . In .RUL files, the rules are given in lambda. As the pad size has an almost constant value in μm , each technology gives its own value in λ .

rp01 Pad width: $100 \mu\text{m}$
 rp02 Between two pads $100 \mu\text{m}$
 rp03 Opening in passivation v.s via : $5 \mu\text{m}$
 rp04 Opening in passivation v.s metals: $5 \mu\text{m}$
 rp05 Between pad and unrelated active area : $20 \mu\text{m}$



ΠΑΡΑΜΕΤΡΟΙ ΤΕΧΝΟΛΟΓΙΑΣ CMOS 1.2 μm

.MODEL TN NMOS (LEVEL=3

+ PHI=0.700000

+ TOX=2.0100E-08

+ XJ=0.200000U

+ TPG=1

+ VTO=0.9286

+ DELTA=1.2920E+00

+ LD=1.5160E-07

+ KP=9.3183E-05

+ UO=542.4

+ THETA=1.1130E-01

+ RSH=4.4630E+01

+ GAMMA=0.6524

+ NSUB=3.7840E+16

+ NFS=6.4990E+11

+ VMAX=1.9040E+05

+ ETA=6.6850E-02

+ KAPPA=1.1240E-02

+ CGDO=3.9067E-10

+ CGSO=3.9067E-10

+ CGBO=4.3944E-10

+ CJ=3.2150E-04

+ MJ=0.4584

+ CJSW=1.8358E-10

+ MJSW=0.4395

+ PB=0.800000)

.MODEL TP PMOS (LEVEL=3

+ PHI=0.700000

+ TOX=2.0100E-08

+ XJ=0.200000U

+ TPG=-1

+ VTO=-1.0500

+ DELTA=2.4740E+00

+ LD=8.6550E-08

+ KP=2.7591E-05

+ UO=160.6

+ THETA=1.1720E-01

+ RSH=1.0420E-01

+ GAMMA=0.5185

+ NSUB=2.3900E+16

+ NFS=6.5000E+11

+ VMAX=1.0000E+06

+ ETA=1.3570E-01

+ KAPPA=9.9990E+00

+ CGDO=2.2304E-10

+ CGSO=2.2304E-10

+ CGBO=3.7816E-10

+ CJ=5.3305E-04

+ MJ=0.5637

+ CJSW=4.9513E-10

+ MJSW=0.3827

+ PB=0.850000)