

**ΑΝΑΠΤΥΞΗ ΑΝΑΛΥΤΙΚΩΝ ΜΟΝΤΕΛΩΝ
ΧΡΟΝΙΚΗΣ ΑΠΟΚΡΙΣΗΣ ΚΑΙ ΚΑΤΑΝΑΛΩΣΗΣ
ΕΝΕΡΓΕΙΑΣ ΓΙΑ ΣΤΑΤΙΚΑ ΚΥΚΛΩΜΑΤΑ CMOS**

ΔΙΔΑΚΤΟΡΙΚΗ ΔΙΑΤΡΙΒΗ

ΛΑΜΠΡΟΥ Σ. ΜΠΙΣΔΟΥΝΗ

ΔΙΠΛΩΜΑΤΟΥΧΟΥ ΗΛΕΚΤΡΟΛΟΓΟΥ ΜΗΧΑΝΙΚΟΥ

ΠΑΝΕΠΙΣΤΗΜΙΟ ΠΑΤΡΩΝ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ
ΚΑΙ ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟΛΟΓΙΣΤΩΝ

ΑΡΙΘΜΟΣ ΔΙΑΤΡΙΒΗΣ 72

ΠΑΤΡΑ – ΜΑΡΤΙΟΣ 1999

ΠΙΣΤΟΠΟΙΗΣΗ

Πιστοποιείται ότι η παρούσα διατριβή με θέμα:

«Ανάπτυξη Αναλυτικών Μοντέλων Χρονικής Απόκρισης και Κατανάλωσης Ενέργειας για Στατικά Κυκλώματα CMOS»

του Λάμπρου Σ. Μπισδούνη, Διπλωματούχου Ηλεκτρολόγου Μηχανικού, παρουσιάστηκε δημοσίως στο Τμήμα Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών στις 2 Μαρτίου 1999 και εξετάστηκε και εγκρίθηκε από την ακόλουθη Εξεταστική Επιτροπή:

Ο. Κουφοπαύλου, Επίκουρος Καθηγητής Παν/μίου Πατρών, Επιβλέπων Καθηγητής

Κ. Γκούτης, Καθηγητής Παν/μίου Πατρών, Μέλος Συμβουλευτικής Επιτροπής

Α. Στουραίτης, Καθηγητής Παν/μίου Πατρών, Μέλος Συμβουλευτικής Επιτροπής

Γ. Παπαδόπουλος, Καθηγητής Παν/μίου Πατρών

Χ. Γεωργόπουλος, Καθηγητής Παν/μίου Πατρών

Θ. Δεληγιάννης, Καθηγητής Παν/μίου Πατρών

Α. Μπίρμπας, Επίκουρος Καθηγητής Παν/μίου Πατρών

Πάτρα, 2 Μαρτίου 1999

Ο Επιβλέπων Καθηγητής


Οδ. Κουφοπαύλου

Ο Πρόεδρος του Τμήματος


Καθηγητής Αθ. Σαφάκας

Στη μνήμη του φίλου
Γιώργου Παναγιωταρά

Πρόλογος

Η παρούσα διατριβή εκπονήθηκε στο Εργαστήριο Σχεδιασμού Ολοκληρωμένων Κυκλωμάτων του Τμήματος Ηλεκτρολόγων Μηχανικών και Τεχνολογίας Υπολογιστών του Πανεπιστημίου Πατρών. Το αντικείμενο που πραγματεύεται σχετίζεται με την ανάπτυξη αναλυτικών μοντέλων χρονικής απόκρισης και κατανάλωσης ενέργειας για κυκλώματα CMOS, έτσι ώστε να μπορεί να επιτευχθεί με ακρίβεια και ταχύτητα η εξομοίωσή τους.

Στο σημείο αυτό θα ήθελα να ευχαριστήσω όλους εκείνους που συνέβαλαν με οποιοδήποτε τρόπο στην εκπόνηση της διατριβής: τον επιβλέποντα καθηγητή Οδυσσέα Κουφοπαύλου για την αμέριστη υποστήριξη και τη βοήθειά του καθώς και τα μέλη της τριμελούς συμβουλευτικής επιτροπής καθηγητές Κων/νο Γκούτη και Αθανάσιο Στουραϊτή για τις χρήσιμες υποδείξεις τους σε όλο το διάστημα των μεταπτυχιακών μου σπουδών.

Ιδιαίτερες ευχαριστίες για την άψογη συνεργασία που είχαμε, απευθύνονται στο Λέκτορα Σπύρο Νικολαΐδη που με τις ενθουσιώδεις ερευνητικές του συζητήσεις διαμόρφωσε σε μεγάλο βαθμό τα ερευνητικά μου ενδιαφέροντα.

Θα ήθελα επίσης να ευχαριστήσω τους συναδέλφους μου στο εργαστήριο Σχεδιασμού Ολοκληρωμένων Κυκλωμάτων: Κων/να Καραγιάννη, Γιώργο Καραγιάννη, Βασίλη Παλιουρά, Γιάννη Συνεβριώτη, Κώστα Μασσέλο, Σπύρο Θεοχάρη, Γιώργο Θεοδωρίδη, Παναγιώτη Μεράκο και Abdoul Rjoub για τη συνεργασία μας, τα μέλη του διοικητικού προσωπικού του εργαστηρίου Νίκη Σαραντόγλου και Χάρη Δρακονταειδή, καθώς και τους παλιούς συνεργάτες και φίλους Δρ. Χρυσαιγή Δρε, Δρ. Άννα Τατσάκη, Δρ. Στάθη Κυριάκη-Μπιτζάρο και Δρ. Κώστα Ψυχαλίνο. Πολύτιμη ήταν η συνεργασία με τον αξέχαστο φίλο Γιώργο Παναγιωταρά, στη μνήμη του οποίου αφιερώνεται η διατριβή.

Για τη συμπαράσταση και την υποστήριξή τους ευχαριστώ θερμά τις φίλες και προσωπικούς μου ιατρούς (!) Δήμητρα Μέντζα, Αρετή Σπυροπούλου και Φωτεινή Παπαδημητρίου, καθώς και την πολύ καλή φίλη Αγγελική Μέντζα.

Τέλος, θα ήθελα να ευχαριστήσω θερμά τους γονείς μου Παυλίνα και Σπύρο καθώς και τον αδερφό μου Γιώργο για την ανεκτίμητη υποστήριξή τους στις προπτυχιακές και μεταπτυχιακές σπουδές μου. Χωρίς την υποστήριξή τους η παρούσα διατριβή θα ήταν πολύ δύσκολο να πραγματοποιηθεί.

Πάτρα – Μάρτιος 1999,

Λάμπρος Σ. Μπισδούνης

Περιεχόμενα

Κατάλογος πινάκων	v
Κατάλογος σχημάτων.....	vii
Κατάλογος συμβόλων	xiii
Περίληψη	xxi
Abstract.....	xxiii
1. Εισαγωγή.....	1
1.1 Διαδικασία εξομοίωσης κυκλωμάτων VLSI	1
1.2 Μοντελοποίηση κυκλωμάτων CMOS VLSI.....	6
1.3 Καινοτομίες – Οργάνωση της διατριβής	9
2. Ανασκόπηση τεχνικών εξομοίωσης και μοντελοποίησης κυκλωμάτων VLSI	13
2.1 Εισαγωγή	13
2.2 Χρονική εξομοίωση κυκλωμάτων VLSI.....	15
2.2.1 Εξομοίωση σε επίπεδο κυκλώματος.....	15
2.2.1.1 Άμεση εξομοίωση.....	15
2.2.1.2 Τεχνικές αποσύνθεσης (decomposition techniques)	17
2.2.2 Εξομοίωση βασισμένη σε τεχνικές μοντελοποίησης	19
2.2.2.1 Εξομοίωση σε επίπεδο πύλης	20
2.2.2.2 Εξομοίωση σε επίπεδο διακόπτη	24
2.2.3 Τεχνικές γρήγορης χρονικής εξομοίωσης	36
2.3 Εκτίμηση της κατανάλωσης ενέργειας κυκλωμάτων VLSI.....	40

2.3.1 Εκτίμηση σε επίπεδο κυκλώματος	40
2.3.2 Εκτίμηση σε επίπεδο διακόπτη	43
2.3.3 Εκτίμηση σε επίπεδο πύλης	47
2.4 Συμπεράσματα	61
3. Χρονική απόκριση και κατανάλωση ενέργειας αντιστροφεία CMOS με βάση απλοποιημένα μοντέλα MOS.....	63
3.1 Εισαγωγή	63
3.2 Μοντελοποίηση με βάση το μοντέλο MOS νόμου τετραγώνου.....	67
3.2.1 Ανάλυση της κυματομορφής τάσης εξόδου του αντιστροφεία	67
3.2.2 Υπολογισμός της καθυστέρησης του αντιστροφεία.....	81
3.2.3 Υπολογισμός του ενεργού χρόνου μετάβασης εξόδου.....	83
3.2.4 Υπολογισμός της κατανάλωσης ενέργειας του αντιστροφεία.....	85
3.2.4.1 Δυναμική κατανάλωση ενέργειας	85
3.2.4.2 Κατανάλωση ενέργειας βραχυκυκλώματος.....	87
3.2.5 Αξιολόγηση, αποτελέσματα και συγκρίσεις.....	92
3.3 Μοντελοποίηση για τεχνολογίες υπομικρομέτρου	102
3.3.1 Ανάλυση της κυματομορφής τάσης εξόδου του αντιστροφεία	102
3.3.2 Υπολογισμός της καθυστέρησης του αντιστροφεία.....	113
3.3.3 Υπολογισμός του χρόνου μετάβασης εξόδου	115
3.3.4 Υπολογισμός της κατανάλωσης ενέργειας βραχυκυκλώματος	116
3.3.5 Αξιολόγηση, αποτελέσματα και συγκρίσεις.....	120
3.4 Συμπεράσματα	128
4. Χρονική απόκριση και κατανάλωση ενέργειας αντιστροφεία CMOS με βάση το μοντέλο MOS δύναμης α	131
4.1 Εισαγωγή	131
4.2 Ανάλυση της κυματομορφής τάσης εξόδου του αντιστροφεία	136
4.3 Υπολογισμός της καθυστέρησης και του χρόνου μετάβασης εξόδου του αντιστροφεία	143
4.4 Υπολογισμός της κατανάλωσης ενέργειας βραχυκυκλώματος.....	146
4.5 Αξιολόγηση, αποτελέσματα και συγκρίσεις.....	151
4.6 Συμπεράσματα	173

Παράρτημα 4A.....	174
Παράρτημα 4B.....	175
5. Τεχνικές αναγωγής στατικών πυλών CMOS σε ισοδύναμους αντιστροφείς.....	177
5.1 Εισαγωγή.....	177
5.2 Μοντελοποίηση σειριακά συνδεδεμένων τρανζίστορ όταν λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης της εξόδου.....	181
5.2.1 Ανάλυση λειτουργίας της αλυσίδας.....	182
5.2.2 Υπολογισμός ισοδύναμου πλάτους καναλιού της αλυσίδας.....	188
5.2.3 Υπολογισμός χρόνου έναρξης αγωγής της αλυσίδας.....	196
5.2.4 Μοντελοποίηση επίδρασης αριθμού και θέσης των εισόδων υπό μετάβαση.....	201
5.3 Μοντελοποίηση σειριακά συνδεδεμένων τρανζίστορ όταν λειτουργούν ως κλάδος βραχυκυκλώματος.....	207
5.3.1 Αναγωγή της αλυσίδας σε ισοδύναμο τρανζίστορ.....	207
5.3.2 Υπολογισμός της ισοδύναμης χωρητικότητας σύζευξης μεταξύ εισόδου και εξόδου.....	212
5.3.3 Υπολογισμός της ισοδύναμης χωρητικότητας μεταξύ εισόδου και τροφοδοσίας ή γείωσης.....	216
5.4 Ευρετικές μέθοδοι υπολογισμού ισοδύναμης εισόδου για σειριακά συνδεδεμένα τρανζίστορ με χρονικά επικαλυπτόμενες εισόδους.....	218
5.5 Μοντελοποίηση παράλληλα συνδεδεμένων τρανζίστορ.....	220
5.6 Αξιολόγηση, αποτελέσματα και συγκρίσεις.....	225
5.7 Συμπεράσματα.....	246
6. Συμπεράσματα.....	249
Βιβλιογραφία.....	253
Δημοσιεύσεις.....	269

Κατάλογος πινάκων

3.1	Παράμετροι μοντέλου MOS για τα τρανζίστορ του αντιστροφέα.....	93
3.2	Παράμετροι SPICE επιπέδου-3 τεχνολογίας CMOS 2μm.....	95
3.3	Τιμές καθυστέρησης για την αλυσίδα αντιστροφέων του Σχήματος 3.13.....	100
3.4	Εξισώσεις υπολογισμού της κλίσης s	116
3.5	Παράμετροι μοντέλου MOS για τα τρανζίστορ του αντιστροφέα.....	121
3.6	Παράμετροι SPICE επιπέδου-3 τεχνολογίας CMOS 0.5μm.....	122
4.1	Εξισώσεις υπολογισμού της τιμής $x_{0.5}$	145
4.2	Εξισώσεις υπολογισμού της κλίσης s	146
4.3	Παράμετροι μοντέλου MOS για δύο τεχνολογίες CMOS.....	151
4.4	Βασικές παράμετροι SPICE επιπέδου-2 τεχνολογίας CMOS 0.8 μm.....	153
4.5	Βασικές παράμετροι SPICE επιπέδου-2 τεχνολογίας CMOS 1.2 μm.....	154
4.6	Παράμετροι μοντέλου MOS που μεταβάλλονται ανάλογα με τις τιμές του λόγου W_p / W_n των Σχημάτων 4.14 και 4.15.....	160
4.7	Παράμετροι μοντέλου MOS για την τεχνολογία CMOS 0.7 μm.....	162
4.8	Βασικές παράμετροι SPICE επιπέδου-3 τεχνολογίας CMOS 0.7 μm.....	163
5.1	Τιμές τάσης οροπεδίου για $2 \leq N \leq 5$	187
5.2	Τιμές του συντελεστή m_{vf} (η είσοδος με αριθμό 1 είναι εκείνη που βρίσκεται πλησιέστερα στον κόμβο εξόδου)	204
5.3	Τιμές του συντελεστή m_{vs} (η είσοδος με αριθμό 1 είναι εκείνη που βρίσκεται πλησιέστερα στον κόμβο εξόδου)	204
5.4	Τιμές του εκθετικού συντελεστή d για $2 \leq N \leq 5$	205
5.5	Τιμές του συντελεστή b (η είσοδος με αριθμό 1 είναι εκείνη που βρίσκεται πλησιέστερα στον κόμβο εξόδου).....	206
5.6	Τιμές του διορθωτικού συντελεστή q	209

5.7	Τιμές ισοδύναμης χωρητικότητας C_{MN} που προκύπτουν από τις κυκλωματικές εξομοιώσεις (η είσοδος με αριθμό 1 είναι εκείνη που βρίσκεται πλησιέστερα στον κόμβο εξόδου).....	214
5.8	Τιμές ισοδύναμης χωρητικότητας C_{MN} που υπολογίστηκαν από την εξίσωση (5.37) ($C_{ox} = 2.2 \text{ fF}/\mu\text{m}^2$, $C_{gdo} = C_{gso} = 0.35 \text{ fF}/\mu\text{m}$).....	215
5.9	Χαρακτηριστικά κυματομορφών εισόδου πύλης NAND 4 εισόδων.....	232
5.10	Χαρακτηριστικά κυματομορφών εισόδου πύλης NAND 3 εισόδων.....	234

Κατάλογος σχημάτων

1.1	Ιεραρχία εξομοίωσης κυκλωμάτων VLSI.....	3
1.2	Σχέση ταχύτητας και ακρίβειας των επιπέδων εξομοίωσης.....	8
2.1	Προσέγγιση της καθυστέρησης από τον Elmore.....	30
2.2	Υποκύκλωμα μέτρησης της κατανάλωσης ενέργειας.....	42
2.3	Παραγωγή της κυματομορφής πιθανοτήτων εισόδου.....	51
2.4	BDD αναπαράσταση της συνάρτησης $y = x_1 x_2 + x_3$	53
3.1	Ο αντιστροφέας CMOS.....	64
3.2	Περιοχές λειτουργίας του αντιστροφέα.....	72
3.3	Υπολογισμός του κανονικοποιημένου χρονικού σημείου x_{satp}	77
3.4	Σύγκριση ρευμάτων των δύο τρανζίστορ στο διάστημα $x_{satn} \leq x \leq 1-p$	80
3.5	Καθορισμός του ενεργού χρόνου μετάβασης εξόδου.....	83
3.6	Ρεύμα φόρτισης κατά την $0 \rightarrow V_{DD}$ μετάβαση εξόδου.....	86
3.7	Περιοχή όπου καταναλώνεται ενέργεια βραχυκυκλώματος ($x_1 \leq x \leq 1-p$).....	89
3.8	Σύγκριση χρονικής απόκρισης μεταξύ αντιστροφέα με σταθερή χωρητικότητα εξόδου και αντιστροφέα που οδηγεί δύο αντιστροφείς.....	93
3.9	Κυματομορφές τάσης εξόδου του αντιστροφέα CMOS.....	94
3.10	Καθυστέρηση του αντιστροφέα CMOS συναρτήσει του A_{no}	96
3.11	Καθυστέρηση του αντιστροφέα για $\beta_n = \beta_p$ και $\beta_p = 2 \beta_n$	97
3.12	Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για δύο τιμές χωρητικότητας εξόδου.....	98
3.13	Χρόνος μετάβασης εξόδου του αντιστροφέα CMOS συναρτήσει του A_{no}	98
3.14	Αλυσίδα αντιστροφέων CMOS (β_n και β_p σε mA / V^2).....	100
3.15	Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του A_{no}	101
3.16	Συμμετοχή της ενέργειας βραχυκυκλώματος στη συνολική κατανάλωση	

ενέργειας του αντιστροφέα.....	101
3.17 Χαρακτηριστικές καμπύλες τρανζίστορ χωρίς την παρουσία του φαινομένου κορεσμού ταχύτητας (α) και με την παρουσία του φαινομένου κορεσμού ταχύτητας (β).....	103
3.18 Διάγραμμα για τον υπολογισμό της τάσης V_{ON}	105
3.19 Περιοχές λειτουργίας αντιστροφέα για τεχνολογίες υπομικρομέτρου.....	107
3.20 Υπολογισμός του κανονικοποιημένου χρονικού σημείου x_{satp}	109
3.21 Περιοχές λειτουργίας του αντιστροφέα ($u_{maxn} > 0.5$)	114
3.22 Κυματομορφές τάσης εξόδου του αντιστροφέα CMOS.....	121
3.23 Καθυστέρηση του αντιστροφέα CMOS συναρτήσει του A_{no}	123
3.24 Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για χωρητικότητα εξόδου 0.2 pF και 0.1 pF.....	124
3.25 Αλυσίδα αντιστροφέων CMOS.....	125
3.26 Σύγκριση μεταξύ των υπολογισμένων τιμών καθυστέρησης και αυτών που παράγονται από εξομοίωση για την αλυσίδα αντιστροφέων του Σχήματος 3.24.....	126
3.27 Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του A_{no}	127
3.28 Συμμετοχή της ενέργειας βραχυκυκλώματος στη συνολική κατανάλωση ενέργειας του αντιστροφέα.....	127
4.1 Χαρακτηριστικές καμπύλες I-V τρανζίστορ NMOS με μήκος καναλιού 1 μ m..	133
4.2 Περιοχές λειτουργίας αντιστροφέα CMOS για τρανζίστορ μικρού μήκους καναλιού.....	137
4.3 Γραμμική προσέγγιση του ρεύματος του PMOS στην περιοχή 2.....	139
4.4 Σύγκριση μεταξύ του χρονικού σημείου όπου το ρεύμα του PMOS λαμβάνει την ελάχιστη τιμή του και εκείνου όπου η τάση εισόδου φθάνει στην τάση κατωφλίου του NMOS.....	139
4.5 Ανάλυση ρευμάτων του αντιστροφέα για ανερχόμενη είσοδο.....	147
4.6 Διαφοροποίηση του ρεύματος βραχυκυκλώματος από το ρεύμα του PMOS λόγω της επίδρασης του ρεύματος διαμέσου της χωρητικότητας πύλης-πηγής του PMOS.....	147
4.7 Προσέγγιση του I_p για τον υπολογισμό της ενέργειας βραχυκυκλώματος....	149
4.8 Κυματομορφές τάσης εξόδου του αντιστροφέα CMOS ($L = 0.8 \mu\text{m}$).....	152
4.9 Κυματομορφές τάσης εξόδου του αντιστροφέα CMOS ($L = 1.2 \mu\text{m}$).....	152

4.10	Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου ($L = 0.8 \mu\text{m}$).....	156
4.11	Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου ($L = 1.2 \mu\text{m}$).....	156
4.12	Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για χωρητικότητα εξόδου 0.2 pF, 0.15 pF και 0.1 pF ($L = 0.8 \mu\text{m}$).....	157
4.13	Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για τάση τροφοδοσίας 5V και 3V ($L = 0.8 \mu\text{m}$).....	157
4.14	Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για διάφορες τιμές του λόγου W_p / W_n ($L = 0.8 \mu\text{m}$).....	159
4.15	Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για διάφορες τιμές του λόγου W_p / W_n ($L = 1.2 \mu\text{m}$).....	159
4.16	Χαρακτηριστική μεταφοράς του αντιστροφέα CMOS.....	160
4.17	Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για διάφορες τιμές του λόγου W_p / W_n ($L = 0.7 \mu\text{m}$).....	162
4.18	Χρόνος μετάβασης εξόδου του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου.....	164
4.19	Αλυσίδα αντιστροφέν CMOS.....	166
4.20	Σύγκριση μεταξύ των υπολογισμένων τιμών καθυστέρησης και αυτών που παράγονται από εξομοίωση για την αλυσίδα αντιστροφέν του Σχήματος 4.19.....	166
4.21	Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου ($L = 0.8 \mu\text{m}$, $C_L = 0.2 \text{ pF}$).....	168
4.22	Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου ($L = 0.8 \mu\text{m}$, $C_L = 0.1 \text{ pF}$).....	168
4.23	Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου ($L = 1.2 \mu\text{m}$, $C_L = 0.2 \text{ pF}$).....	169
4.24	Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου ($L = 1.2 \mu\text{m}$, $C_L = 0.1 \text{ pF}$).....	169
4.25	Συμμετοχή της ενέργειας βραχυκυκλώματος στη συνολική κατανάλωση ενέργειας του αντιστροφέα ($L = 0.8 \mu\text{m}$).....	170
4.26	Συμμετοχή της ενέργειας βραχυκυκλώματος στη συνολική κατανάλωση ενέργειας του αντιστροφέα ($L = 1.2 \mu\text{m}$).....	170

4.27	Μέτρηση της ενέργειας βραχυκυκλώματος για κατερχόμενη έξοδο.....	172
4.28	Κυματομορφές του ρεύματος βραχυκυκλώματος και της εξόδου του υποκυκλώματος μέτρησης ενέργειας.....	172
5.1	Πύλη NAND N-εισόδων.....	183
5.2	Γραμμική προσέγγιση της επίδρασης του φαινομένου σώματος (τεχνολογία CMOS 0.8 μm).....	184
5.3	Κυματομορφές τάσεων για $N = 3$, όπου το τρανζίστορ M_1 παραμένει στην περιοχή κόρου όταν η είσοδος φτάνει στην τελική της τιμή.....	185
5.4	Αντικατάσταση των τρανζίστορ που λειτουργούν συνεχώς στη γραμμική περιοχή από ένα ισοδύναμο τρανζίστορ M_K	186
5.5	Κυματομορφές τάσεων για $N = 3$, όπου το τρανζίστορ M_1 εισέρχεται στην γραμμική περιοχή πριν η είσοδος φτάσει στην τελική της τιμή.....	188
5.6	Πλάτος καναλιού αλυσίδας στο χρονικό διάστημα $[t_{ON}, \tau]$	190
5.7	Πλάτος καναλιού αλυσίδας για $t \geq t_{satn1}$	192
5.8	Τάση πηγής του τρανζίστορ M_1 για τον ίδιο χρόνο μετάβασης εισόδου και για δύο τιμές χωρητικότητας εξόδου.....	194
5.9	Χωρητικότητες εσωτερικών κόμβων (α) και κυματομορφές τάσεων εσωτερικών κόμβων μέχρι την έναρξη αγωγής της αλυσίδας για $N = 4$ (β).....	197
5.10	Χρόνος έναρξης αγωγής αλυσίδας συναρτήσει του χρόνου μετάβασης εισόδου, για $N = 4$	199
5.11	Εμπειρικός συντελεστής m συναρτήσει της παραμέτρου G	205
5.12	Πύλη NAND N-εισόδων με τις χωρητικότητες των εσωτερικών κόμβων.....	208
5.13	Αντικατάσταση της αλυσίδας από ένα ισοδύναμο τρανζίστορ με παράλληλη αύξηση της χωρητικότητας εξόδου.....	211
5.14	Συμμετοχή των σειριακά συνδεδεμένων τρανζίστορ στην ισοδύναμη χωρητικότητα σύζευξης εισόδου-εξόδου ($N = 3$)	212
5.15	Κυκλώματα μέτρησης της ισοδύναμης χωρητικότητας σύζευξης (C_{MN}) των σειριακά συνδεδεμένων τρανζίστορ.....	213
5.16	Συμμετοχή των σειριακά συνδεδεμένων τρανζίστορ στην ισοδύναμη χωρητικότητα εισόδου-γείωσης ($N = 3$)	216
5.17	Πύλη NAND 2 εισόδων (α) και ισοδύναμος αντιστροφείας (β)	222
5.18	Ισοδύναμο πλάτος καναλιού παράλληλα συνδεδεμένων τρανζίστορ της πύλης του Σχήματος 5.17α, για μεταβλητό χρόνο μετάβασης της V_{in2}	223

5.19	Κυματομορφές κατερχόμενης τάσης εξόδου πύλης NAND 2 εισόδων.....	226
5.20	Κυματομορφές κατερχόμενης τάσης εξόδου πύλης NAND 3 εισόδων.....	226
5.21	Κυματομορφές κατερχόμενης τάσης εξόδου πύλης NAND 4 εισόδων.....	227
5.22	Καθυστέρηση πύλης NAND 2 εισόδων συναρτήσει του χρόνου μετά- βασης ανερχόμενης εισόδου.....	228
5.23	Καθυστέρηση πύλης NAND 3 εισόδων συναρτήσει του χρόνου μετά- βασης ανερχόμενης εισόδου	229
5.24	Καθυστέρηση πύλης NAND 4 εισόδων συναρτήσει του χρόνου μετά- βασης ανερχόμενης εισόδου	229
5.25	Καθυστέρηση πύλης NAND 2 εισόδων συναρτήσει του χρόνου μετά- βασης εισόδου, για χωρητικότητα εξόδου 0.1, 0.15 και 0.2 pF.....	230
5.26	Καθυστέρηση πύλης NAND 3 εισόδων συναρτήσει του χρόνου μετά- βασης εισόδου, για χωρητικότητα εξόδου 0.1, 0.15 και 0.2 pF.....	231
5.27	Καθυστέρηση πύλης NAND 4 εισόδων συναρτήσει του χρόνου μετά- βασης εισόδου, για χωρητικότητα εξόδου 0.1, 0.15 και 0.2 pF.....	231
5.28	Κυματομορφές τάσεων εισόδου (α) και ισοδύναμες κυματομορφές τά- σης εισόδου (β), μιας πύλης NAND 4 εισόδων με κατερχόμενη έξοδο.....	233
5.29	Κυματομορφές κατερχόμενης τάσης εξόδου πύλης NAND 4 εισόδων για τις ισοδύναμες και τις πραγματικές κυματομορφές τάσεων εισόδου.....	233
5.30	Απαιτούμενος χρόνος για να φτάσει η κατερχόμενη τάση εξόδου στο μισό της V_{DD} , συναρτήσει του χρόνου μετάβασης της V_{in3} (NAND 3 εισόδων)	234
5.31	Κυματομορφές ανερχόμενης τάσης εξόδου πύλης NAND 2 εισόδων.....	236
5.32	Κυματομορφές ανερχόμενης τάσης εξόδου πύλης NAND 3 εισόδων.....	236
5.33	Κυματομορφές ανερχόμενης τάσης εξόδου πύλης NAND 4 εισόδων.....	237
5.34	Καθυστέρηση πύλης NAND 2 εισόδων συναρτήσει του χρόνου μετά- βασης κατερχόμενης εισόδου.....	237
5.35	Καθυστέρηση πύλης NAND 3 εισόδων συναρτήσει του χρόνου μετά- βασης κατερχόμενης εισόδου.....	238
5.36	Καθυστέρηση πύλης NAND 4 εισόδων συναρτήσει του χρόνου μετά- βασης κατερχόμενης εισόδου.....	238
5.37	Κυματομορφές τάσεων εισόδου (α) και ισοδύναμη κυματομορφή τάσης εισόδου (β), μιας πύλης NAND 4 εισόδων με ανερχόμενη έξοδο.....	240

5.38	Κυματομορφές ανερχόμενης τάσης εξόδου πύλης NAND 4 εισόδων για την ισοδύναμη και τις πραγματικές κυματομορφές τάσεων εισόδου.....	240
5.39	Απαιτούμενος χρόνος για να φτάσει η ανερχόμενη τάση εξόδου στο μισό της V_{DD} , συναρτήσει του χρόνου μετάβασης της V_{in3} (NAND 3 εισόδων).....	241
5.40	Ενέργεια βραχυκυκλώματος πύλης NAND 2 εισόδων συναρτήσει του χρόνου μετάβασης εισόδου.....	243
5.41	Ενέργεια βραχυκυκλώματος πύλης NAND 3 εισόδων συναρτήσει του χρόνου μετάβασης εισόδου.....	243
5.42	Ενέργεια βραχυκυκλώματος πύλης NAND 4 εισόδων συναρτήσει του χρόνου μετάβασης εισόδου.....	244
5.43	Συμμετοχή της ενέργειας βραχυκυκλώματος στη συνολική κατανάλωση ενέργειας μιας πύλης NAND 4 εισόδων.....	246

Κατάλογος συμβόλων

α_n (α_p):	Δείκτης κορεσμού ταχύτητας ηλεκτρονίων (οπών)
A_{no} :	Συντελεστής που καθορίζει την σχέση μεταξύ των μεταβάσεων της τάσης εισόδου και της τάσης εξόδου του αντιστροφέα
β_n (β_p):	Συντελεστής κέρδους (ή διαγωγιμότητας) του τρανζίστορ NMOS (PMOS)
γ :	Συντελεστής φαινομένου σώματος (body effect)
γ_1 :	Συντελεστής γραμμικής σχέσης περιγραφής του φαινομένου σώματος
C_L :	Χωρητικότητα εξόδου αντιστροφέα (και άλλων πυλών)
C_M :	Χωρητικότητα σύζευξης εισόδου-εξόδου αντιστροφέα (και άλλων πυλών)
c_m :	Κανονικοποιημένη χωρητικότητα σύζευξης ($c_m = C_M / (C_L + C_M)$)
C_g :	Χωρητικότητα του ακροδέκτη πύλης ενός τρανζίστορ MOS
C_{gd} :	Χωρητικότητα πύλης-υποδοχής ενός τρανζίστορ MOS
C_{gs} :	Χωρητικότητα πύλης-πηγής ενός τρανζίστορ MOS
C_{gb} :	Χωρητικότητα πύλης-υποστρώματος ενός τρανζίστορ MOS
C_{ox} :	Χωρητικότητα του SiO_2 ανά μονάδα επιφάνειας
$C_{g-overlap}$:	Συνολική χωρητικότητα επικάλυψης του ακροδέκτη πύλης προς τους υπόλοιπους ακροδέκτες ενός τρανζίστορ MOS
C_{gdo} :	Χωρητικότητα επικάλυψης πύλης-υποδοχής ανά μονάδα πλάτους καναλιού ενός τρανζίστορ MOS
C_{gso} :	Χωρητικότητα επικάλυψης πύλης-πηγής ανά μονάδα πλάτους καναλιού ενός τρανζίστορ MOS
C_{gbo} :	Χωρητικότητα επικάλυψης πύλης-υποστρώματος ανά μονάδα μήκους καναλιού ενός τρανζίστορ MOS
C_D :	Συνολική χωρητικότητα περιοχής διάχυσης ενός τρανζίστορ MOS
C_{jo} :	Χωρητικότητα περιοχής διάχυσης ανά μονάδα επιφάνειας για μηδενική

	πόλωση της επαφής διάχυσης-υποστρώματος
C_{jsw0} :	Χωρητικότητα περιοχής διάχυσης ανά μονάδα περιφέρειας για μηδενική πόλωση της επαφής διάχυσης-υποστρώματος
C_{mi} :	Χωρητικότητα μεταξύ ενός ακροδέκτη πύλης & ενός εσωτερικού κόμβου σε αλυσίδα τρανζίστορ που λειτουργεί ως κλάδος φόρτισης ή εκφόρτισης
C_{ni} :	Χωρητικότητα μεταξύ ενός εσωτερικού κόμβου και της γείωσης σε σειριακά συνδεδεμένα τρανζίστορ NMOS
C_{pi} :	Χωρητικότητα μεταξύ ακροδέκτη υποδοχής και τροφοδοσίας σε παράλληλα συνδεδεμένα τρανζίστορ PMOS
C_{MN} :	Ισοδύναμη χωρητικότητα σύζευξης σειριακά συνδεδεμένων τρανζίστορ NMOS όταν λειτουργούν ως κλάδος βραχυκυκλώματος
C_{Mi} :	Συμμετοχή των χωρητικότητων C_{gd} και C_{gs} ενός τρανζίστορ στην ισοδύναμη χωρητικότητα σύζευξης σειριακά συνδεδεμένων τρανζίστορ (C_{MN})
C_{GN} :	Ισοδύναμη χωρητικότητα εισόδου-γείωσης σειριακά συνδεδεμένων τρανζίστορ NMOS όταν λειτουργούν ως κλάδος βραχυκυκλώματος
C_{Gi} :	Συμμετοχή των χωρητικότητων C_{gd} και C_{gs} ενός τρανζίστορ στην ισοδύναμη χωρητικότητα εισόδου-γείωσης σειριακά συνδεδεμένων τρανζίστορ (C_{GN})
C_O :	Ισοδύναμη χωρητικότητα που προστίθεται στη χωρητικότητα εξόδου λόγω των τρανζίστορ που βρίσκονται σε κατάσταση μόνιμης αγωγής σε αλυσίδα τρανζίστορ που λειτουργεί ως κλάδος βραχυκυκλώματος
δ_n (δ_p):	Κλίση του πρώτου όρου του αναπτύγματος Taylor της εξίσωσης φορτίου-υποστρώματος του τρανζίστορ NMOS (PMOS) ή συντελεστής φορτίου-υποστρώματος του τρανζίστορ NMOS (PMOS).
$E_D^{0 \rightarrow 1}$:	Δυναμική κατανάλωση ενέργειας αντιστροφέα CMOS για ανερχόμενη μετάβαση τάσης εξόδου
$E_D^{1 \rightarrow 0}$:	Δυναμική κατανάλωση ενέργειας αντιστροφέα CMOS για κατερχόμενη μετάβαση τάσης εξόδου
$E_{SC}^{0 \rightarrow 1}$:	Κατανάλωση ενέργειας βραχυκυκλώματος αντιστροφέα CMOS για ανερχόμενη μετάβαση τάσης εξόδου
$E_{SC}^{1 \rightarrow 0}$:	Κατανάλωση ενέργειας βραχυκυκλώματος αντιστροφέα CMOS για κατερχόμενη μετάβαση τάσης εξόδου

- erf [y]: Συνάρτηση σφάλματος της μεταβλητής y ($\text{erf}[y] = 2/\sqrt{\pi} \int e^{-y^2} dy$)
- G: Συντελεστής που καθορίζει την σχέση μεταξύ των μεταβάσεων της τάσης εισόδου και της τάσης εξόδου μιας πύλης NAND, στην οποία η χωρητικότητα εξόδου εκφορτίζεται διαμέσου σειριακά συνδεδεμένων τρανζίστορ
- I_D : Ρεύμα υποδοχής ενός τρανζίστορ MOS
- I_n (I_p): Ρεύμα υποδοχής του τρανζίστορ NMOS (PMOS)
- I_{DD} : Ρεύμα που παρέχεται από την τροφοδοσία του αντιστροφέα CMOS
- I_{SC} : Ρεύμα βραχυκυκλώματος του αντιστροφέα CMOS
- I_{C_L} : Ρεύμα εκφόρτισης της χωρητικότητας εξόδου του αντιστροφέα CMOS
- I_{C_M} : Ρεύμα διαμέσου της χωρητικότητας σύζευξης του αντιστροφέα CMOS
- I_{DOn} (I_{DOp}): Ρεύμα υποδοχής τρανζίστορ NMOS (PMOS) για $V_{GS} = V_{DD} = V_{DS}$
- I_{nmin} (I_{pmin}): Ελάχιστο ρεύμα του τρανζίστορ NMOS (PMOS) όταν λειτουργεί ως τρανζίστορ βραχυκυκλώματος
- K_1, K_2 : Συντελεστές γραμμικοποίησης της χωρητικότητας περιοχής διάχυσης ενός τρανζίστορ MOS (C_D)
- k_{sn} (k_{sp}): Συντελεστής κέρδους για την περιοχή κόρου του τρανζίστορ NMOS (PMOS) που χρησιμοποιείται στο μοντέλο MOS δύναμης του α
- k_{In} (k_{Ip}): Συντελεστής κέρδους για τη γραμμική περιοχή του τρανζίστορ NMOS (PMOS) που χρησιμοποιείται στο μοντέλο MOS δύναμης του α
- L_n (L_p): Μήκος καναλιού του τρανζίστορ NMOS (PMOS)
- μ_n (μ_p): Κινητικότητα ηλεκτρονίων (οπών)
- m : Συντελεστής για τον υπολογισμό του ισοδύναμου πλάτους καναλιού αλυσίδας τρανζίστορ για διάφορους συνδυασμούς μεταβάσεων εισόδων από το ισοδύναμο πλάτος καναλιού της αλυσίδας για μετάβαση σε όλες τις εισόδους
- m_{vf} : Τιμή του m για πολύ γρήγορες μεταβάσεις εισόδων ($G = 0.2$)
- m_{vs} : Τιμή του m για πολύ αργές μεταβάσεις εισόδων ($G = 10$)
- n : Κανονικοποιημένη τάση κατωφλίου τρανζίστορ NMOS ($n = V_{TN} / V_{DD}$)
- N : Αριθμός τρανζίστορ ή εισόδων μιας στατικής πύλης CMOS
- p : Κανονικοποιημένη τάση κατωφλίου τρανζίστορ PMOS ($p = |V_{TP}| / V_{DD}$)
- P_C : Συντελεστής κέρδους για την περιοχή κόρου ενός τρανζίστορ που χρησιμοποιείται στις εναλλακτικές εξισώσεις του μοντέλου MOS δύναμης α
- P_L : Συντελεστής κέρδους για τη γραμμική περιοχή ενός τρανζίστορ που χρη-

- σιμποιείται στις εναλλακτικές εξισώσεις του μοντέλου MOS δύναμης α
- P_V : Συντελεστής που χρησιμοποιείται για τον υπολογισμό της τάσης κόρου ενός τρανζίστορ στις εναλλακτικές εξισώσεις του μοντέλου MOS δύναμης α ($P_V = P_C/P_L$)
- R : Σταθερά στην έκφραση κανονικοποιημένης τάσης εξόδου της δεύτερης περιοχής λειτουργίας του αντιστροφέα CMOS για την ανάλυση με το μοντέλο MOS δύναμης α
- r_i : Συντελεστής βάρους που χρησιμοποιείται στον υπολογισμό της ισοδύναμης χωρητικότητας εξόδου σε μια αλυσίδα τρανζίστορ όταν λειτουργεί ως κλάδος βραχυκυκλώματος ($r_i = (N + 1 - i)/N$)
- r_k : Συντελεστής βάρους που χρησιμοποιείται στον υπολογισμό της ισοδύναμης χωρητικότητας σύζευξης εισόδου-εξόδου (C_{MN}) και εισόδου-γείωσης (C_{GN}) σε μια αλυσίδα τρανζίστορ όταν λειτουργεί ως κλάδος βραχυκυκλώματος ($r_k = (N + 1 - k)/N$)
- S : Κλίση κυματομορφής ρεύματος του τρανζίστορ PMOS στη δεύτερη περιοχή λειτουργίας του αντιστροφέα
- S' : Κλίση κυματομορφής ρεύματος του τρανζίστορ PMOS από το χρονικό σημείο όπου τελειώνει η υπέρβαση της τάσης εξόδου πάνω από την τάση τροφοδοσίας έως το τέλος της δεύτερης περιοχής λειτουργίας του αντιστροφέα
- S_i : Συντελεστής βάρους που καθορίζει τη συμμετοχή του τρανζίστορ i στο ισοδύναμο πλάτος καναλιού παράλληλα συνδεδεμένων τρανζίστορ με χρονικά επικαλυπτόμενες εισόδους
- s : Κλίση της κανονικοποιημένης τάσης εξόδου του αντιστροφέα CMOS στο σημείο όπου λαμβάνει την τιμή 0.5
- τ : Χρόνος μετάβασης τάσης εισόδου αντιστροφέα (και άλλων πυλών)
- τ_{tr} : Ενεργός χρόνος μετάβασης τάσης εξόδου αντιστροφέα
- T_{ox} : Πάχος του SiO_2 ενός τρανζίστορ MOS
- t_{DHL} : Καθυστερήση αντιστροφέα για κατερχόμενη τάση εξόδου
- t_{05} : Χρονικό σημείο όπου η τάση εξόδου λαμβάνει την τιμή $V_{DD} / 2$
- t_{ON} : Χρόνος έναρξης αγωγής αλυσίδας σειριακά συνδεδεμένων τρανζίστορ
- t_i : Χρόνος εκκίνησης μετάβασης της τάσης της εισόδου i σε μια στατική πύλη CMOS

t_0 :	Χρόνος εκκίνησης μετάβασης της τάσης της ισοδύναμης εισόδου μιας στατικής πύλης CMOS με χρονικά επικαλυπτόμενες εισόδους
t_{endi} :	Χρόνος λήξης μετάβασης της τάσης της εισόδου i σε μια πύλη CMOS
t_{satn1} :	Χρονικό σημείο όπου το τρανζίστορ της αλυσίδας που συνδέεται στην έξοδο μιας πύλης NAND εισέρχεται στη γραμμική περιοχή λειτουργίας
t'_{satn1} :	Συμπίπτει με το χρονικό σημείο t_{satn1} για μηδενικό ρεύμα του κλάδου βραχυκυκλώματος της πύλης
u_{in} :	Κανονικοποιημένη τάση εισόδου του αντιστροφέα ($u_{in} = V_{in} / V_{DD}$)
u_{out} :	Κανονικοποιημένη τάση εξόδου του αντιστροφέα (και άλλων πυλών) ($u_{out} = V_{out} / V_{DD}$)
u_{satn} (u_{satp}):	Κανονικοποιημένη τάση εξόδου του αντιστροφέα στο χρονικό σημείο όπου το τρανζίστορ NMOS (PMOS) εισέρχεται στη γραμμική περιοχή λειτουργίας
u_{maxn} :	Κανονικοποιημένη μέγιστη τάση κόρου του τρανζίστορ NMOS
u'_{don} :	Κανονικοποιημένη τάση κόρου τρανζίστορ NMOS
u'_{dop} :	Κανονικοποιημένη τάση κόρου τρανζίστορ PMOS
u_{don} :	Κανονικοποιημένη τάση κόρου του τρανζίστορ NMOS για $V_{GS} = V_{DD}$
u_{dop} :	Κανονικοποιημένη τάση κόρου του τρανζίστορ PMOS για $V_{GS} = V_{DD}$
$u_{[1-p]}$:	Κανονικοποιημένη τάση εξόδου του αντιστροφέα όταν το τρανζίστορ PMOS αποκόπτεται ($x = 1-p$)
$u_{[1]}$:	Κανονικοποιημένη τάση εξόδου του αντιστροφέα όταν η τάση εισόδου λαμβάνει την τελική της τιμή ($x = 1$)
u_{12} :	Σταθερά ολοκλήρωσης για την εξασφάλιση συνέχειας μεταξύ της πρώτης και της δεύτερης περιοχής λειτουργίας του αντιστροφέα
u_{23} :	Σταθερά ολοκλήρωσης για την εξασφάλιση συνέχειας μεταξύ της δεύτερης και της τρίτης περιοχής λειτουργίας του αντιστροφέα
u_{24} :	Σταθερά ολοκλήρωσης για την εξασφάλιση συνέχειας μεταξύ της δεύτερης και της τέταρτης περιοχής λειτουργίας του αντιστροφέα
V_{DD} :	Τάση τροφοδοσίας
V_{DS} :	Τάση υποδοχής-πηγής ενός τρανζίστορ
V_{GS} :	Τάση πύλης-πηγής ενός τρανζίστορ
V_{SB} :	Τάση πηγής-υποστρώματος ενός τρανζίστορ
V_S :	Δυναμικό ακροδέκτη πηγής ενός τρανζίστορ

V_{in} :	Τάση εισόδου του αντιστροφέα
V_{ini} :	Τάση της εισόδου i σε μια στατική πύλη CMOS
V_{out} :	Τάση εξόδου αντιστροφέα (και άλλων πυλών)
V_T :	Τάση κατωφλίου ενός τρανζίστορ MOS
V_{TN} (V_{TP}):	Τάση κατωφλίου του τρανζίστορ NMOS (PMOS)
V_{TON} (V_{TOP}):	Τάση κατωφλίου του τρανζίστορ NMOS (PMOS) για μηδενική V_{SB}
V_D :	Τάση επαφής διάχυσης-υποστρώματος ενός τρανζίστορ MOS
V_{ON} (V_{OP}):	Τάση που καθορίζει το φαινόμενο κορεσμού της ταχύτητας των ηλεκτρονίων (οπών) σε ένα τρανζίστορ NMOS (PMOS)
v_{on} (v_{op}):	Κανονικοποιημένη V_{ON} (V_{OP}) ως προς την τάση τροφοδοσίας
V_{D-SATN} :	Τάση κόρου του τρανζίστορ NMOS
V_{D-SATP} :	Τάση κόρου του τρανζίστορ PMOS
V'_{DON} :	Τάση κόρου του τρανζίστορ NMOS για το μοντέλο MOS δύναμης του α
V'_{DOP} :	Τάση κόρου του τρανζίστορ PMOS για το μοντέλο MOS δύναμης το α
V_{DON} :	Τάση κόρου του τρανζίστορ NMOS για $V_{GS} = V_{DD}$
V_{DOP} :	Τάση κόρου του τρανζίστορ PMOS για $V_{GS} = V_{DD}$
V_{inv} :	Τάση λογικού κατωφλίου αντιστροφέα (και άλλων πυλών)
V_P :	Τάση οροπεδίου που αφορά τον ακροδέκτη πηγής του τρανζίστορ της αλυσίδας που συνδέεται στην έξοδο μιας πύλης
V_{ON} :	Τάση πηγής του τρανζίστορ της αλυσίδας που συνδέεται στην έξοδο μιας πύλης, στο χρονικό σημείο t_{ON}
W_n (W_p):	Πλάτος καναλιού του τρανζίστορ NMOS (PMOS)
W_{eq} :	Πλάτος καναλιού ισοδύναμου τρανζίστορ σειριακά ή παράλληλα συνδεδεμένων τρανζίστορ
ϕ_b :	Δυναμικό υποστρώματος που σχετίζεται με τη νόθευσή του ($2\phi_b$: δυναμικό αντιστροφής επιφάνειας υποστρώματος)
x :	Κανονικοποιημένος χρόνος ως προς το χρόνο μετάβασης της τάσης εισόδου ($x = t / \tau$)
x_{satp} (x_{satn}):	Τιμή κανονικοποιημένου χρόνου όπου το τρανζίστορ PMOS (NMOS) εισέρχεται στη γραμμική περιοχή λειτουργίας
x'_{satp} :	Συμπίπτει με την τιμή x_{satp} εάν στη δεύτερη περιοχή λειτουργίας του αντιστροφέα θεωρηθεί μηδενικό το ρεύμα του τρανζίστορ PMOS
x_1 :	Τιμή κανονικοποιημένου χρόνου όπου τελειώνει η υπέρβαση της τάσης ε-

- ξόδου πάνω από την τάση τροφοδοσίας(ή η βύθιση της σε αρνητικές τιμές)
- x'_1 : Συμπίπτει με την τιμή x_1 εάν στη δεύτερη περιοχή λειτουργίας του αντιστροφέα θεωρηθεί μηδενικό το ρεύμα του τρανζίστορ βραχυκυκλώματος
- x_2, x_3 : Οριακές τιμές κανονικοποιημένου χρόνου στον παλμό του ρεύματος βραχυκυκλώματος για την ανάλυση με το μοντέλο MOS δύναμης α
- y_n : Σταθερά στην έκφραση κανονικοποιημένης τάσης εξόδου της πρώτης περιοχής λειτουργίας του αντιστροφέα CMOS για την ανάλυση με το μοντέλο MOS δύναμης α

Περίληψη

Στην παρούσα διατριβή, προτείνονται αναλυτικά μοντέλα για τον υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας σε στατικά κυκλώματα τεχνολογίας CMOS. Τα μοντέλα αυτά παρέχουν υψηλή ακρίβεια. Η αναλυτική τους φύση οδηγεί σε μικρούς χρόνους υπολογισμού, αποφεύγοντας τη χρησιμοποίηση χρονοβόρων αριθμητικών μεθόδων.

Αρχικά, μοντελοποιείται η χρονική απόκριση και η κατανάλωση ενέργειας του αντιστροφέα CMOS. Ακολουθώντας μια διεξοδική ανάλυση της λειτουργίας του αντιστροφέα, προκύπτουν αναλυτικές εκφράσεις για την κυματομορφή της τάσης εξόδου του. Οι εκφράσεις αυτές είναι αξιόπιστες για όλες τις περιοχές λειτουργίας του αντιστροφέα και για κάθε κλίση της κυματομορφής της τάσης εισόδου. Λαμβάνουν υπόψη τις επιδράσεις του ρεύματος του τρανζίστορ μέσω του οποίου φορτίζεται ή εκφορτίζεται ο κόμβος εξόδου, του ρεύματος βραχυκυκλώματος, της χωρητικότητας εξόδου και της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου του αντιστροφέα. Με βάση την ανάλυση της κυματομορφής εξόδου, παράγονται ακριβείς εκφράσεις για τον υπολογισμό της καθυστέρησης του αντιστροφέα (το σφάλμα σε σχέση με το SPICE μικρότερο από 5 % στις περισσότερες περιπτώσεις). Επίσης, καθορίζεται και ο ενεργός χρόνος μετάβασης εξόδου, έτσι ώστε το μοντέλο χρονικής απόκρισης να μπορεί να εφαρμοστεί σε αλυσίδες αντιστροφένων.

Επειδή η συνιστώσα της δυναμικής κατανάλωσης ενέργειας που οφείλεται στη φόρτιση ή την εκφόρτιση της χωρητικότητας εξόδου είναι εύκολο να εκτιμηθεί, στην παρούσα διατριβή δίνεται έμφαση στον υπολογισμό της ενέργειας βραχυκυκλώματος, η οποία εξαρτάται από την κλίση της κυματομορφής εισόδου, την χωρητικότητα εξόδου, την τάση τροφοδοσίας και τα εσωτερικά χαρακτηριστικά των πυλών. Ο υπολογισμός της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα, βασίζεται στις αναλυτικές εκφράσεις της κυματομορφής της τάσης εξόδου του.

Τα προτεινόμενα αναλυτικά μοντέλα χρονικής απόκρισης και κατανάλωσης ενέργειας βραχυκυκλώματος, βασίζονται σε τρία μοντέλα τρανζίστορ MOS. Αρχικά, χρησιμοποιείται το μοντέλο MOS νόμου του τετραγώνου, το οποίο είναι αξιόπιστο για τρανζίστορ με μεγάλο μήκος καναλιού. Επειδή όμως το μοντέλο αυτό δεν παρέχει υψηλή ακρίβεια στην περίπτωση τρανζίστορ με μικρό μήκος καναλιού, χρησιμοποιούνται δύο ακόμη μοντέλα MOS. Ένα απλό μοντέλο, το οποίο λαμβάνει υπόψη το φαινόμενο κορεσμού της ταχύτητας των φορέων και είναι αξιόπιστο για τρανζίστορ υπομικρομέτρου, και ένα πιο εξελιγμένο που ονομάζεται μοντέλο MOS δύναμης του α . Το τελευταίο μπορεί να χρησιμοποιηθεί για οποιοδήποτε μήκος καναλιού, εξασφαλίζοντας ακριβέστερη μοντελοποίηση του φαινομένου κορεσμού της ταχύτητας των φορέων, που έχει πολύ σημαντική επίδραση στα τρανζίστορ με μικρό μήκος καναλιού.

Μετά τη μοντελοποίηση του αντιστροφέα CMOS, προτείνεται μια μεθοδολογία για την αναγωγή στατικών πυλών CMOS σε ισοδύναμους αντιστροφείς. Συνδυάζοντας την μεθοδολογία αυτή με τα μοντέλα που παράχθηκαν για τον αντιστροφέα, μπορεί να επιτευχθεί γρήγορα και με ακρίβεια ο υπολογισμός της χρονικής απόκρι-

σης και της κατανάλωσης ενέργειας βραχυκυκλώματος των πυλών. Η αναγωγή μιας πύλης σε ισοδύναμο αντιστροφέα, βασίζεται στην ανάλυση της λειτουργίας των σειριακά και παράλληλα συνδεδεμένων τρανζίστορ, όταν αυτά λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης του κόμβου εξόδου και όταν λειτουργούν ως κλάδος βραχυκυκλώματος της πύλης. Κατά την ανάλυση αυτή, λαμβάνονται υπόψη οι επιδράσεις του φορτίου εξόδου, του χρόνου μετάβασης εισόδου, του αριθμού και της θέσης των εισόδων που βρίσκονται υπό μετάβαση, του φαινομένου σώματος και των χωρητικότητων των εσωτερικών κόμβων. Τα αποτελέσματα που προκύπτουν από τα αναλυτικά μοντέλα παρουσιάζουν πολύ καλή συμφωνία με εκείνα που παράγονται από κυκλωματικές εξομοιώσεις με το SPICE.

Abstract

ANALYTICAL TIMING AND ENERGY DISSIPATION MODELS FOR STATIC CMOS CIRCUITS

In this Ph.D. dissertation, analytical models for the evaluation of the transient response and the energy dissipation in static CMOS circuits, are proposed. These models provide high accuracy. Their analytical nature results in short computational times, avoiding the use of time-consuming numerical methods.

First, the transient response and the energy dissipation of the CMOS inverter are modeled. Following an exhaustive analysis of the inverter operation, analytical expressions for the inverter output voltage waveform are derived. These expressions are valid for all inverter operation regions and input waveform slopes. They take into account the influences of the load transistor current, the short-circuit current, the output capacitance, and the input-to-output coupling capacitance. Based on the analysis of the output waveform, accurate formulae for the calculation of the propagation delay are produced (in most cases the error is lower than 5 % with respect to SPICE). Also, the effective output transition time of the inverter is determined, for the model to be applicable in inverter chains.

Since the dynamic component of the energy dissipation which is due to the charge or discharge of the output capacitance is easy to be estimated, the emphasis of this dissertation is on the evaluation of the short-circuit energy dissipation, which depends on the slope of the input waveform, the output capacitance, the supply voltage, and the internal characteristics of a gate. The evaluation of the inverter short-circuit energy dissipation is also based on the analytical expressions of the inverter output voltage waveform.

The proposed analytical timing and short-circuit energy dissipation models are based on three MOS transistor models. First, the approximated bulk-charge square-law MOS model is used, which is valid for long-channel transistors. Since the square-law model does not provide reasonable accuracy in the case of short-channel transistors, two additional MOS models are used. A simple one, which takes into account the carriers' velocity saturation effect and is valid for sub-micron transistors, and a more advanced model named α -power law MOS model. The last model can be used for any transistor channel length, providing a more accurate modeling of the carriers' velocity saturation effect, which is prominent in short-channel devices.

After the modeling of the CMOS inverter, a methodology for the reduction of static CMOS gates to equivalent inverters is proposed. Combining this methodology with the inverter-based analytical models, the transient response and the short-circuit energy dissipation of static gates can be computed quickly and accurately. The reduction of a gate to an equivalent inverter is based on the operation analysis of the series- and parallel-connected transistors, when they operate as the charging or discharging block of the output node and when they operate as the short-circuiting block of the gate. During this analysis, the influences of the output load, the input transition time, the number and the position of switching inputs, the body effect, and the internal

node capacitances are taken into account. The analytically derived results are in very good agreement with those produced by SPICE simulations.

Κεφάλαιο 1

Εισαγωγή

1.1 Διαδικασία εξομοίωσης κυκλωμάτων VLSI

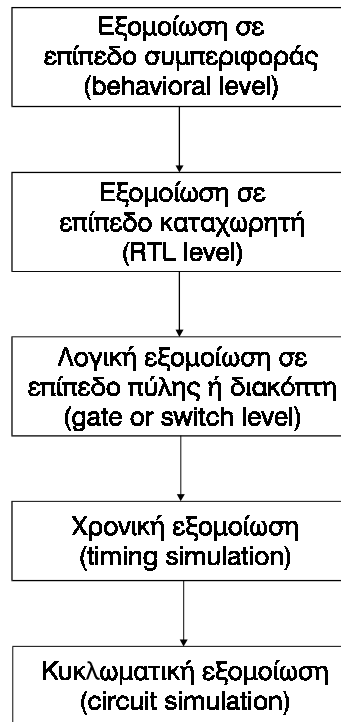
Στο παρελθόν, ο σχεδιασμός ενός ηλεκτρονικού κυκλώματος ξεκινούσε με τη μεταφορά των ιδεών του σχεδιαστή στη μορφή ενός σχηματικού διαγράμματος του κυκλώματος. Το πρώτο αυτό βήμα σχετιζόταν κυρίως με τη διαίσθηση, την εμπειρία και τη γνώση του σχεδιαστή. Επόμενο βήμα ήταν η φάση της επαλήθευσης (“bread-boarding” phase), όπου ένα πρωτότυπο του κυκλώματος κατασκευαζόταν από διακριτά στοιχεία συνδεδεμένα με εξωτερικές καλωδιώσεις και ελεγχόταν η λειτουργία του. Στην περίπτωση που η απόδοση του κυκλώματος δεν κρινόταν ικανοποιητική, βελτιωνόταν με κατάλληλη προσαρμογή των τιμών των στοιχείων.

Με την έλευση όμως των ολοκληρωμένων κυκλωμάτων, η εικόνα αυτή άλλαξε ριζικά. Η ανάπτυξη της τεχνολογίας οδήγησε στην ολοκλήρωση χιλιάδων ή ακόμη και εκατομμυρίων τρανζίστορ σε ένα κύκλωμα πυριτίου (silicon chip). Έτσι δημιουργήθηκε η ανάγκη πολλών σταδίων για το σχεδιασμό κυκλωμάτων πολύ μεγάλης κλίμακας ολοκλήρωσης (Very Large Scale Integration – VLSI). Αρχικά ο σχεδιαστής καθορίζει μια περιγραφή της λειτουργίας του συστήματος σε υψηλό επίπεδο, βασισμένη στις απαιτούμενες προδιαγραφές. Αυτό γίνεται συνήθως με χρήση μιας γλώσσας περιγραφής υλικού (hardware description language), όπως είναι η VHDL [1]. Στη συνέχεια ακολουθεί η διαδικασία της σύνθεσης που μεταφράζει την περιγραφή υψηλού επιπέδου σε διάφορα χαμηλότερα σχεδιαστικά επίπεδα όπως το επίπεδο καταχωρητή (register-transfer level – RTL), το επίπεδο του τρανζίστορ κ.α., τελειώνοντας με το φυσικό επίπεδο (physical mask level). Το επόμενο βήμα είναι η διαδικασία της επαλή-

θευσης του κυκλώματος (design verification). Στην περίπτωση των ολοκληρωμένων κυκλωμάτων η παραδοσιακή διαδικασία επαλήθευσης (“bread–boarding”) απαιτεί πολύ χρόνο για να ολοκληρωθεί (όταν είναι εφικτή η ολοκλήρωσή της) και επιπλέον δεν αναπαριστά με ακρίβεια τις ηλεκτρικές παραμέτρους των στοιχείων και τα παρασιτικά φαινόμενα των κυκλωμάτων. Γι’ αυτό έχει αντικατασταθεί από τη διαδικασία της εξομοίωσης (simulation). Ο κύριος στόχος του σχεδιαστή είναι η μείωση του συνολικού χρόνου σχεδιασμού σε συνδυασμό με την ακριβή πρόβλεψη της απόδοσης του κυκλώματος. Η ακρίβεια της εξομοίωσης είναι σημαντικός παράγοντας, έτσι ώστε να αποφευχθούν ο επανασχεδιασμός ή και η επανακατασκευή του κυκλώματος σε περίπτωση μη πληρότητας των προδιαγραφών. Σε μεγάλα κυκλώματα, η ταχύτητα με την οποία εκτελείται η εξομοίωση είναι εξίσου σημαντική.

Για την ικανοποίηση των παραπάνω απαιτήσεων, έχει κριθεί σκόπιμη η χρήση λογισμικών εργαλείων σχεδιασμού (computer-aided design tools – CAD). Τα εργαλεία που χρησιμοποιούνται για το σχεδιασμό και την εξομοίωση σύνθετων ολοκληρωμένων κυκλωμάτων είναι διαφορετικά από εκείνα που χρησιμοποιούνται για κυκλώματα μικρής κλίμακας ολοκλήρωσης. Για κυκλώματα μικρής κλίμακας, εξομοιωτές σε κυκλωματικό επίπεδο όπως το SPICE (Simulation Program with Integrated Circuit Emphasis) [2] που αναπτύχθηκε στις αρχές της δεκαετίας του '70 είναι επαρκείς, αφού μπορούν να αναλύουν κυκλώματα που περιέχουν μέχρι μερικές εκατοντάδες τρανζίστορ σε σχετικά μικρό χρόνο. Οι εξομοιωτές αυτοί ανήκουν στην κατηγορία των αναλογικών ή κυκλωματικών εξομοιωτών που αντιμετωπίζουν το κύκλωμα ως ένα συνεχές δυναμικό σύστημα και προσπαθούν να περιγράψουν τη λειτουργία του με μη γραμμικές διαφορικές εξισώσεις, που περιέχουν ηλεκτρικές μεταβλητές όπως τάσεις, ρεύματα και φορτία.

Για να εξομοιωθούν αποδοτικά τα σημερινά κυκλώματα VLSI στα διάφορα επίπεδα της διαδικασίας σχεδιασμού, απαιτούνται αρκετοί τύποι εξομοίωσης. Έτσι μπορεί να εκτελεστεί εξομοίωση ενός κυκλώματος σε επίπεδο συμπεριφοράς (behavioral level), σε επίπεδο καταχωρητή (register-transfer level – RTL), λογική εξομοίωση σε επίπεδο πύλης (gate level) ή διακόπτη (switch level), χρονική εξομοίωση (timing simulation) και κυκλωματική ανάλυση–εξομοίωση (circuit analysis–simulation). Το τυπικό ιεραρχικό σύστημα εξομοίωσης κυκλωμάτων VLSI φαίνεται στο Σχήμα 1.1. Οι εξομοιωτές στο επίπεδο συμπεριφοράς [3],[4] επαληθεύουν τη συμπεριφορά των εξόδων του συστήματος σε σχέση με τις εισόδους του, μη λαμβάνοντας υπόψη τις εσω-



Σχήμα 1.1: Ιεραρχία εξομίωσης κυκλωμάτων VLSI

τερικές δομές και την τεχνολογία που θα χρησιμοποιηθεί για την υλοποίησή του. Ουσιαστικά, οι εξομοιωτές επιπέδου συμπεριφοράς επαληθεύουν τον αλγόριθμο που υλοποιείται από το σύστημα. Στο επόμενο επίπεδο (καταχωρητή – RTL), η συμπεριφορά ενός συστήματος υλοποιείται με δομικά στοιχεία, όπως αριθμητικές μονάδες και καταχωρητές. Οι εξομοιωτές επιπέδου καταχωρητή [3],[5] επαληθεύουν την περιγραφή RTL του συστήματος και δίνουν μια πρώτου βαθμού πληροφορία για το χρονισμό του. Το επόμενο επίπεδο στην ιεραρχία σχεδιασμού είναι το επίπεδο λογικής πύλης. Εξομίωση σε επίπεδο πύλης ή λογική εξομίωση [6],[7],[8] χρησιμοποιείται για την επαλήθευση της λογικής συμπεριφοράς των ψηφιακών κυκλωμάτων. Οι λογικοί εξομοιωτές χρησιμοποιούν πρωτογενή μοντέλα όπως αντιστροφείς, πύλες NAND και NOR, flip-flop και μνήμες. Η λογική κατάσταση σε κάθε κόμβο του κυκλώματος καθορίζεται με βάση τις πράξεις της άλγεβρας Boole και περιγράφεται χρησιμοποιώντας ένα μικρό σύνολο διακριτών τιμών: 0, 1, X–ακαθόριστη τιμή μεταξύ 0 και 1, Z–τιμή υψηλής εμπέδησης. Μερικοί λογικοί εξομοιωτές λειτουργούν σε κατάσταση “μοναδιαίας καθυστέρησης”, όπου κάθε πύλη θεωρείται ότι έχει καθυστέρηση μιας χρονικής μονάδας. Με σκοπό την εξασφάλιση πληροφορίας χρονισμών, κάποιοι εξομοιωτές επιτρέπουν τη χρήση διαφορετικών καθυστερήσεων για κάθε λογική πύλη. Οι παράμετροι χρονισμού μπορούν να ανατεθούν στα λογικά μοντέλα των πυλών με

βάση προγενέστερη εξομοίωση σε επίπεδο κυκλώματος. Οι περισσότεροι εξομοιωτές επιπέδου πύλης λειτουργούν σε γεγονοδηγούμενη βάση (event-driven) και δεν χρησιμοποιούν χρονικό βήμα όπως οι εξομοιωτές σε επίπεδο κυκλώματος. Το βασικό πλεονέκτημά τους είναι η μεγάλη ταχύτητα, που τους δίνει τη δυνατότητα να εξομοιώνουν κυκλώματα μεγάλου μεγέθους. Ωστόσο, σε κυκλώματα MOS, αρκετές περιπτώσεις όπως τα τρανζίστορ διπλής κατεύθυνσης ή τα φαινόμενα καταμερισμού φορτίου δεν μπορούν να μοντελοποιηθούν στο επίπεδο πύλης, παρά μόνο στο επίπεδο του τρανζίστορ. Έτσι αναπτύχθηκε η εξομοίωση σε επίπεδο διακόπτη [9],[10] όπου με τη συγχώνευση τεχνικών λογικής εξομοίωσης και τεχνικών κυκλωματικής εξομοίωσης, τα τρανζίστορ μοντελοποιούνται ως διακόπτες. Το κύκλωμα διαιρείται σε κομμάτια που αποτελούνται από τρανζίστορ-διακόπτες συνδεδεμένα μεταξύ τους διαμέσου των ακροδεκτών πηγής και υποδοχής. Στη συνέχεια εξετάζονται τα μονοπάτια μεταξύ των κόμβων εξόδου των πυλών και των πηγών τάσης (τροφοδοσία, γείωση), για να καθοριστεί η λογική κατάσταση των κόμβων του κυκλώματος. Ωστόσο, οι εξομοιωτές επιπέδου διακόπτη παρουσιάζουν προβλήματα όσον αφορά την έλλειψη ακρίβειας στην πληροφορία χρονισμού που παρέχουν, αφού στις περισσότερες περιπτώσεις τα τρανζίστορ απλοποιούνται σε γραμμικές αντιστάσεις.

Ανάλυση όλων των φαινομένων που παρατηρούνται σε ένα κύκλωμα, με σκοπό τον ακριβή καθορισμό των χρονισμών του και τον ακριβή υπολογισμό των κυματομορφών των σημάτων του, μπορεί να γίνει με κυκλωματική εξομοίωση σε επίπεδο τρανζίστορ. Εξομοιωτές αυτού του επιπέδου είναι το SPICE [2] και το ASTAP [11], που χαρακτηρίζονται από υψηλή ακρίβεια αλλά και μεγάλους χρόνους εξομοίωσης. Επειδή η χρήση εργαλείων αυτού του τύπου δεν είναι πρακτική για ανάλυση μεγάλων κυκλωμάτων VLSI, πολλές τεχνικές έχουν εφαρμοστεί για να βελτιώσουν την ταχύτητά τους. Οι περισσότερες από αυτές βασίζονται σε τεμαχισμό του κυκλώματος (circuit partitioning) [12],[13] σε υποκυκλώματα, έτσι ώστε κάθε υποκύκλωμα να αντιμετωπίζεται ανεξάρτητα, ή σε μεθόδους χαλάρωσης (relaxation methods) [14],[15], έτσι ώστε να μειώνεται η πολυπλοκότητα των εξισώσεων που χειρίζονται οι αναλογικοί εξομοιωτές. Οι τεχνικές αυτές είναι συνήθως μια τάξη μεγέθους γρηγορότερες από το SPICE, παραμένοντας αργές για μεγάλα κυκλώματα VLSI.

Έτσι για να γεφυρωθεί το κενό μεταξύ των κυκλωματικών εξομοιωτών και των λογικών εξομοιωτών είναι αναγκαία η ανάπτυξη γρήγορων εξομοιωτών που να παρέχουν ικανοποιητική ακρίβεια στην εξομοίωση της χρονικής απόκρισης των κυκλωμά-

των. Ένας τρόπος για να γίνει αυτό είναι η ενίσχυση των εξομοιωτών σε επίπεδο διακόπτη, με επιπλέον στοιχεία που αφορούν το κυκλωματικό επίπεδο, έτσι ώστε να παρουσιάζουν μεγαλύτερη ακρίβεια στην εξομοίωση της χρονικής απόκρισης. Επίσης έχουν αναπτυχθεί κάποιες τεχνικές που συνδυάζουν στοιχεία από διάφορα επίπεδα εξομοίωσης και αναφέρονται ως τεχνικές γρήγορης χρονικής εξομοίωσης [16],[17] (fast timing simulation techniques). Οι τεχνικές αυτές επιτυγχάνουν ταχύτητα εξομοίωσης έως και δύο τάξεις μεγέθους μεγαλύτερη από αυτή του SPICE. Αναλυτική περιγραφή τους γίνεται στο Κεφάλαιο 2. Μια μέθοδος που οδηγεί σε αποδοτική χρονική εξομοίωση όσον αφορά την ταχύτητα και την ακρίβεια της, και στην οποία δίνεται έμφαση στην παρούσα διατριβή, είναι η ανάπτυξη αναλυτικών μοντέλων για την χρονική απόκριση βασικών κυκλωμάτων (όπως ο αντιστροφέας CMOS) [18],[19] και στη συνέχεια η αναγωγή σύνθετων κυκλωμάτων σε αυτά τα βασικά κυκλώματα [20],[21].

Αν και το μεγαλύτερο μέρος της έρευνας τα προηγούμενα χρόνια στην περιοχή της εξομοίωσης κυκλωμάτων VLSI επικεντρωνόταν στην εκτίμηση της χρονικής απόκρισης, πρόσφατα η απαίτηση για φορητές εφαρμογές υποδεικνύει ότι μια από τις πιο κρίσιμες σχεδιαστικές παραμέτρους είναι η κατανάλωση ενέργειας. Επομένως, στα σύγχρονα συστήματα VLSI, είναι αναγκαία η ανάλυση και η εκτίμηση της κατανάλωσης ενέργειας των κυκλωμάτων που τα συνθέτουν.

Η ενέργεια που καταναλώνεται σε ένα κύκλωμα CMOS αποτελείται από τρεις συνιστώσες: τη στατική κατανάλωση ενέργειας [8],[22], τη δυναμική κατανάλωση ενέργειας λόγω της φόρτισης και της εκφόρτισης των χωρητικών φορτίων [23],[24],[25] και την κατανάλωση ενέργειας λόγω του ρεύματος βραχυκυκλώματος (short-circuit energy dissipation) [25],[26]. Επειδή στα κυκλώματα CMOS η στατική κατανάλωση οφείλεται στα ρεύματα διαρροής, καταλαμβάνει μονάχα ένα πολύ μικρό ποσοστό της συνολικής κατανάλωσης ενέργειας. Η σημαντικότερη συνιστώσα είναι η δυναμική κατανάλωση ενέργειας και εξαρτάται από το χωρητικό φορτίο που φορτίζεται ή εκφορτίζεται και την τάση τροφοδοσίας. Η κατανάλωση ενέργειας βραχυκυκλώματος οφείλεται στο αγώγιμο μονοπάτι που δημιουργείται μεταξύ της τροφοδοσίας και της γείωσης, κατά τη διάρκεια της μεταγωγής μιας πύλης CMOS, και εξαρτάται από τον χρόνο μετάβασης των εισόδων, το χωρητικό φορτίο, την τάση τροφοδοσίας και τα εσωτερικά σχεδιαστικά χαρακτηριστικά της πύλης.

Τα τελευταία χρόνια έχουν αναπτυχθεί διάφορες μέθοδοι, για την προσαρμογή των εξομοιωτών έτσι ώστε να παρέχουν εξομοίωση των ρευμάτων που ρέουν στα κυ-

κλώματα, οπότε και εκτίμηση της ενέργειας που καταναλώνουν. Όπως και στην εξομοίωση της χρονικής απόκρισης κάθε επίπεδο παρουσιάζει πλεονεκτήματα και μειονεκτήματα. Οι εξομοιωτές σε επίπεδο κυκλώματος παρέχουν λεπτομερειακή ανάλυση των ρευμάτων στους κόμβους του κυκλώματος, με το κόστος βέβαια των μεγάλων χρόνων εξομοίωσης. Με την προσαρμογή κάποιων υποκυκλωμάτων μέτρησης [27],[28] στο υπό ανάλυση κύκλωμα, οι εξομοιωτές αυτοί μπορούν εύκολα να μετρήσουν και την κατανάλωση ενέργειας. Κάποιοι εξομοιωτές επιπέδου πύλης και διακόπτη παρέχουν μια γρήγορη εκτίμηση της δυναμικής κατανάλωσης ενέργειας με σχετικά επαρκή ακρίβεια, λόγω του ότι η συνιστώσα αυτή της κατανάλωσης ενέργειας εξαρτάται μονάχα από το χωρητικό φορτίο και την τάση τροφοδοσίας. Στην περίπτωση όμως της κατανάλωσης βραχυκυκλώματος απαιτείται ακριβέστερη μοντελοποίηση των χαρακτηριστικών των κυκλωμάτων για να επιτευχθεί υψηλή ακρίβεια. Στην παρούσα διατριβή δίδεται έμφαση στην ανάλυση και εκτίμηση αυτής της συνιστώσας η οποία μπορεί να φτάσει μέχρι το 20-30% της συνολικής κατανάλωσης ενέργειας.

1.2 Μοντελοποίηση κυκλωμάτων CMOS VLSI

Μια μέθοδος που χρησιμοποιείται για την εξομοίωση ψηφιακών κυκλωμάτων CMOS VLSI, είναι αυτή που βασίζεται σε μοντέλα χρονικής απόκρισης μικρότερων και απλούστερων κυκλωμάτων, έτσι ώστε οι επιθυμητές κυματομορφές τάσης εξόδου να παράγονται σε σχετικά μικρό χρόνο και με επαρκή ακρίβεια. Από αρκετούς ερευνητές η μέθοδος αυτή αναφέρεται και ως μακρομοντελοποίηση (macro-modeling) [29],[30]. Κάθε τεχνική μοντελοποίησης έχει τα δικά της χαρακτηριστικά όσον αφορά την ακρίβεια, την ταχύτητα υπολογισμού και το εύρος της εφαρμογής της. Αν και οι τεχνικές μοντελοποίησης και εξομοίωσης κυκλωμάτων CMOS VLSI που έχουν αναπτυχθεί είναι αρκετές, υπάρχει ακόμη ανάγκη για νέες πιο δραστικές τεχνικές.

Η συνεχιζόμενη εξέλιξη της τεχνολογίας έχει οδηγήσει σε μεγάλη αύξηση του αριθμού των τρανζίστορ των κυκλωμάτων VLSI, με αποτέλεσμα η σχετική ακρίβεια των υπάρχοντων μεθόδων μοντελοποίησης να μειώνεται. Οι θεωρήσεις που χρησιμοποιούνται σε μεθόδους που βασίζονται σε παλιές τεχνολογίες δε λειτουργούν σωστά με τις νέες τεχνολογίες. Για παράδειγμα τα εργαλεία και οι τεχνικές που θεω-

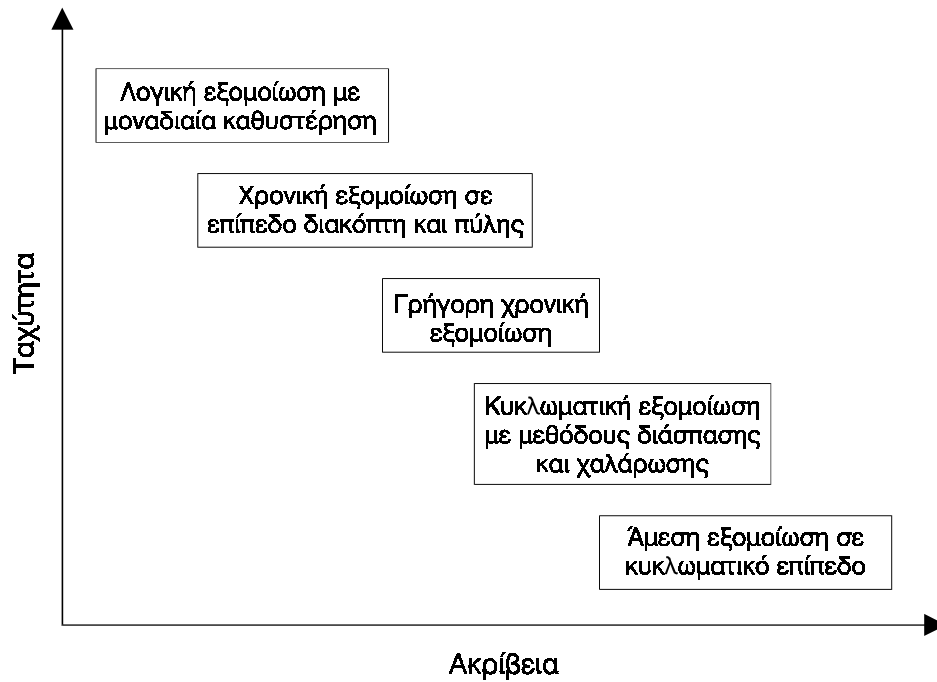
ρούν ότι το ρεύμα υποδοχής (drain current) δίνεται από εξίσωση τετραγωνικής μορφής [18],[31] δεν μπορούν να εκτιμήσουν με ακρίβεια την χρονική απόκριση κυκλωμάτων που αποτελούνται από τρανζίστορ με μικρό μήκος καναλιού (short-channel transistors) [32],[33]. Έτσι ένα από τα προβλήματα που πρέπει να ξεπεραστούν κατά τη μοντελοποίηση είναι ο χειρισμός των εξισώσεων που δίνουν το ρεύμα υποδοχής των τρανζίστορ μικρού μήκους καναλιού. Επίσης, ένα άλλο θέμα που πρέπει να αντιμετωπιστεί είναι η μοντελοποίηση των παρασιτικών χωρητικότητων [34],[35], καθώς και των ρευμάτων βραχυκυκλώματος (short-circuit currents) [26],[36] που επηρεάζουν σε μεγάλο βαθμό την απόκριση των κυκλωμάτων.

Όπως αναφέρθηκε στην παράγραφο 1.1, υπάρχουν αρκετές διαφορετικές τεχνικές μοντελοποίησης και εξομοίωσης των κυκλωμάτων VLSI. Στο Σχήμα 1.2, μπορεί κανείς να διαπιστώσει ότι όσο μετακινούμαστε προς τα κάτω στην ιεραρχία, η ακρίβεια αυξάνεται με συνέπεια όμως τη μείωση της ταχύτητας. Υπάρχουν τέσσερις βασικοί τύποι τεχνικών μοντελοποίησης της χρονικής απόκρισης και της κατανάλωσης ενέργειας των κυκλωμάτων, οι οποίοι μπορούν να χρησιμοποιηθούν σε διάφορα επίπεδα της ιεραρχίας του Σχήματος 1.2. Οι τύποι αυτοί αναφέρονται επιγραμματικά παρακάτω και θα εξεταστούν λεπτομερειακά στο Κεφάλαιο 2.

- Μοντελοποίηση με χρήση πινάκων αναφοράς (lookup tables) [29],[37]-[39].
- Μοντελοποίηση με εμπειρικές εξισώσεις [40]-[42].
- Μοντελοποίηση με ισοδύναμα κυκλώματα RC [43]-[45].
- Μοντελοποίηση με βάση την ανάλυση της απόκρισης του αντιστροφέα [18],[19],[46],[47].

Πρόσφατα, έχουν αναπτυχθεί επίσης αρκετές τεχνικές για την εκτίμηση της κατανάλωσης ενέργειας που βασίζονται σε πιθανότητες και στατιστική, έτσι ώστε να ξεπεραστεί το πρόβλημα της εξάρτησης της κατανάλωσης ενέργειας από τα δεδομένα εισόδου. Οι τεχνικές αυτές βέβαια δεν ανήκουν στην κατηγορία των τεχνικών εξομοίωσης (non-simulative techniques).

Οι τεχνικές μοντελοποίησης που χρησιμοποιούν πίνακες αναφοράς και εμπειρικές εξισώσεις έχουν ως κοινό μειονέκτημα το ότι απαιτούν μεγάλο χρόνο για τον προχαρακτηρισμό (pre-characterization) των βασικών υποκυκλωμάτων για διάφορες τιμές κλίσεων κυματομορφών εισόδου και φορτίων εξόδου. Επίσης, η διαδικασία του προχαρακτηρισμού πρέπει να επαναληφθεί στην περίπτωση όπου θα αλλάξουν τα χαρακτηριστικά και οι παράμετροι της χρησιμοποιούμενης τεχνολογίας. Η χρήση πι-



Σχήμα 1.2: Σχέση ταχύτητας και ακρίβειας των επιπέδων εξομοίωσης

νάκων αναφοράς οδηγεί σε σημαντικά λάθη παρεμβολής (interpolation errors). Οι τεχνικές που βασίζονται σε ισοδύναμα κυκλώματα RC απλοποιούν συνήθως τα τρανζίστορ σε γραμμικές αντιστάσεις, με αποτέλεσμα τη μοντελοποίηση των κυκλωμάτων με μειωμένη ακρίβεια.

Οι τεχνικές που βασίζονται σε αναλυτικά μοντέλα του αντιστροφέα CMOS παρέχουν υψηλή ακρίβεια με σχετικά μικρούς χρόνους υπολογισμού, όταν τηρούνται οι παρακάτω προϋποθέσεις:

- Κατάλληλη μοντελοποίηση του ρεύματος των τρανζίστορ για την τεχνολογία που χρησιμοποιείται.
- Συμπερίληψη των επιδράσεων των χωρητικότητων εξόδου και σύζευξης (coupling) εισόδου-εξόδου, στην απόκριση του αντιστροφέα.
- Συνυπολογισμός των δευτερευόντων ρευμάτων που επιδρούν στη χρονική απόκριση του αντιστροφέα (π.χ. ρεύμα βραχυκυκλώματος).
- Μοντελοποίηση της απόκρισης του αντιστροφέα σε σχέση με την κλίση της κυματομορφής εισόδου.

Τέλος, για να γίνει εφικτή η αναγωγή σύνθετων πυλών σε ισοδύναμους αντιστροφείς [20],[21], ένα σημαντικό θέμα που προκύπτει είναι η αναγωγή σειριακά και παράλληλα συνδεδεμένων τρανζίστορ σε ένα ισοδύναμο τρανζίστορ. Έτσι είναι αναγκαίο να υπολογιστούν η διαγωγιμότητα καθώς και οι τιμές των παρασιτικών χωρητικότη-

των των τρανζίστορ του ισοδύναμου αντιστροφέα.

Τα αναλυτικά μοντέλα χρονικής απόκρισης που έχουν αναπτυχθεί μέχρι σήμερα παρουσιάζουν ανακρίβειες λόγω της μη τήρησης κάποιων ή κάποιας από τις παραπάνω προϋποθέσεις. Έτσι η ευρεία χρησιμοποίησή τους σε εμπορικά εργαλεία εξομοίωσης δεν έχει επέλθει ακόμη. Ωστόσο, η ανάπτυξη αναλυτικών μοντέλων υποδεικνύει τις αιτίες της ανακρίβειας των υπαρχόντων εξομοιωτών κυκλωμάτων. Στην παρούσα διατριβή αναλύονται τα ζητήματα που έως σήμερα έχουν αποτρέψει την ευρεία χρησιμοποίηση αναλυτικών μαθηματικών μοντέλων και προτείνονται τεχνικές για τη βελτίωση της απόδοσής τους.

1.3 Καινοτομίες – Οργάνωση της διατριβής

Στην διατριβή αυτή αναπτύσσονται αναλυτικά μαθηματικά μοντέλα για τον υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας του αντιστροφέα CMOS. Μέσα από τη μοντελοποίηση της χρονικής απόκρισης προκύπτουν αναλυτικές εκφράσεις για τον υπολογισμό της καθυστέρησης και του χρόνου μετάβασης της τάσης εξόδου του αντιστροφέα. Επειδή η δυναμική κατανάλωση ενέργειας εξαρτάται μονάχα από το χωρητικό φορτίο και την τάση τροφοδοσίας, είναι εύκολο να αναλυθεί και τα μοντέλα που έχουν αναπτυχθεί μέχρι σήμερα είναι ικανοποιητικά. Έτσι στη διατριβή δίνεται έμφαση στον αναλυτικό υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος, η οποία εξαρτάται από το χρόνο μετάβασης της εισόδου, το χωρητικό φορτίο, τη χωρητικότητα σύζευξης μεταξύ της εισόδου και της εξόδου, την τάση τροφοδοσίας και τις διαστάσεις των δύο τρανζίστορ του αντιστροφέα.

Το βασικό μειονέκτημα των μοντέλων που έχουν αναπτυχθεί μέχρι σήμερα είναι η μειωμένη ακρίβεια που παρέχουν, λόγω της ελλιπούς μοντελοποίησης της λειτουργίας του αντιστροφέα CMOS. Μερικά από αυτά παρουσιάζουν μικρή ακρίβεια λόγω του ότι χρησιμοποιούν απλουστευμένες εκφράσεις για να μοντελοποιήσουν το ρεύμα υποδοχής των τρανζίστορ. Άλλα δε λαμβάνουν υπόψη την επίδραση του ρεύματος βραχυκυκλώματος, που είναι μεγάλη, ιδιαίτερα όταν η είσοδος είναι αργή. Σημαντική επίδραση στη χρονική απόκριση αλλά και στην κατανάλωση ενέργειας βραχυκυκλώματος του αντιστροφέα έχει και η χωρητικότητα σύζευξης μεταξύ της εισόδου και της εξόδου, η οποία όμως δε λαμβάνεται υπόψη στα περισσότερα μοντέλα που έχουν αναπτυχθεί μέχρι σήμερα.

Στη παρούσα διατριβή αναπτύσσονται αναλυτικά μοντέλα για τον υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα, τα οποία ξεπερνούν τα παραπάνω προβλήματα που οδηγούν σε μειωμένη ακρίβεια. Τα μοντέλα αυτά παρουσιάζουν αυξημένη ακρίβεια, λόγω του ότι βασίζονται στην παραγωγή αναλυτικών εκφράσεων της κυματομορφής της τάσης εξόδου του αντιστροφέα, που εκτός από τις κύριες επιδράσεις της κλίσης της κυματομορφής εισόδου, του χωρητικού φορτίου και του ρεύματος φόρτισης ή εκφόρτισης, συμπεριλαμβάνουν και τις επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου. Κατά την ανάπτυξη των μοντέλων αποφεύγεται η χρήση αριθμητικών μεθόδων και δεδομένων που προέρχονται από κυκλωματική εξομοίωση, έτσι ώστε οι μαθηματικές εκφράσεις που προκύπτουν να είναι απλές και να οδηγούν σε μικρό χρόνο υπολογισμού.

Ένα επίσης σημαντικό θέμα που εξετάζεται στη διατριβή είναι η αναγωγή λογικών πυλών CMOS σε ισοδύναμους αντιστροφείς. Η διαδικασία αυτή είναι μια ακόμη πηγή λαθών στα υπάρχοντα μοντέλα. Στα περισσότερα από αυτά χρησιμοποιούνται διάφορες απλουστεύσεις για την αναγωγή. Για παράδειγμα η κλασική θεώρηση [8], [41],[48], που γίνεται είναι η αντικατάσταση των σειριακά συνδεδεμένων τρανζίστορ από ένα απλό τρανζίστορ με πλάτος καναλιού ίσο με το πλάτος του ενός δια το συνολικό αριθμό των τρανζίστορ, και η αντικατάσταση των παράλληλα συνδεδεμένων τρανζίστορ από ένα τρανζίστορ με πλάτος ίσο με το άθροισμα των πλατών των τρανζίστορ.

Η αναγωγή λογικών πυλών CMOS σε ισοδύναμους αντιστροφείς επιτυγχάνεται μέσα από διεξοδική ανάλυση της δυναμικής συμπεριφοράς των σειριακά και παράλληλα συνδεδεμένων τρανζίστορ. Έτσι κατά τον υπολογισμό του πλάτους του ισοδύναμου τρανζίστορ λαμβάνονται υπόψη η κλίση των κυματομορφών εισόδου, η χρονική διαφορά που υπάρχει μεταξύ τους, το χωρητικό φορτίο, ο αριθμός και η θέση των τρανζίστορ που βρίσκονται σε μεταγωγή (switching transistors), καθώς και το φαινόμενο σώματος (body effect) που επηρεάζει τη λειτουργία των σειριακά συνδεδεμένων τρανζίστορ. Επίσης κατά την αναγωγή, έμφαση δίνεται στη μοντελοποίηση των παρασιτικών χωρητικότητων των πυλών, έτσι ώστε να προκύψουν οι αντίστοιχες χωρητικότητες του ισοδύναμου αντιστροφέα.

Η οργάνωση του υπόλοιπου της διατριβής έχει ως εξής: Στο Κεφάλαιο 2, παρουσιάζεται μια ανασκόπηση των μεθόδων που χρησιμοποιούνται για την εξομοίωση

και μοντελοποίηση των κυκλωμάτων VLSI, με σκοπό την εκτίμηση της χρονικής τους απόκρισης και της ενέργειας που καταναλώνουν. Περιγράφονται οι βασικές τεχνικές που αναφέρονται στα επίπεδα του Σχήματος 1.2.

Στο Κεφάλαιο 3, παρουσιάζονται αρχικά αναλυτικά μοντέλα για τον υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας του αντιστροφέα, που είναι βασισμένα σε ένα μοντέλο MOS όπου το ρεύμα υποδοχής των τρανζίστορ δίνεται από εξισώσεις τετραγωνικής μορφής. Το μοντέλο αυτό είναι γνωστό και ως μοντέλο MOS νόμου του τετραγώνου (square-law MOS model) [49], [31], και αναπαράγει με ακρίβεια τις χαρακτηριστικές καμπύλες των τρανζίστορ με μεγάλο μήκος καναλιού (long-channel transistors). Παράγονται μαθηματικές εκφράσεις κλειστής μορφής για τον υπολογισμό της καθυστέρησης και της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα, οι οποίες είναι βασισμένες στις αναλυτικές εκφράσεις της κυματομορφής της τάσης εξόδου που προκύπτουν για κάθε περιοχή λειτουργίας του αντιστροφέα. Στη συνέχεια οι τεχνικές που προέκυψαν επεκτείνονται έτσι ώστε να ισχύουν για τρανζίστορ με μήκος καναλιού μικρότερο από 1 μm (submicron transistors), τα οποία χρησιμοποιούνται στις σύγχρονες τεχνολογίες. Οι εκφράσεις που προκύπτουν για την κυματομορφή της τάσης εξόδου είναι ακριβείς για όλες τις περιπτώσεις κλίσεων της κυματομορφής εισόδου και λαμβάνουν υπόψη τις επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου του αντιστροφέα.

Στο Κεφάλαιο 4, παρουσιάζεται ένα πλήρες μοντέλο για τον υπολογισμό της καθυστέρησης και της κατανάλωσης βραχυκυκλώματος του αντιστροφέα CMOS, που είναι βασισμένο σε ένα μοντέλο MOS το οποίο λαμβάνει υπόψη την επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων (velocity saturation effect) [19], που είναι πολύ σημαντική στα τρανζίστορ με μικρό εύρος καναλιού (short-channel transistors). Αυτό το μοντέλο MOS αναφέρεται ως μοντέλο δύναμης του α (α -power MOS model) και έχει αναπτυχθεί στην [19]. Η ακρίβεια που παρέχουν οι εκφράσεις που παράγονται στο κεφάλαιο 4 είναι υψηλότερη από προηγούμενα μοντέλα με παρόμοια μαθηματική πολυπλοκότητα, όπως δείχνουν και οι συγκρίσεις που παρουσιάζονται στο κεφάλαιο αυτό.

Στο κεφάλαιο 5, εξετάζεται η αναγωγή λογικών πυλών CMOS σε ισοδύναμους αντιστροφείς, με σκοπό τον υπολογισμό της χρονικής τους απόκρισης και της ενέργειας βραχυκυκλώματος που καταναλώνουν. Αναλύεται η λειτουργία των σειριακά

και παράλληλα συνδεδεμένων τρανζίστορ, όταν αυτά φορτίζουν ή εκφορτίζουν τον κόμβο εξόδου και όταν λειτουργούν ως κλάδος βραχυκυκλώματος. Κατά την αναγωγή, λαμβάνονται υπόψη όλοι οι βασικοί παράγοντες που επιδρούν στη χρονική απόκριση των λογικών πυλών CMOS. Τα αποτελέσματα που προκύπτουν δείχνουν πολύ καλή συμφωνία με εκείνα που παράγονται από κυκλωματική εξομοίωση με το εργαλείο SPICE.

Τέλος, στο Κεφάλαιο 6, παρουσιάζονται τα τελικά συμπεράσματα που προκύπτουν από την διατριβή, και προτείνονται θέματα για μελλοντική έρευνα στο πεδίο της εκτίμησης της χρονικής απόκρισης και της κατανάλωσης ενέργειας κυκλωμάτων CMOS.

Κεφάλαιο 2

Ανασκόπηση τεχνικών εξομοίωσης και μοντελοποίησης κυκλωμάτων VLSI

2.1 Εισαγωγή

Στο κεφάλαιο αυτό, πραγματοποιείται μια ανασκόπηση όλων των βασικών τεχνικών εξομοίωσης και μοντελοποίησης κυκλωμάτων VLSI. Όπως αναφέρθηκε και στο προηγούμενο κεφάλαιο η πρώτη μέθοδος που χρησιμοποιήθηκε για την επαλήθευση κυκλωμάτων ήταν η κλασική διαδικασία του “bread-boarding”. Η μέθοδος αυτή αντικαταστάθηκε από την εξομοίωση, αφού ο χρόνος ολοκλήρωσής της ήταν μεγάλος και δεν μπορούσε να αναπαραστήσει με ακρίβεια τις ηλεκτρικές παραμέτρους και τα παρασιτικά φαινόμενα των κυκλωμάτων VLSI. Η διαδικασία της εξομοίωσης αφορά τη δυναμική ανάλυση του κυκλώματος με σκοπό τον υπολογισμό της συμπεριφοράς των εξόδων του σε σχέση με τα δεδομένα εισόδου. Εκτός από την εξομοίωση υπάρχει και η στατική επαλήθευση [50],[51] όπου η ανάλυση του κυκλώματος είναι ανεξάρτητη από τα δεδομένα εισόδου, στοιχείο που την κάνει απλούστερη από την διαδικασία της εξομοίωσης. Η στατική επαλήθευση οδηγεί σε μια γρήγορη αλλά όχι λεπτομερειακή εκτίμηση της χρονικής συμπεριφοράς του κυκλώματος και αποτελείται από δύο μέρη: την ανάλυση διαδρομών (path analysis) και τη μοντελοποίηση της χρονικής καθυστέρησης (delay modeling). Για την ανάλυση των διαδρομών έχουν αναπτυχθεί δύο προσεγγίσεις: η απαρίθμηση των διαδρομών (path

enumeration) και η ανάλυση της κρίσιμης διαδρομής (critical-path analysis). Στην τεχνική της απαρίθμησης των διαδρομών οι καθυστερήσεις όλων των διαδρομών του κυκλώματος απαριθμούνται έτσι ώστε να καθοριστούν οι γρηγορότερες και οι αργότερες διαδρομές. Στη δεύτερη προσέγγιση αναλύεται μονάχα η αργότερη διαδρομή που ονομάζεται και κρίσιμη. Οι στατικοί αναλυτές κυκλωμάτων συνήθως χρησιμοποιούν μεθόδους που βασίζονται σε ισοδύναμα κυκλώματα RC [43],[45]. Επίσης, έχουν αναπτυχθεί τεχνικές στατικής ανάλυσης [52],[53] για την εκτίμηση της καθυστέρησης κυκλωμάτων VLSI που χρησιμοποιούνται στη διαδικασία της λογικής σύνθεσης (logic synthesis) και σε εργαλεία βελτιστοποίησης της χρονικής συμπεριφοράς των κυκλωμάτων.

Η πιο δημοφιλής μέθοδος για την επαλήθευση κυκλωμάτων VLSI είναι η εξομοίωση. Όπως αναφέρθηκε και στο Κεφάλαιο 1, υπάρχουν πολλοί τύποι εξομοίωσης, ο καθένας από τους οποίους παρουσιάζει μειονεκτήματα αλλά και πλεονεκτήματα, σχετικά με την ακρίβεια και την ταχύτητα εκτίμησης που παρέχει. Μια αξιολόγηση των τεχνικών εξομοίωσης και μοντελοποίησης που έχουν αναπτυχθεί, είναι απαραίτητη για την κατανόηση της τρέχουσας κατάστασης στην περιοχή αυτή και μπορεί να συνεισφέρει στην ανάπτυξη νέων τεχνικών που θα ανταποκρίνονται στις τρέχουσες ανάγκες των σχεδιαστών. Σημειώνεται εδώ, ότι στην ανασκόπηση του κεφαλαίου αυτού δίνεται έμφαση στις τεχνικές των ιεραρχικά χαμηλών επιπέδων (Σχήμα 1.2), που είναι και το αντικείμενο της διατριβής και όχι στις τεχνικές μοντελοποίησης και εξομοίωσης σε επίπεδο συμπεριφοράς και καταχωρητή [3]-[5].

Στην Παράγραφο 2.2 περιγράφονται οι τεχνικές που έχουν αναπτυχθεί για την εξομοίωση της χρονικής συμπεριφοράς κυκλωμάτων VLSI. Αρχικά στην Παράγραφο 2.2.1 περιγράφονται οι τεχνικές εξομοίωσης σε κυκλωματικό επίπεδο, που περιλαμβάνουν την άμεση αναλογική εξομοίωση και την κυκλωματική ανάλυση που βασίζεται σε τεχνικές διάσπασης (tearing techniques) και σε τεχνικές χαλάρωσης (relaxation techniques). Στην παράγραφο 2.2.2 περιγράφονται οι μέθοδοι εξομοίωσης που βασίζονται σε τεχνικές μοντελοποίησης των κυκλωμάτων. Έτσι στις παραγράφους 2.2.2.1 και 2.2.2.2 περιγράφονται οι τεχνικές μοντελοποίησης που χρησιμοποιούνται στην εξομοίωση των κυκλωμάτων σε επίπεδο πύλης και διακόπτη, αντίστοιχα. Στη συνέχεια στην παράγραφο 2.2.3 περιγράφονται οι τεχνικές γρήγορης χρονικής εξομοίωσης (fast timing simulation), οι οποίες συνδυάζουν στοιχεία από διάφορα επίπεδα εξομοίωσης για να βελτιστοποιήσουν την ακρίβεια και την ταχύτητα εκτίμησης.

Στην παράγραφο 2.3 περιγράφονται οι τεχνικές που έχουν αναπτυχθεί για την εκτίμηση της κατανάλωσης ενέργειας κυκλωμάτων VLSI. Όπως και στην περίπτωση της χρονικής εξομοίωσης, εξετάζονται και εδώ οι τεχνικές εκτίμησης της κατανάλωσης ενέργειας σε κυκλωματικό επίπεδο (Παράγραφος 2.3.1), σε επίπεδο διακόπτη (Παράγραφος 2.3.2) και σε επίπεδο πύλης (Παράγραφος 2.3.3). Εκτός από τις τεχνικές εκτίμησης της κατανάλωσης ενέργειας που βασίζονται σε εξομοίωση (simulative techniques), στις Παραγράφους 2.3.2 και 2.3.3 γίνεται μια αναφορά και στις τεχνικές εκτίμησης της κατανάλωσης ενέργειας που βασίζονται στην ανάλυση των πιθανοτήτων αλλαγής λογικής κατάστασης στους κόμβους του κυκλώματος (non-simulative probabilistic techniques), οι οποίες είναι ανεξάρτητες από τα δεδομένα εισόδου.

2.2 Χρονική εξομοίωση κυκλωμάτων VLSI

Στην παράγραφο αυτή, πραγματοποιείται μια ανασκόπηση όλων των βασικών τεχνικών εξομοίωσης της χρονικής συμπεριφοράς των κυκλωμάτων VLSI. Περιγράφονται οι τεχνικές που αφορούν το κυκλωματικό επίπεδο, το επίπεδο διακόπτη, το επίπεδο λογικής πύλης, καθώς και οι τεχνικές γρήγορης χρονικής εξομοίωσης που έχουν αναπτυχθεί μέχρι σήμερα.

2.2.1 Εξομοίωση σε επίπεδο κυκλώματος

Οι τεχνικές εξομοίωσης σε επίπεδο κυκλώματος παρέχουν μεγάλη ακρίβεια στον υπολογισμό της χρονικής απόκρισης των κυκλωμάτων, και περιλαμβάνουν την άμεση εξομοίωση και την εξομοίωση με τεχνικές αποσύνθεσης (decomposition techniques). Η δεύτερη προσέγγιση διακρίνεται σε δύο κατηγορίες: τις μεθόδους διάσπασης (tearing methods) και τις μεθόδους χαλάρωσης (relaxation methods).

2.2.1.1 Άμεση εξομοίωση

Τα προγράμματα άμεσης εξομοίωσης, όπως το SPICE [2],[54] και το ASTAP [11], λύνουν ένα σύνολο από μη γραμμικές διαφορικές εξισώσεις με χρήση αριθμητικών μεθόδων κατά την διάρκεια της ανάλυσης της χρονικής απόκρισης των κυκλωμάτων. Η γενική μορφή των εξισώσεων που περιγράφουν τη συμπεριφορά ενός κυκλώματος έχει ως εξής:

$$F(\dot{x}(t), x(t), u(t)) = 0, \quad x(0) = X \quad (2.1)$$

όπου το διάνυσμα $x(t)$ είναι ένα σύνολο από μεταβλητές εισόδου, όπως τάσεις κόμβων, ρεύματα και φορτία ($\dot{x}(t)$ είναι η πρώτη παράγωγος του ως προς το χρόνο), το διάνυσμα $u(t)$ αναφέρεται σε ανεξάρτητες πηγές τάσης ή ρεύματος και X είναι η αρχική κατάσταση των μεταβλητών του κυκλώματος. Η συνάρτηση F είναι μη γραμμική αφού αρκετά στοιχεία των κυκλωμάτων, όπως τα τρανζίστορ παρουσιάζουν μη γραμμική σχέση μεταξύ των ρευμάτων και των τάσεων τους.

Τα βασικά στάδια που περιλαμβάνει η λειτουργία των άμεσων εξομοιωτών είναι τα εξής [55]:

- Τροποποιημένη ανάλυση των κόμβων του κυκλώματος (modified nodal analysis) για την εξαγωγή του συστήματος των διαφορικών εξισώσεων που περιγράφουν την λειτουργία του κυκλώματος.
- Εφαρμογή μεθόδων ολοκλήρωσης για το μετασχηματισμό των μη γραμμικών διαφορικών εξισώσεων αρχικά σε μη γραμμικές εξισώσεις διαφορών (χρονική διακριτοποίηση) και στη συνέχεια σε μια ακολουθία από μη γραμμικές αλγεβρικές εξισώσεις. Το διάνυσμα $\dot{x}(t)$ σε κάθε χρονικό σημείο αναπαρίσταται από μια συνάρτηση λύσεων προηγούμενων χρονικών σημείων και του τρέχοντος χρονικού σημείου.
- Εφαρμογή της αριθμητικής μεθόδου Newton-Raphson [56] για τη λύση της ακολουθίας των μη γραμμικών αλγεβρικών εξισώσεων. Η λύση εξάγεται με επαναληπτική προσέγγιση των μη γραμμικών εξισώσεων χρησιμοποιώντας γραμμικές εξισώσεις.
- Εφαρμογή τεχνικών αραιών πινάκων (sparse matrix techniques) για τη λύση των ταυτόχρονων γραμμικών εξισώσεων που παράγονται από την μέθοδο Newton-Raphson.

Για την πρώτη ολοκληρωμένη έκδοση του εξομοιωτή SPICE (SPICE2) αρχικά αναπτύχθηκαν τρία μοντέλα για τα τρανζίστορ MOS: μοντέλο επιπέδου 1, επιπέδου 2 και επιπέδου 3 [54],[57]. Το μοντέλο επιπέδου 1 βασίζεται σε απλές τετραγωνικές εξισώσεις του ρεύματος υποδοχής των τρανζίστορ με αποτέλεσμα να μην είναι ακριβές για τρανζίστορ με μικρό μήκος καναλιού. Το μοντέλο επιπέδου 2 είναι ένα μονοδιάστατο αναλυτικό μοντέλο που λαμβάνει υπόψη τα φαινόμενα δεύτερης τάξης που επηρεάζουν τη λειτουργία των τρανζίστορ με μικρό μήκος καναλιού. Το μοντέλο επιπέδου 3 είναι ένα ημιεμπειρικό μοντέλο που χρησιμοποιεί παραμέτρους για την προσαρμογή των χαρακτηριστικών καμπυλών των τρανζίστορ (curve-fitting parameters).

Ο χρόνος υπολογισμού του μοντέλου αυτού είναι περίπου ο μισός του χρόνου υπολογισμού του μοντέλου επιπέδου 2, κυρίως λόγω της πιο απλής μορφής του. Μια βελτιωμένη μορφή του μοντέλου επιπέδου 3 έχει αναπτυχθεί στην [58], όπου μια νέα εμπειρική παράμετρος χρησιμοποιείται για τη μοντελοποίηση της κινητικότητας (mobility) των τρανζίστορ. Για την έκδοση SPICE3, έχει αναπτυχθεί το μοντέλο MOS επιπέδου 4 που αναφέρεται και ως μοντέλο BSIM (Berkeley Short-channel IGFET Model) [59]. Η εξαγωγή των παραμέτρων του μοντέλου αυτού είναι χρονοβόρα και δύσκολη λόγω του μεγάλου αριθμού τους. Για το λόγο αυτό αναπτύχθηκαν στη συνέχεια τα μοντέλα BSIM_plus [60] και BSIM3 [61] που έχουν λιγότερες παραμέτρους και επιτυγχάνουν παρόμοια ακρίβεια με το αρχικό μοντέλο BSIM.

Στη λειτουργία του εξομοιωτή SPICE, έχει παρατηρηθεί το πρόβλημα της μη διατήρησης του φορτίου (charge nonconservation problem) [62] που οφείλεται σε λάθη που εισάγονται κατά την αριθμητική ολοκλήρωση ή κατά τη μαθηματική μοντελοποίηση της μη γραμμικότητας των παρασιτικών χωρητικότητων. Έτσι η ακριβής μοντελοποίηση των μη γραμμικών παρασιτικών χωρητικότητων των τρανζίστορ είναι απαραίτητη για την σωστή λειτουργία των εξομοιωτών επιπέδου κυκλώματος [34], [35],[63]-[65].

Με σκοπό την μείωση του χρόνου υπολογισμού, έχουν αναπτυχθεί μέθοδοι στις οποίες η μοντελοποίηση των τρανζίστορ MOS βασίζεται σε πίνακες αναφοράς (lookup tables) [66],[67]. Στις μεθόδους αυτές, ένα σύνολο από πίνακες με τα χαρακτηριστικά των στοιχείων (π.χ. τρανζίστορ) του κυκλώματος πρέπει να παραχθεί από μετρήσεις ή από προγενέστερη εξομοίωση των στοιχείων αυτών. Ωστόσο, απαιτείται αρκετή μνήμη για την αποθήκευση των πινάκων αναφοράς που στην περίπτωση της μοντελοποίησης τρανζίστορ μικρών διαστάσεων είναι πολυδιάστατοι. Έτσι με σκοπό την μείωση του μεγέθους των πινάκων έχουν αναπτυχθεί διάφορες μέθοδοι για την πρόβλεψη των τιμών που δεν είναι διαθέσιμες στους πίνακες [68],[69].

2.2.1.2 Τεχνικές αποσύνθεσης (decomposition techniques)

Για την βελτίωση της ταχύτητας εξομοίωσης με ταυτόχρονη διατήρηση του επιθυμητού επιπέδου ακρίβειας, έχουν εφαρμοστεί διάφορες μέθοδοι αποσύνθεσης [12]-[15],[55],[70]. Οι μέθοδοι αυτές διακρίνονται σε δύο κατηγορίες: τις μεθόδους διάσπασης (tearing methods) και τις μεθόδους χαλάρωσης (relaxation methods).

Στις μεθόδους διάσπασης οι εξισώσεις που περιγράφουν τη λειτουργία του κυ-

κλώματος λύνονται με τον τεμαχισμό του σε υποκυκλώματα, έτσι ώστε το κάθε υποκύκλωμα να λύνεται ανεξάρτητα, ακολουθούμενο από την λύση της διασύνδεσής του με τα υπόλοιπα. Κατά την διάσπαση του κυκλώματος επιχειρείται η αναδιάταξη των εξισώσεων (γραμμικών ή μη γραμμικών) σε μια μορφή που λέγεται BBD (Bordered-Block-Diagonal). Η μορφή αυτή λύνεται με τη χρήση μεθόδων παραγοντοποίησης [12],[70]. Υπάρχουν δύο τύποι μεθόδων διάσπασης: η διάσπαση κόμβων [71] (node tearing) και η διάσπαση κλάδων [72] (branch tearing). Ένας από τους εξομοιωτές που χρησιμοποιούν τη μέθοδο διάσπασης κόμβων στο επίπεδο των γραμμικών εξισώσεων είναι ο SLATE [73]. Ο εξομοιωτής MACRO [74] εφαρμόζει διάσπαση κλάδων στο επίπεδο των μη γραμμικών εξισώσεων.

Οι μέθοδοι χαλάρωσης που αναφέρονται και ως επαναληπτικές μέθοδοι, χρησιμοποιούνται σε ένα από τα τέσσερα στάδια της άμεσης εξομοίωσης που αναφέρθηκαν στην παράγραφο 2.2.1.1. Έτσι λοιπόν έχουν εφαρμοστεί μέθοδοι χαλάρωσης στο στάδιο των μη γραμμικών διαφορικών εξισώσεων, στο στάδιο των μη γραμμικών εξισώσεων διαφορών, στο στάδιο των μη γραμμικών αλγεβρικών εξισώσεων και στο στάδιο των γραμμικών αλγεβρικών εξισώσεων.

Στο επίπεδο των γραμμικών αλγεβρικών εξισώσεων οι πιο γνωστές μέθοδοι χαλάρωσης είναι οι εξής [75]: Gauss-Jacobi, Gauss-Seidel και διαδοχικής υπερχαλάρωσης (Successive Overrelaxation), οι οποίες χρησιμοποιώντας επαναληπτικές τεχνικές ανάλυσης πινάκων επιλύουν τα συστήματα γραμμικών αλγεβρικών εξισώσεων. Πιο πρόσφατα, αναπτύχθηκε μια τεχνική που αναφέρεται ως τεχνική χαλάρωσης δέντρου (tree relaxation technique) [76] η οποία παρουσιάζει ακριβέστερα αποτελέσματα από τις παραπάνω τεχνικές στην ανάλυση δικτύων μορφής δέντρου.

Στο επίπεδο των μη γραμμικών αλγεβρικών εξισώσεων μια μέθοδος χαλάρωσης που έχει χρησιμοποιηθεί σε εξομοιωτές κυκλωμάτων είναι αυτή της επαναληπτικής χρονικής ανάλυσης (iterated timing analysis) [77]. Η μέθοδος αυτή χρησιμοποιήθηκε αρχικά στον εξομοιωτή SPLICE [77]. Πιο πρόσφατα η μέθοδος αυτή χρησιμοποιήθηκε και στον εξομοιωτή MOTIS2 [78], όπου εφαρμόζεται μαζί με ένα σύνολο από πίνακες χαρακτηριστικών των στοιχείων, με σκοπό την επιπλέον αύξηση της ταχύτητας υπολογισμού.

Ο εξομοιωτής MOTIS [79] χρησιμοποιεί μια μέθοδο χαλάρωσης στο επίπεδο των μη γραμμικών διαφορικών εξισώσεων, αποφεύγοντας έτσι τις επαναλήψεις της μεθόδου Newton-Raphson και την εφαρμογή των τεχνικών αραιών πινάκων που α-

παιτούνται στα δύο επόμενα στάδια της άμεσης εξομοίωσης. Ο εξομοιωτής αυτός με την χρήση μιας σχετικά απλής αριθμητικής ανάλυσης σε συνδυασμό με τη μοντελοποίηση των στοιχείων του κυκλώματος μέσω πινάκων, επιτυγχάνει χρόνους εξομοίωσης μία έως δύο τάξεις μεγέθους μικρότερους από αυτούς της άμεσης εξομοίωσης.

Οι μέθοδοι χαλάρωσης στο επίπεδο των μη γραμμικών διαφορικών εξισώσεων αναφέρονται και ως μέθοδοι χαλάρωσης κυματομορφών (waveform relaxation). Οι μέθοδοι αυτές αποσυνθέτουν το κύκλωμα σε υποκυκλώματα και αντιμετωπίζουν επαναληπτικά το καθένα από αυτά, μέχρι να επιτευχθεί σύγκλιση στις κυματομορφές όλων των υποκυκλωμάτων. Η πρώτη εφαρμογή τους έγινε στον εξομοιωτή RELAX [80]. Μια μέθοδος που συνδυάζει τα πλεονεκτήματα της επαναληπτικής χρονικής ανάλυσης (iterated timing analysis) που αναφέρθηκε προηγουμένως και της μεθόδου χαλάρωσης κυματομορφών, με σκοπό την αύξηση της ταχύτητας εξομοίωσης έχει αναπτυχθεί στην [81]. Η μέθοδος αυτή έχει εφαρμοστεί στον εξομοιωτή WCAzM [81], ο οποίος είναι μια τροποποιημένη εκδοχή του εξομοιωτή CAzM [67] που αναφέρθηκε στην παράγραφο 2.2.1.1. Μια μέθοδος που ανήκει στη κατηγορία των μεθόδων χαλάρωσης στο επίπεδο των μη γραμμικών διαφορικών εξισώσεων και είναι παρόμοια με αυτή της χαλάρωσης κυματομορφών είναι η μέθοδος χαλάρωσης ενός βήματος (one step relaxation), η οποία έχει εφαρμοστεί στον εξομοιωτή ELDO [82]. Η μέθοδος αυτή πλεονεκτεί σε σχέση με τη μέθοδο χαλάρωσης κυματομορφών στο ότι έχει λιγότερες απαιτήσεις μνήμης. Με σκοπό την αύξηση της ταχύτητας εξομοίωσης αναπτύχθηκε αργότερα ο εξομοιωτής ELDO-XL [83], όπου η μέθοδος χαλάρωσης ενός βήματος συνδυάζεται με τη χρήση ενός απλοποιημένου μοντέλου για τα τρανζίστορ MOS.

2.2.2 Εξομοίωση βασισμένη σε τεχνικές μοντελοποίησης

Με την έλευση των κυκλωμάτων VLSI, η ανάπτυξη τεχνικών μοντελοποίησης κυκλωμάτων έγινε αναγκαία. Η βασική αρχή των μεθόδων εξομοίωσης που βασίζονται σε τεχνικές μοντελοποίησης είναι ο τεμαχισμός του κυκλώματος σε υποκυκλώματα, το καθένα από τα οποία εξομοιώνεται ανεξάρτητα, έτσι ώστε να επιτυγχάνεται υψηλή ταχύτητα εξομοίωσης με σχετικά μεγάλη ακρίβεια.

Κατά την εξομοίωση των ψηφιακών κυκλωμάτων σε επίπεδο πύλης, τα τρανζίστορ ομαδοποιούνται σε λογικές πύλες και η μοντελοποίηση αφορά παραμέτρους καθυστέρησης (συνήθως σταθερές) όπως οι χρόνοι ανόδου και καθόδου. Έτσι λοι-

πόν η διαδικασία εξομοίωσης περιλαμβάνει τον υπολογισμό της λογικής κατάστασης μέσα από λογικές πράξεις και την εκτίμηση των καθυστερήσεων στους κόμβους εξόδου των πυλών.

Λόγω της μειωμένης ακρίβειας που παρουσιάζει η εξομοίωση σε επίπεδο πύλης, αναπτύχθηκαν τεχνικές εξομοίωσης και μοντελοποίησης κυκλωμάτων σε επίπεδο διακόπτη. Στις τεχνικές αυτές τα ψηφιακά κυκλώματα MOS διαιρούνται σε κομμάτια που αποτελούνται από τρανζίστορ-διακόπτες συνδεδεμένα μεταξύ τους διαμέσου των ακροδεκτών πηγής και υποδοχής. Στη συνέχεια εξετάζονται τα μονοπάτια μεταξύ των κόμβων εξόδου των πυλών και των πηγών τάσης (τροφοδοσία, γείωση), για να καθοριστεί η λογική κατάσταση των κόμβων του κυκλώματος.

Γενικά, οι τεχνικές μοντελοποίησης έχουν ως στόχο να γεφυρώσουν το κενό μεταξύ της λογικής εξομοίωσης και της κυκλωματικής εξομοίωσης, προσπαθώντας να προσθέσουν πληροφορία στη λογική εξομοίωση για τη χρονική συμπεριφορά των κυκλωμάτων και να μειώσουν την πολυπλοκότητα των αλγορίθμων που χρησιμοποιούνται στην κυκλωματική εξομοίωση. Όπως αναφέρθηκε και στην παράγραφο 1.2 υπάρχουν τέσσερις βασικοί τρόποι μοντελοποίησης:

- Μοντελοποίηση της χρονικής καθυστέρησης με χρήση πινάκων αναφοράς (lookup tables) [29],[37]-[39].
- Μοντελοποίηση της χρονικής καθυστέρησης με εμπειρικές εξισώσεις [40]-[42].
- Μοντελοποίηση της χρονικής καθυστέρησης με ισοδύναμα κυκλώματα RC [43]-[45].
- Μοντελοποίηση της χρονικής απόκρισης με βάση αναλυτικά μοντέλα του αντιστροφέα CMOS [18],[19],[46],[47].

Οι τεχνικές που βασίζονται σε πίνακες αναφοράς, σε εμπειρικές εξισώσεις και σε αναλυτικά μοντέλα αντιστροφέα χρησιμοποιούνται στην εξομοίωση σε επίπεδο πύλης και στην εξομοίωση σε επίπεδο διακόπτη, ενώ οι τεχνικές μοντελοποίησης που βασίζονται σε ισοδύναμα κυκλώματα RC εφαρμόζονται μονάχα στην εξομοίωση σε επίπεδο διακόπτη. Η φιλοσοφία, αλλά και τα πλεονεκτήματα και μειονεκτήματα της κάθε τεχνικής θα εξεταστούν στις επόμενες παραγράφους.

2.2.2.1 Εξομοίωση σε επίπεδο πύλης

Ο αρχικός σκοπός της εξομοίωσης σε επίπεδο λογικής πύλης ήταν η επαλήθευση της ορθής λογικής συμπεριφοράς ενός ψηφιακού κυκλώματος, παρά η λεπτο-

μερειακή εξαγωγή των κυματομορφών των σημάτων του. Στη λογική εξομοίωση σε επίπεδο πύλης τα τρανζίστορ και τα υπόλοιπα στοιχεία του κυκλώματος ομαδοποιούνται σε λογικές πύλες. Κάθε πύλη λειτουργεί ως στοιχείο μονής κατεύθυνσης και η λογική της λειτουργία μοντελοποιείται από μια υπορουτίνα ή έναν πίνακα αλήθειας. Για κάθε είσοδο η λογική τιμή της εξόδου υπολογίζεται με βάση τις πράξεις της άλγεβρας Boole. Η καθυστέρηση διάδοσης θεωρείται ότι είναι μηδενική (zero delay), μοναδιαία (unit delay) ή μεταβλητή (variable delay), ανάλογα με την επιλογή του χρήστη. Οι τιμές της καθυστέρησης είναι ακέραια πολλαπλάσια μιας ελάχιστης χρονικής μονάδας.

Οι περισσότεροι εξομοιωτές επιπέδου πύλης λειτουργούν σε γεγονοδηγούμενη βάση (event-driven) [84]. Αυτό σημαίνει ότι η έξοδος μιας πύλης υπολογίζεται μονάχα όταν αλλάξει η κατάσταση σε μία από τις εισόδους της. Υπάρχει περίπτωση μετά από κάποιο συνδυασμό αλλαγών στις εισόδους μιας πύλης να δημιουργηθεί μια ανεπιθύμητη μετάβαση (hazard) στην έξοδό της. Η ανίχνευση της κατάστασης αυτής γίνεται δυνατή στους λογικούς εξομοιωτές με την εισαγωγή της ακαθόριστης κατάστασης X (unknown state) στο λογικό μοντέλο των πυλών. Επίσης, με σκοπό την εξομοίωση κυκλωμάτων MOS που περιέχουν κυκλώματα τριών καταστάσεων (tri-state circuits), εισάγεται μια τέταρτη κατάσταση που αναφέρεται ως κατάσταση υψηλής εμπέδησης Z (high impedance state) [85]. Επιπλέον καταστάσεις έχουν προστεθεί μέχρι σήμερα στους λογικούς εξομοιωτές με σκοπό να ληφθούν υπόψη άλλες σύνθετες περιπτώσεις [55].

Όσον αφορά τώρα την εξομοίωση της χρονικής συμπεριφοράς σε επίπεδο πύλης, ο πιο απλός τρόπος μοντελοποίησης που έχει χρησιμοποιηθεί είναι οι σταθεροί χρόνοι καθυστέρησης ανόδου και καθόδου. Επειδή όμως η εξάρτηση της καθυστέρησης από το φορτίο εξόδου και την κυματομορφή εισόδου δεν μπορεί να μοντελοποιηθεί σωστά χρησιμοποιώντας μοντέλα σταθερής καθυστέρησης, ο τρόπος αυτός οδηγεί σε υψηλά σφάλματα που πολλές φορές ξεπερνούν το 100% [37]. Ακριβέστερη μοντελοποίηση μπορεί να επιτευχθεί αν ληφθούν υπόψη οι παραπάνω εξαρτήσεις. Έτσι, στην [29] η καθυστέρηση μοντελοποιείται ως γραμμική συνάρτηση του φορτίου εξόδου και ως συνάρτηση γραμμικών τμημάτων (piecewise linear) του χρόνου μετάβασης εισόδου. Η μοντελοποίηση της χρονικής συμπεριφοράς στους εξομοιωτές επιπέδου πύλης περιλαμβάνει τον καθορισμό των λογικών κατωφλίων όπου μετρίεται η καθυστέρηση και τη μοντελοποίηση των κυματομορφών και της καθυ-

στέρησης της εξόδου των πυλών. Συνήθως, ως λογικό κατώφλι βάση του οποίου ορίζεται η καθυστέρηση λαμβάνεται η στάθμη στην οποία αλλάζει λογική κατάσταση ένας τυπικός αντιστροφέας (π.χ. $V_{DD}/2$). Τα βασικά σημεία για τη μοντελοποίηση της καθυστέρησης σε επίπεδο πύλης λαμβάνοντας υπόψη τις επιδράσεις του φορτίου εξόδου και της κυματομορφής εισόδου τέθηκαν αρχικά στην [86] και επεκτάθηκαν στην [6]. Οι βασικές τεχνικές χρονικής εξομοίωσης σε επίπεδο πύλης είναι τρεις: η μοντελοποίηση της χρονικής καθυστέρησης με χρήση πινάκων αναφοράς (lookup tables), η μοντελοποίηση της χρονικής καθυστέρησης με εμπειρικές εξισώσεις και η μοντελοποίηση της χρονικής απόκρισης με βάση αναλυτικά μοντέλα του αντιστροφέα.

A. Μοντελοποίηση με πίνακες

Οι τεχνικές μοντελοποίησης της καθυστέρησης μέσω πινάκων, βασίζονται στην παραγωγή πινάκων καθυστέρησης για μια σειρά από φορτία εξόδου και κλίσεις κυματομορφής εισόδου, για κάθε λογική πύλη. Οι πίνακες αυτοί παράγονται από εκτεταμένες αναλογικές εξομοιώσεις ή από μετρήσεις. Τα κύρια μειονεκτήματα των τεχνικών αυτών είναι ο μεγάλος χρόνος που απαιτείται για την παραγωγή των πινάκων, και το ότι πρέπει οι πίνακες να παράγονται ξανά στην περίπτωση που θα αλλάξουν τα χαρακτηριστικά των πυλών ή η τεχνολογία που χρησιμοποιείται. Μια από τις πρώτες τεχνικές αυτού του τύπου αναπτύχθηκε στον λογικό εξομοιωτή της [87], όπου λαμβάνεται υπόψη η εξάρτηση της καθυστέρησης από την κλίση της κυματομορφής εισόδου, μέσω του καθορισμού ενός απλού κατωφλίου τάσης εισόδου. Οι καθυστερήσεις ανόδου και καθόδου τυπικών πυλών σε σχέση με το φορτίο των κόμβων εισόδου και εξόδου λαμβάνονται από πίνακες. Η καθυστέρηση κάθε πύλης ενός κυκλώματος υπολογίζεται με πολλαπλασιασμό της καθυστέρησης της αντίστοιχης τυπικής πύλης με ένα συντελεστή κλίμακας (scale factor). Το βασικό πλεονέκτημα του εξομοιωτή αυτού είναι η ταχύτητά του, και τα μειονεκτηματά του είναι η μειωμένη ακρίβεια που παρέχει και η περιορισμένη εφαρμογή του σε κυκλώματα NMOS.

Στην τεχνική που χρησιμοποιείται στον εξομοιωτή NEWTON [37], η καθυστέρηση λαμβάνεται από πίνακες ως συνάρτηση του χρόνου μετάβασης εισόδου, του κέρδους της πύλης (gain) και της χωρητικότητας φορτίου. Το κέρδος της πύλης εξαρτάται από την τεχνολογία, την τάση τροφοδοσίας και τη θερμοκρασία λειτουργίας.

Μια ακόμη μέθοδος μοντελοποίησης της καθυστέρησης βασισμένη σε πίνακες έχει αναπτυχθεί στον εξομοιωτή επιπέδου πύλης MOTIS3 [39]. Κάθε πύλη και υποκύ-

κλωμα της βιβλιοθήκης που πρόκειται να χρησιμοποιηθεί προχαρακτηρίζεται έτσι ώστε να παραχθούν πίνακες με την καθυστέρηση και την κλίση της κυματομορφής εξόδου, συναρτήσει του φορτίου εξόδου και της κλίσης εισόδου. Η κυματομορφή εξόδου αναπαρίσταται με ένα γραμμικό τμήμα ακολουθούμενο από ένα εκθετικό. Ο εξομοιωτής MOTIS3 είναι 5000 φορές ταχύτερος από το SPICE και όπως υποστηρίζεται από τους σχεδιαστές του παρουσιάζει σφάλμα 15%. Ωστόσο, απαιτεί πολύ χρόνο για τον προχαρακτηρισμό των βασικών υποκυκλωμάτων και δεν έχει τη δυνατότητα να μοντελοποιήσει κυκλώματα διπλής κατεύθυνσης.

B. Μοντελοποίηση με εμπειρικές εξισώσεις

Στις τεχνικές αυτές παράγονται συναρτήσεις της καθυστέρησης που είναι βασισμένες σε αποτελέσματα αναλογικών εξομοιώσεων ή μετρήσεων. Συνήθως, οι εμπειρικές εξισώσεις καθυστέρησης είναι σύνθετες και προκύπτουν δύσκολα. Οι δύο πρώτες τεχνικές αυτής της κατηγορίας [88],[89] αναφέρονται μονάχα σε κυκλώματα NMOS και βασίζονται στην ανάλυση του τυπικού αντιστροφέα NMOS. Παράγονται εξισώσεις καθυστέρησης για τον αντιστροφέα NMOS που περιέχουν εμπειρικές παραμέτρους οι οποίες λαμβάνονται από πίνακες που προέρχονται από αναλογική εξομοίωση.

Στον εξομοιωτή WASIM [40], παράγονται εξισώσεις για τη μοντελοποίηση των κυματομορφών εξόδου των πυλών. Οι κυματομορφές εξόδου μοντελοποιούνται ως ένα άθροισμα από εκθετικά τμήματα της μορφής $e^{-[(t-t_s)/\tau]^m}$, όπου t_s είναι ο χρόνος έναρξης της κυματομορφής, τ μια σταθερά χρόνου και m ένας συντελεστής διαβάθμισης. Για να παραχθούν οι συντελεστές των κυματομορφών εξόδου, όλα τα βασικά υποκυκλώματα εξομοιώνονται από αναλογικό εξομοιωτή για αρκετούς συνδυασμούς φορτίων εξόδου, κλίσεων εισόδου και μεγεθών των τρανζίστορ. Ο εξομοιωτής WASIM είναι περίπου τρεις τάξεις μεγέθους ταχύτερος από το SPICE και επιτυγχάνει σχετικά υψηλή ακρίβεια, άλλα απαιτεί πολύ χρόνο για το χαρακτηρισμό των πυλών (π.χ. για μια πύλη NAND δύο εισόδων χρειάζονται περίπου δύο ώρες).

Μια τεχνική μοντελοποίησης που λαμβάνει υπόψη και τις χρονικά επικαλυπτόμενες εισόδους των πυλών έχει αναπτυχθεί στην [41]. Η καθυστέρηση του αντιστροφέα CMOS προσεγγίζεται με το γινόμενο πολυωνύμων που περιλαμβάνουν την κλίση της κυματομορφής εισόδου, το φορτίο εξόδου και τις διαστάσεις των τρανζίστορ ($\beta = W / L$). Οι συντελεστές των πολυωνύμων που χρησιμοποιούνται για τον υπολογισμό της καθυστέρησης του αντιστροφέα είναι 15 και παράγονται από εξομοιώσεις

με το SPICE, χρησιμοποιώντας περίπου 300 συνδυασμούς κλίσης εισόδου, φορτίου εξόδου και λόγου β . Για πύλες CMOS πολλαπλών εισόδων ο λόγος β υπολογίζεται με την κλασσική θεώρηση αντικατάστασης σειριακών και παράλληλων αντιστάσεων από μια ισοδύναμη αντίσταση. Προτείνεται επίσης μια ευρετική μέθοδος για την μοντελοποίηση των χρονικά επικαλυπτόμενων εισόδων. Η απόδοση της τεχνικής αυτής όσον αφορά την ακρίβεια και την ταχύτητά της είναι υψηλή. Ωστόσο, όπως και οι προηγούμενες μέθοδοι απαιτεί μεγάλο αριθμό αναλογικών εξομοιώσεων για τον προχαρακτηρισμό των πυλών.

Γ. Μοντελοποίηση με βάση την ανάλυση του αντιστροφέα

Η πρώτη προσπάθεια μοντελοποίησης κυκλωμάτων σε επίπεδο πύλης με βάση την ανάλυση της χρονικής απόκρισης του αντιστροφέα έγινε στην [90]. Σ' αυτή, η κυματομορφή εξόδου και η καθυστέρηση του αντιστροφέα υπολογίζονται αναλυτικά για βηματική είσοδο (step input), ως συνάρτηση του φορτίου εξόδου και των χαρακτηριστικών των τρανζίστορ. Αν και η ανάλυση με τη θεώρηση βηματικής εισόδου οδηγεί σε περιορισμένη ακρίβεια, έχει δοθεί σε αυτήν ιδιαίτερη έμφαση στα περισσότερα βιβλία σχεδιασμού κυκλωμάτων VLSI [7],[8],[49]. Η δημοτικότητα της θεώρησης αυτής οφείλεται κυρίως στην απλότητα της ανάλυσης.

Περισσότερες λεπτομέρειες για τις τεχνικές μοντελοποίησης που βασίζονται στην ανάλυση του αντιστροφέα δίνονται στην επόμενη παράγραφο 2.2.2.2, μια και οι τεχνικές αυτές μπορούν να χρησιμοποιηθούν και στην εξομοίωση σε επίπεδο διακόπτη. Επίσης, αφού στη διατριβή δίνεται έμφαση στις τεχνικές αυτές, εκτενέστερη ανάλυσή τους θα γίνει και στα επόμενα κεφάλαια.

2.2.2.2 Εξομοίωση σε επίπεδο διακόπτη

Αν και η εξομοίωση σε επίπεδο λογικής πύλης παρέχει σχετικά υψηλή ακρίβεια, έχει περιορισμένο πεδίο εφαρμογής. Για παράδειγμα οι τεχνικές εξομοίωσης επιπέδου πύλης δεν επαρκούν για τη μοντελοποίηση κυκλωμάτων διπλής κατεύθυνσης ή λογικών κυκλωμάτων που απαιτούν προφόρτιση (precharged logic circuits). Έτσι έχουν αναπτυχθεί οι τεχνικές εξομοίωσης σε επίπεδο διακόπτη.

Η πρώτη ενέργεια που πρέπει να γίνει κατά το σχεδιασμό ενός λογικού εξομοιωτή σε επίπεδο διακόπτη, είναι ο καθορισμός ενός μοντέλου για τα βασικά στοιχεία των κυκλωμάτων. Για παράδειγμα τα τρανζίστορ MOS μοντελοποιούνται ως α-

πλοί διακόπτες χωρίς αντίσταση και χωρητικότητα, ως διακόπτες με κάποιο συντελεστή βάρους (strength), ως διακόπτες με αντίσταση και χωρητικότητα ή ως ισοδύναμα κυκλώματα που περιέχουν πηγές ρεύματος, χωρητικότητες και αντιστάσεις. Οι εξομοιωτές σε επίπεδο διακόπτη συνήθως χωρίζουν το κύκλωμα σε κομμάτια που αποτελούνται από τρανζίστορ συνδεδεμένα μεταξύ τους μέσω των ακροδεκτών πηγής και υποδοχής (channel-connected components). Συνήθως, ο χωρισμός αυτός γίνεται στατικά πριν την εξομοίωση, αλλά υπάρχουν περιπτώσεις εξομοιωτών στους οποίους ο χωρισμός γίνεται δυναμικά κατά τη διάρκεια της εξομοίωσης, αυξάνοντας όμως το υπολογιστικό κόστος.

Ο εξομοιωτής MOSSIM [91] είναι ο πρώτος λογικός εξομοιωτής σε επίπεδο διακόπτη, βελτιωμένη έκδοση του οποίου είναι ο MOSSIM II [10]. Σ' αυτόν κάθε κύκλωμα μοντελοποιείται από έναν αριθμό κόμβων που συνδέονται μεταξύ τους με τρανζίστορ-διακόπτες. Κάθε κόμβος λαμβάνει μια από τις τρεις λογικές καταστάσεις του εξομοιωτή (χαμηλή - 0, υψηλή - 1 και ακαθόριστη - X) και κάθε διακόπτης βρίσκεται επίσης σε μια κατάσταση (ανοιχτός - 0, κλειστός - 1, ακαθόριστη κατάσταση - X). Κάθε κόμβος λαμβάνει ένα μέγεθος (size) ανάλογα με τον αριθμό των κόμβων με τους οποίους συνδέεται απευθείας. Επίσης, κάθε διακόπτης χαρακτηρίζεται από ένα συντελεστή βάρους (strength) ανάλογα με την αγωγιμότητα που διαθέτει όταν είναι κλειστός σε σχέση με τους άλλους διακόπτες του κυκλώματος. Η κατάσταση όλων των κόμβων σε μια ομάδα κλειστών διακοπών θεωρείται ότι είναι η κατάσταση του κόμβου με το μεγαλύτερο συντελεστή βάρους. Εάν σε μια ομάδα υπάρχουν δύο κόμβοι με τον ίδιο συντελεστή βάρους και αντίθετη κατάσταση, τότε η κατάσταση της ομάδας αυτής λαμβάνει την τιμή X. Οι τιμές σταθερής κατάστασης (steady-state values) των κόμβων ενός κυκλώματος εκφράζονται με γράφους από τους οποίους προκύπτει με ένα σύνολο από αλγεβρικές εξισώσεις πινάκων. Σε αντίθεση με αυτή τη λογική στις [92],[93] έχει αναπτυχθεί μια θεωρία για την αποφυγή της πολυπλοκότητας που εισάγουν οι αλγεβρικές εξισώσεις πινάκων. Στη θεωρία αυτή που ονομάζεται CSA (Connector-Switch-Attenuator), εξετάζονται κάθε φορά οι αλληλεπιδράσεις ενός κομματιού (component) του κυκλώματος μονάχα με τα γειτονικά του.

Για τον υπολογισμό των τιμών σταθερής κατάστασης στους κόμβους ενός κυκλώματος, έχουν αναπτυχθεί και μέθοδοι που δε βασίζονται στη θεωρία των γράφων. Έτσι έχουν αναπτυχθεί επαναληπτικές μέθοδοι χαλάρωσης [94] και άμεσες μέθοδοι [95],[96] για τη λύση των αλγεβρικών εξισώσεων που προκύπτουν.

Μια άλλη τεχνική που έχει χρησιμοποιηθεί για λογική εξομοίωση σε επίπεδο διακόπτη έχει αναπτυχθεί στις [97],[98] και μοντελοποιεί τα τρανζίστορ με πηγές σταθερού ρεύματος. Στην τεχνική αυτή χρησιμοποιούνται τρεις λογικές καταστάσεις (ON, OFF και HALF). Η είσοδος κάθε πύλης προσεγγίζεται με μια απλή γραμμική κυματομορφή και η έξοδος με μια γραμμική κυματομορφή δύο τμημάτων.

Ένα κοινό μειονέκτημα όλων των εξομοιωτών σε επίπεδο διακόπτη που αναφέρθηκαν παραπάνω είναι ότι δεν παρέχουν πληροφορία για την χρονική απόκριση των κυκλωμάτων. Βέβαια, η τεχνική που αναφέρθηκε τελευταία, επειδή σε αντίθεση με τις τεχνικές που βασίζονται σε θεωρία γράφων, χρησιμοποιεί μοντέλο για τα τρανζίστορ, μπορεί να παράσχει και κάποια πληροφορία (μικρής ακρίβειας) για τη χρονική απόκριση. Για το λόγο αυτό, έχουν αναπτυχθεί τεχνικές χρονικής εξομοίωσης σε επίπεδο διακόπτη (switch-level timing simulation techniques), οι οποίες σε σχέση με τις τεχνικές επιπέδου πύλης παρουσιάζουν τα παρακάτω γενικά πλεονεκτήματα [93].

- Μπορούν να επιτύχουν μεγαλύτερη ακρίβεια με μικρή σχετικά αύξηση του υπολογιστικού κόστους.
- Χρησιμοποιούν ως βασικά στοιχεία τα τρανζίστορ MOS και όχι τις λογικές πύλες, στοιχείο που απαιτείται σε πολλές μεθοδολογίες λογικού και φυσικού σχεδιασμού κυκλωμάτων VLSI.
- Οι παράμετροι μοντελοποίησης των διακοπών-τρανζίστορ μπορούν να προσαρμοστούν πιο εύκολα ανάλογα με τις απαιτήσεις για την ταχύτητα και την ακρίβεια της εξομοίωσης.
- Η θέση που κατέχουν οι τεχνικές αυτές ανάμεσα στο επίπεδο πύλης και στο κυκλωματικό επίπεδο τους επιτρέπει να χρησιμοποιούν στοιχεία και ιδέες και από τα δύο επίπεδα.

Οι βασικές τεχνικές χρονικής εξομοίωσης σε επίπεδο διακόπτη είναι: η μοντελοποίηση της χρονικής καθυστέρησης με χρήση πινάκων αναφοράς (lookup tables), η μοντελοποίηση της χρονικής καθυστέρησης με εμπειρικές εξισώσεις, η μοντελοποίηση της χρονικής καθυστέρησης με ισοδύναμα κυκλώματα RC και η μοντελοποίηση της χρονικής απόκρισης με βάση την ανάλυση του αντιστροφέα.

A. Μοντελοποίηση με πίνακες

Όπως αναφέρθηκε και στην προηγούμενη παράγραφο, οι τεχνικές μοντελοποιή-

ησης που βασίζονται σε πίνακες, γενικά χρησιμοποιούν ένα σύνολο πινάκων καθυστέρησης τυπικών υποκυκλωμάτων που παράγονται συναρτήσεως παραμέτρων όπως η κλίση της κυματομορφής εισόδου, το φορτίο εξόδου και οι διαστάσεις των στοιχείων που απαρτίζουν τα υποκυκλώματα.

Αρκετές τεχνικές που χρησιμοποιούν πίνακες έχουν εφαρμοστεί στην εξομοίωση σε επίπεδο διακόπτη [29],[38],[99],[100]. Η πρώτη από αυτές έχει υλοποιηθεί στον εξομοιωτή MOSTIM [38],[99], όπου κάθε τρανζίστορ απλοποιείται σε ένα διακόπτη συνδεδεμένο σειριακά με μια αντίσταση. Χρησιμοποιούνται πέντε βασικά υποκυκλώματα NMOS στα οποία συμπεριλαμβάνονται και τρανζίστορ περάσματος (pass transistors). Για την μοντελοποίηση της επίδρασης της κλίσης εισόδου στην καθυστέρηση καθορίζονται δύο κατώφλια τάσης. Ο υπολογισμός της καθυστέρησης περιλαμβάνει δύο στάδια: την απεικόνιση του κυκλώματος σε μια μορφή παρόμοια με αυτή των βασικών υποκυκλωμάτων και τη διαβάθμιση της καθυστέρησης των βασικών κυκλωμάτων ανάλογα με την αντίσταση που παρουσιάζει το υπό εξομοίωση κύκλωμα. Η ταχύτητά του εξομοιωτή MOSTIM είναι 200 φορές μεγαλύτερη από εκείνη του SPICE με σφάλμα υπολογισμού περίπου 10%. Ένα βασικό μειονέκτημα του εξομοιωτή αυτού είναι ότι μπορεί να χειριστεί μονάχα κυκλώματα NMOS. Παρόμοιες τεχνικές με αυτές του MOSTIM χρησιμοποιεί και ο εξομοιωτής JADE [100]. Η καθυστέρηση για τα δύο κατώφλια τάσης υπολογίζεται βάση πινάκων συναρτήσεως της κλίσης εισόδου, του φορτίου εξόδου και της διάταξης των τρανζίστορ στα υποκυκλώματα. Χρησιμοποιούνται τέσσερις τύποι υποκυκλωμάτων: πηγές εισόδου, κυκλώματα οδήγησης τύπου P, κυκλώματα οδήγησης τύπου N και κυκλώματα με τρανζίστορ περάσματος. Κάθε τρανζίστορ μοντελοποιείται ως αντίσταση σε ένα ενοποιημένο μοντέλο RC. Η κυματομορφή εισόδου προσεγγίζεται με μια απλή γραμμική συνάρτηση (ramp) με εύρος ίσιο με την τάση τροφοδοσίας. Κατά την διάρκεια της εξομοίωσης κάθε κύκλωμα ανάγεται σε ένα από τα βασικά υποκυκλώματα και η καθυστέρηση του λαμβάνεται από τους πίνακες.

Στην [29], η τεχνική των πινάκων συνδυάζεται με εκείνη των ισοδύναμων RC δικτύων για την μοντελοποίηση πυλών μετάδοσης (transmission gates). Σε μια λογική πύλη CMOS οι χρόνοι καθυστέρησης μοντελοποιούνται ως γραμμική συνάρτηση του φορτίου εξόδου και ως συνάρτηση γραμμικών τμημάτων του χρόνου μετάβασης εισόδου. Οι συντελεστές καθυστέρησης των συναρτήσεων αυτών λαμβάνονται από πίνακες. Η καθυστέρηση της πύλης μετάδοσης μοντελοποιείται ως συνάρτηση του

φορτίου εξόδου και του χρόνου μετάβασης εισόδου. Η έξοδος της πύλης μετάδοσης αρχικά αναπαρίσταται με δύο συνεχόμενα εκθετικά τμήματα. Στη συνέχεια μια απλή εκθετική κυματομορφή προσαρμόζεται στα τμήματα αυτά και υπολογίζεται η ενεργή αντίσταση της πύλης μετάδοσης. Η μέθοδος αυτή είναι ακριβέστερη από προηγούμενες μεθόδους για μοντελοποίηση κυκλωμάτων που περιέχουν πύλες μετάδοσης και επιταχύνει την εξομοίωση κατά δύο έως τρεις τάξεις μεγέθους σε σχέση με το SPICE.

B. Μοντελοποίηση με εμπειρικές εξισώσεις

Στην [101] παρουσιάζονται εμπειρικές εξισώσεις καθυστέρησης για λογικές πύλες NMOS. Οι κυματομορφές εξόδου μοντελοποιούνται με ένα γραμμικό τμήμα ακολουθούμενο από ένα εκθετικό. Το τρανζίστορ NMOS στη γραμμική περιοχή λειτουργίας μοντελοποιείται ως αντίσταση και στην περιοχή κόρου ως ενισχυτής. Αρχικά εξάγονται εμπειρικές εξισώσεις για τον αντιστροφέα NMOS, οι συντελεστές των οποίων παράγονται από αναλογική εξομοίωση και στη συνέχεια οι εξισώσεις επεκτείνονται στις υπόλοιπες πύλες NMOS. Ένα από τα πλεονεκτήματα της τεχνικής αυτής είναι το γεγονός ότι στη μοντελοποίηση των χωρητικότητων συμπεριλαμβάνεται η επίδραση του φαινομένου Miller.

Η τεχνική που χρησιμοποιείται στον εξομοιωτή TSIM [42] είναι παρόμοια με αυτή του εξομοιωτή WASIM [40] και χρησιμοποιεί εξισώσεις γραμμικών τμημάτων (piecewise linear equations) για τη μοντελοποίηση της καθυστέρησης στο επίπεδο διακόπτη. Αρχικά πραγματοποιούνται εξομοιώσεις με το SPICE και με βάση τα αποτελέσματά τους παράγονται οι συντελεστές των εμπειρικών εξισώσεων. Οι κυματομορφές εξόδου των υποκυκλωμάτων μοντελοποιούνται επίσης με συναρτήσεις γραμμικών τμημάτων. Τα βασικά μειονεκτήματα του TSIM είναι το γεγονός ότι για να αυξηθεί η ταχύτητά του, ένας μεγάλος αριθμός από υποκυκλώματα πρέπει να προ-χαρακτηριστούν και η περιορισμένη ακρίβεια που παρέχει στις περιπτώσεις αργών εισόδων και μεγάλων φορτίων.

Εμπειρικές εξισώσεις για την καθυστέρηση χρησιμοποιούνται επίσης και στην [102]. Για τον αντιστροφέα CMOS οι χρόνοι ανόδου και καθόδου εκφράζονται συναρτήσει των πλατών καναλιού των δύο τρανζίστορ, της χωρητικότητας εισόδου και της χωρητικότητας εξόδου. Τα δεδομένα που παράγονται από κυκλωματική εξομοίωση προσαρμόζονται με τη χρήση ενός προγράμματος που χρησιμοποιεί την μέθοδο των ελαχίστων τετραγώνων, έτσι ώστε να παραχθούν οι συντελεστές των πολυωνυμι-

κών εξισώσεων των χρόνων ανόδου και καθόδου. Με τη χρήση εμπειρικών συντελεστών, οι εξισώσεις αυτές εφαρμόζονται σε πύλες NAND και NOR. Στην εφαρμογή αυτή λαμβάνεται υπόψη και ο αριθμός των εισόδων των πυλών.

Γ. Μοντελοποίηση με ισοδύναμα κυκλώματα RC

Οι τεχνικές μοντελοποίησης που βασίζονται σε ισοδύναμα κυκλώματα RC έχουν χρησιμοποιηθεί ευρύτατα για χρονική επαλήθευση και εξομοίωση σε επίπεδο διακόπτη, καθώς και για βελτιστοποίηση κυκλωμάτων VLSI.

Η πρώτη προσπάθεια για τον ορισμό του χρόνου καθυστέρησης έγινε από τον Elmore [103]. Η καθυστέρηση για βηματική είσοδο ορίζεται ως ο χρόνος όπου η βηματική απόκριση φτάνει το 50% της τελικής της τιμής. Επειδή η βηματική απόκριση είναι το ολοκλήρωμα της κρουστικής απόκρισης, ο Elmore πρότεινε την προσέγγιση της καθυστέρησης με το μέσο της κατανομής $h(t)$ (Σχήμα 2.1). Έτσι η καθυστέρηση δίνεται από την παρακάτω σχέση

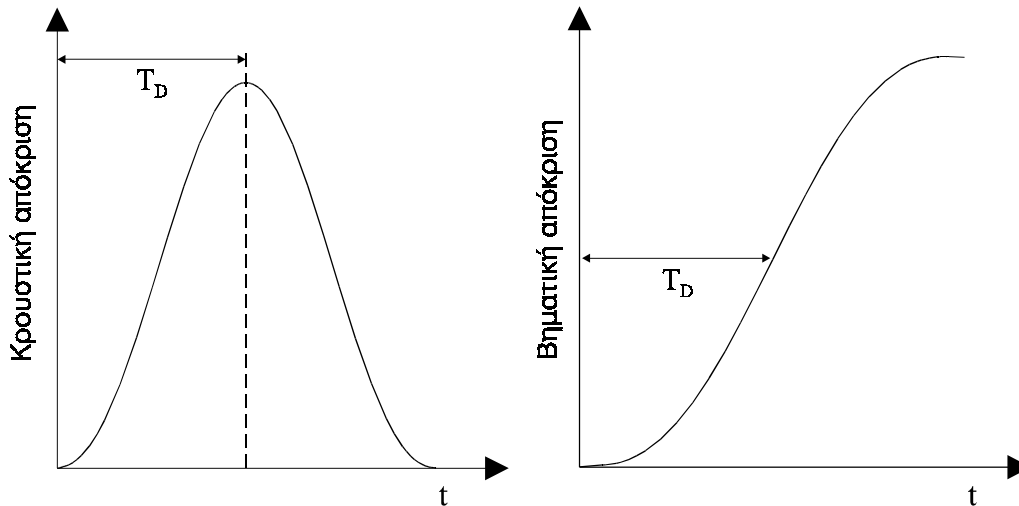
$$T_D = \int_0^{\infty} t \cdot h(t) dt. \quad (2.2)$$

Βέβαια η προσέγγιση αυτή είναι ακριβής όταν πρόκειται για συμμετρική κρουστική απόκριση, γεγονός που δε συμβαίνει στις περισσότερες πραγματικές περιπτώσεις. Ωστόσο, η τιμή αυτή της καθυστέρησης μπορεί να χρησιμοποιηθεί ως ένα ανώτατο όριο για την καθυστέρηση ενός δικτύου [104]. Με βάση τον ορισμό του Elmore παράγεται ένα απλό μοντέλο για τον υπολογισμό της καθυστέρησης δικτύων RC

$$T_D = \sum_i R_i C_i, \quad (2.3)$$

όπου R_i είναι η αθροισμένη αντίσταση από το σημείο i μέχρι τη γραμμή τροφοδοσίας ή γείωσης και C_i είναι η χωρητικότητα στο σημείο i .

Αρκετά αργότερα οι Penfield και Rubinstein [43] πρότειναν ένα μοντέλο καθυστέρησης RC, το οποίο βασίζεται στο μοντέλο του Elmore. Σκοπός τους ήταν να οριοθετήσουν το χρόνο καθυστέρησης των κυκλωμάτων MOS. Στην [43] λοιπόν τα τρανζίστορ μοντελοποιούνται ως γραμμικές αντιστάσεις και κάθε μη γραμμική χωρητικότητα προσεγγίζεται με μια γραμμική. Κάθε κόμβος περιλαμβάνει ένα γειωμένο πυκνωτή. Στη συνέχεια παράγονται όρια για την καθυστέρηση ενός δικτύου RC με τη θεώρηση βηματικής εισόδου. Στις [105] και [106], προτείνεται η επέκταση του μοντέλου καθυστέρησης των απλών δικτύων RC σε γενικότερα δίκτυα RC που περιλαμβάνουν και βρόχους (mesh networks). Επίσης στην [107] αναπτύχθηκε μια μεθοδολογία



Σχήμα 2.1: Προσέγγιση της καθυστέρησης από τον Elmore

για τη μετατροπή γενικών δικτύων RC (τα οποία περιλαμβάνουν παράλληλες συνδέσεις, αλλά και γεφυρώσεις) σε απλά δίκτυα έτσι ώστε να μπορούν να αναλυθούν ευκολότερα. Η μεθοδολογία χρησιμοποιήθηκε στον εξομοιωτή Mc-SLADE [108]. Στη μεθοδολογία που ακολουθείται στην [109] δε χρειάζεται μετατροπή των γενικών δικτύων σε απλά δίκτυα (δέντρα). Βέβαια η λύση που προτείνεται οδηγεί μονάχα στον καθορισμό ορίων καθυστέρησης.

Ο υπολογισμός της καθυστέρησης δικτύων MOS με τα παραπάνω μοντέλα RC δίνει ανακριβή αποτελέσματα. Οι κύριοι λόγοι που οδηγούν στα αποτελέσματα αυτά είναι η μοντελοποίηση των τρανζίστορ ως αντιστάσεις και η θεώρηση βηματικής εισόδου [104]. Επίσης, για να χρησιμοποιηθούν τέτοια μοντέλα καθυστέρησης απαιτείται η εξαγωγή των τιμών των ενεργών αντιστάσεων των τρανζίστορ, γεγονός που συνήθως απαιτεί μεγάλο αριθμό κυκλωματικών εξομοιώσεων [8].

Στην [110], η γραμμική μέθοδος RC χρησιμοποιείται για τον υπολογισμό της καθυστέρησης πυλών που έχουν ως φορτίο δίκτυα RC. Η καθυστέρηση μιας πύλης προσεγγίζεται ως γραμμικός συνδυασμός της χωρητικότητας φορτίου, της σταθεράς χρόνου καθυστέρησης του φορτίου RC και του χρόνου μετάβασης εισόδου. Η μέθοδος αυτή συγκρινόμενη με την κυκλωματική εξομοίωση παρουσιάζει σφάλμα 25%. Επίσης, η γραμμική μέθοδος RC έχει χρησιμοποιηθεί και σε αρκετά προγράμματα βελτιστοποίησης του μεγέθους των τρανζίστορ (transistor sizing programs) σε στατικά κυκλώματα CMOS [111],[112], σε τεχνικές για την αναγωγή στατικών πυλών CMOS σε ισοδύναμους αντιστροφείς [113], καθώς και σε εργαλεία στατικής επαλήθευσης κυκλωμάτων [50],[51].

Στην [114], προτείνεται μια τροποποιημένη εκδοχή της μεθόδου που αναπτύχθηκε στην [43], για την ανάλυση δέντρων αποτελούμενων από τρανζίστορ περάσματος, όπου λαμβάνεται υπόψη και η κλίση της κυματομορφής εισόδου. Στον εξομοιωτή RSIM [44],[115], οι αντιστάσεις των μονοπατιών προς την τροφοδοσία και την γείωση μειώνονται σε μια ισοδύναμη αντίσταση. Η αντίσταση αυτή πολλαπλασιάζεται με τη χωρητικότητα εξόδου, έτσι ώστε να προκύψει η σταθερά χρόνου RC. Οι αποκρίσεις στους κόμβους του κυκλώματος προσεγγίζονται με μια εκθετική συνάρτηση σε συνδυασμό με την σταθερά χρόνου RC. Ο RSIM μοντελοποιεί τα τρανζίστορ σε κατάσταση αγωγής με μια αντίσταση και τρεις γειωμένες χωρητικότητες (μια για κάθε ακροδέκτη). Η αντίσταση του κάθε τρανζίστορ είναι συνάρτηση των διαστάσεων του και της κλίσης της κυματομορφής εισόδου. Η ακρίβεια του RSIM είναι μικρή κυρίως λόγω της ενοποίησης που πραγματοποιεί στις αντιστάσεις και τις χωρητικότητες του κυκλώματος. Πρόσφατα στην [116] προτάθηκαν κάποιες τροποποιήσεις για τη βελτίωση της ακρίβειας του RSIM, που οδήγησαν στην ανάπτυξη του εξομοιωτή Mom [116]. Οι τροποποιήσεις αυτές αφορούσαν τη χρησιμοποίηση ακριβέστερων μοντέλων για τα τρανζίστορ (τρία διαφορετικά μοντέλα για κάθε περιοχή λειτουργίας του τρανζίστορ) και την καλύτερη μοντελοποίηση των κυματομορφών με ένα άθροισμα εκθετικών τμημάτων.

Στις [45] και [117] προτείνεται ο εξομοιωτής Crystal, ο οποίος χρησιμοποιεί τρία διαφορετικά μοντέλα RC: το ενοποιημένο μοντέλο που είναι παρόμοιο με αυτό του RSIM, το ενοποιημένο μοντέλο κλίσης και το κατανεμημένο μοντέλο κλίσης. Τα δύο τελευταία είναι ουσιαστικά τα μοντέλα του εξομοιωτή RSIM [115] και των Penfield–Rubinstein [43], αντίστοιχα, με την εισαγωγή όμως της επίδρασης της κλίσης της κυματομορφής εισόδου. Μια εναλλακτική μέθοδος εξετάζεται στην [118], όπου η κυματομορφή εξόδου προσεγγίζεται από μια συνάρτηση γραμμικών τμημάτων που εξαρτάται από την κλίση της κυματομορφής εισόδου. Μέσω αυτής της συνάρτησης η σταθερά χρόνου RC ανάγεται στην πραγματική καθυστέρηση του κυκλώματος.

Στην [119], η καθυστέρηση διακρίνεται σε δύο μέρη. Το πρώτο μέρος έχει να κάνει με την αντίσταση του κυκλώματος και την χωρητικότητα που φορτίζεται ή εκφορτίζεται, ενώ το δεύτερο μέρος αναφέρεται σε έναν αρχικό χρόνο (offset time) ο οποίος εξαρτάται από την κλίση της κυματομορφής εισόδου.

Ένας αναδρομικός αλγόριθμος για τον υπολογισμό της καθυστέρησης Elmore

σε μεικτά σειριακά-παράλληλα δίκτυα RC έχει αναπτυχθεί στην [120]. Ο αλγόριθμος αυτός χωρίζει το κύκλωμα σε δομές με σειριακά και παράλληλα τρανζίστορ. Στη συνέχεια κάθε δομή αντιμετωπίζεται χωριστά για τον υπολογισμό της καθυστέρησης. Η μεθοδολογία αυτή είναι πιο αποδοτική από εκείνες των [107] και [109]. Στην [121], ο αλγόριθμος για την αντιμετώπιση γενικών δικτύων RC της [107] επεκτείνεται, έτσι ώστε να ληφθεί υπόψη η εξάρτηση της αντίστασης των τρανζίστορ από την χωρητικότητα φορτίου.

Η μεθοδολογία της [120] χρησιμοποιείται στον εξομοιωτή στατικών κυκλωμάτων CMOS που προτείνεται στην [122]. Στον εξομοιωτή αυτόν χρησιμοποιούνται δύο τιμές για την ενεργό αντίσταση των τρανζίστορ. Μία για την περίπτωση όπου το τρανζίστορ άγει με σταθερή τάση στην πύλη του και μια δεύτερη για την περίπτωση που υπάρχει μετάβαση στην πύλη του. Η κυματομορφή εξόδου των πυλών CMOS μοντελοποιείται σύμφωνα με την μέθοδο που προτείνεται στην [39]. Η ιδιαιτερότητα του εξομοιωτή αυτού είναι το ότι λαμβάνει υπόψη την επίδραση της φόρτισης και της εκφόρτισης των χωρητικότητων των ενδιάμεσων κόμβων στα στατικά κυκλώματα CMOS.

Τέλος, μια εντελώς διαφορετική προσέγγιση για τον υπολογισμό της καθυστέρησης ενός κυκλώματος είναι η ασυμπτωτική εκτίμηση κυματομορφών (asymptotic waveform evaluation - AWE) [123]. Η μέθοδος αυτή εφαρμόζεται σε γενικά δίκτυα RLC, ενώ για την περίπτωση ενός δέντρου RC με βηματική είσοδο μια πρώτου βαθμού προσέγγιση AWE είναι ισοδύναμη με την έκφραση που προκύπτει από τη μέθοδο του Elmore [103].

Δ. Μοντελοποίηση με βάση την ανάλυση του αντιστροφέα

Στις τεχνικές αυτές συνήθως λύνεται αναλυτικά η διαφορική εξίσωση στον κόμβο εξόδου του αντιστροφέα, έτσι ώστε να προκύψουν αναλυτικές εκφράσεις για την κυματομορφή εξόδου και την καθυστέρηση του. Γενικά, οι τεχνικές που βασίζονται στην ανάλυση του αντιστροφέα χρησιμοποιούν στη συνέχεια μια μεθοδολογία για να ανάγουν τις λογικές πύλες σε ισοδύναμους αντιστροφείς. Το βασικό πλεονέκτημα των τεχνικών αυτών είναι το ότι δεν απαιτείται κυκλωματική προεξομοίωση όπως στις προηγούμενες τεχνικές. Ο κύριος περιοριστικός παράγοντας είναι το γεγονός ότι η αναλυτική λύση της διαφορικής εξίσωσης δεν είναι πάντα εφικτή, ιδιαίτερα στις περιπτώσεις όπου η κυματομορφή εξόδου δίνεται από μια σύνθετη συνάρτηση του χρόνου ή οι εξισώσεις μοντελοποίησης του ρεύματος των τρανζίστορ δεν είναι απλές.

Όπως αναφέρθηκε και στην παράγραφο 2.2.2.1, οι τεχνικές μοντελοποίησης που βασίζονται στη ανάλυση του αντιστροφέα μπορούν να καταταγούν και στην κατηγορία της χρονικής εξομοίωσης σε επίπεδο πύλης. Στη συνέχεια γίνεται μια σύντομη ανασκόπηση των τεχνικών αυτών, οι οποίες θα αναλυθούν εκτενέστερα στα επόμενα κεφάλαια, αφού αποτελούν το κύριο αντικείμενο της διατριβής.

Η πρώτη προσπάθεια μοντελοποίησης κυκλωμάτων με βάση την ανάλυση της χρονικής απόκρισης του αντιστροφέα έγινε στην [90]. Η κυματομορφή εξόδου και η καθυστέρηση του αντιστροφέα παράγεται αναλυτικά για βηματική είσοδο, ως συνάρτηση του φορτίου εξόδου και των χαρακτηριστικών των τρανζίστορ.

Στις [124] και [125] προτείνονται δύο παρόμοιοι τρόποι υπολογισμού της καθυστέρησης για τον αντιστροφέα NMOS, όπου δεν λύνεται αναλυτικά η διαφορική εξίσωση στον κόμβο εξόδου, αλλά χρησιμοποιείται προσεγγιστικά η αρχή της διατήρησης του μέσου φορτίου (mean charge conservation). Για την μοντελοποίηση των τρανζίστορ NMOS χρησιμοποιείται το απλό μοντέλο τετραγωνικής μορφής [31] και η κυματομορφή εισόδου προσεγγίζεται με μια γραμμική συνάρτηση του χρόνου. Το τρανζίστορ οδήγησης (driver transistor) θεωρείται ότι λειτουργεί μονάχα στην περιοχή του κόρου και η λειτουργία του τρανζίστορ φορτίου (load transistor) θεωρείται ότι δεν επηρεάζεται από την κλίση της κυματομορφής εισόδου. Οι προσεγγίσεις αυτές μαζί με το ότι η λύση δίνεται με χρήση του μέσου φορτίου, οδηγούν σε εκτίμηση της καθυστέρησης με μειωμένη ακρίβεια. Η μέθοδος αυτή επεκτάθηκε αργότερα σε κυκλώματα CMOS [126],[127]. Στην [126], υπολογίζεται η καθυστέρηση του αντιστροφέα CMOS χωρίς όμως να λαμβάνεται υπόψη η επίδραση του ρεύματος βραχυκυκλώματος, δηλ. λαμβάνεται υπόψη μονάχα η επίδραση του ρεύματος του τρανζίστορ μέσω του οποίου φορτίζεται ή εκφορτίζεται ο κόμβος εξόδου. Το ρεύμα του τρανζίστορ αυτού μοντελοποιείται με βάση μια προσέγγιση πρώτου βαθμού του μοντέλου MOS φορτίου-υποστρώματος [32], που ισοδυναμεί με το μοντέλο MOS νόμου του τετραγώνου. Επίσης, παράγονται εκφράσεις για τον υπολογισμό της καθυστέρησης των πυλών μετάδοσης μέσω του καθορισμού της ενεργής αντίστασης των τρανζίστορ. Στην [127], χρησιμοποιείται ένας εμπειρικός συντελεστής που παράγεται από εξομοιώσεις με το SPICE, έτσι ώστε οι εξισώσεις που προκύπτουν από την [126] να μπορούν να εφαρμοστούν για περιπτώσεις αργών εισόδων.

Στην [18] παράχθηκαν οι πρώτες εκφράσεις αναλυτικού υπολογισμού της καθυστέρησης και της χρονικής απόκρισης του αντιστροφέα CMOS, που βασίζονται

στη λύση της διαφορικής εξίσωσης στον κόμβο εξόδου και λαμβάνουν υπόψη την κλίση της κυματομορφής εισόδου. Η κυματομορφή εισόδου προσεγγίζεται με μια γραμμική συνάρτηση του χρόνου (ramp). Η λύση της διαφορικής εξίσωσης δίνεται για γρήγορες και αργές εισόδους. Ωστόσο, η επίδραση του ρεύματος βραχυκυκλώματος δεν συμπεριλαμβάνεται στην ανάλυση, με αποτέλεσμα να προκύπτουν ανακριβή αποτελέσματα, ιδιαίτερα στην περίπτωση αργής εισόδου. Τα τρανζίστορ μοντελοποιούνται με το απλό μοντέλο νόμου του τετραγώνου [31]. Οι αναλυτικές εκφράσεις της [18] επεκτάθηκαν για είσοδο εκθετικής μορφής στην [128]. Στην [36] προτείνεται ένα βελτιωμένο μοντέλο για την καθυστέρηση και την κυματομορφή εξόδου του αντιστροφέα CMOS που είναι επίσης βασισμένο στο μοντέλο MOS νόμου του τετραγώνου. Στην ανάλυση αυτή λαμβάνονται υπόψη οι επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου. Ωστόσο, για την υπερπήδηση των προβλημάτων που δημιουργούνται κατά την ανάλυση, χρησιμοποιούνται αριθμητικές μέθοδοι και μέθοδοι προσαρμογής, με αποτέλεσμα να αυξάνεται η πολυπλοκότητα του μοντέλου και να αλλοιώνεται ο αναλυτικός χαρακτήρας του. Μια παρόμοια ανάλυση προτείνεται στην [129] χωρίς όμως να συμπεριλαμβάνεται η επίδραση της χωρητικότητας σύζευξης.

Στις [130]-[132] οι Nabavi-Lishi και Rumin πρότειναν μια μέθοδο για τον υπολογισμό της καθυστέρησης του αντιστροφέα CMOS, η οποία όμως βασίζεται σε μια γραμμική προσέγγιση της κυματομορφής εξόδου, μέσω εμπειρικών συντελεστών που παράγονται από αναλογικές εξομοιώσεις. Στην μέθοδο αυτή τα τρανζίστορ μοντελοποιούνται με μια τροποποιημένη εκδοχή του επιπέδου-3 μοντέλου MOS που χρησιμοποιεί το SPICE [57]. Η μέθοδος που προτείνεται στην [133], χρησιμοποιεί για την μοντελοποίηση των τρανζίστορ μια απλοποιημένη εκδοχή του μοντέλου MOS Yang-Chatterjee [33]. Η κυματομορφή εξόδου προσεγγίζεται με μια γραμμική συνάρτηση του χρόνου και η κυματομορφή εξόδου με μια συνάρτηση γραμμικών τμημάτων που εξαρτάται από την κυματομορφή εισόδου, τις διαστάσεις των τρανζίστορ και το φορτίο εξόδου.

Επειδή το μοντέλο νόμου του τετραγώνου δε μοντελοποιεί με ακρίβεια τη συμπεριφορά των τρανζίστορ με μικρό μήκος καναλιού (short-channel transistors), έχουν προταθεί αρκετές μέθοδοι ανάλυσης του αντιστροφέα που είναι βασισμένες σε πιο αποδοτικά μοντέλα [19],[134]-[138] για την κατηγορία αυτή των τρανζίστορ. Στις [19] και [139] προτείνεται το μοντέλο MOS δύναμης του α (α -power law MOS model),

που λαμβάνει υπόψη το φαινόμενο κορεσμού της ταχύτητας των φορέων (carriers' velocity saturation effect) που έχει σημαντική επίδραση στο ρεύμα των τρανζίστορ μικρού μήκους καναλιού. Στη λύση της διαφορικής εξίσωσης στον κόμβο εξόδου του αντιστροφέα δε συμπεριλαμβάνεται η επίδραση του ρεύματος βραχυκυκλώματος και η έκφραση της καθυστέρησης που παράγεται ισχύει μόνο για γρήγορες εισόδους. Στην [134] προτείνεται ένα παρόμοιο μοντέλο MOS που αναφέρεται ως μοντέλο δύναμης του n (n -power law MOS model). Για την εξαγωγή των εκφράσεων της κυματομορφής εξόδου και της καθυστέρησης χρησιμοποιείται μια πλασματική γραμμική είσοδος η οποία μηδενίζεται (στην ανερχόμενη περίπτωση) για τιμές μικρότερες του λογικού κατωφλίου τάσης, με σκοπό να προσεγγιστεί ο αντιστροφέας CMOS με ένα κύκλωμα NMOS. Πρόσφατα, έχουν προταθεί αρκετά μοντέλα [47],[140]-[142] για τον αναλυτικό υπολογισμό της χρονικής απόκρισης του αντιστροφέα CMOS, που βασίζονται στα δύο μοντέλα MOS που αναφέρθηκαν παραπάνω. Στην [142], χρησιμοποιείται μια απλοποιημένη μορφή της εξίσωσης ρεύματος κόρου των παραπάνω μοντέλων, όπου η τιμή του εκθέτη (α ή n) ισούται με τη μονάδα. Ένα μοντέλο MOS που βασίζεται στην ίδια φιλοσοφία με τα μοντέλα δύναμης α και n , είναι το μοντέλο της υπερβολικής εφαπτομένης (\tanh -law MOS model) [138]. Στον υπολογισμό της καθυστέρησης του αντιστροφέα με χρήση του μοντέλου αυτού λαμβάνεται υπόψη το ρεύμα και των δύο τρανζίστορ, αλλά οι εξισώσεις λύνονται με χρήση αριθμητικών μεθόδων και όχι αναλυτικά.

Στην [143], προτείνεται ένα μοντέλο υπολογισμού της χρονικής απόκρισης του αντιστροφέα CMOS που είναι βασισμένο στο μοντέλο MOS BSIM [59]. Στην ανάλυση λαμβάνεται υπόψη μόνο το ρεύμα του τρανζίστορ μέσω του οποίου φορτίζεται ή εκφορτίζεται η έξοδος του αντιστροφέα, ενώ θεωρείται αμελητέα η επίδραση του ρεύματος βραχυκυκλώματος. Επίσης, στο μοντέλο αυτό συμπεριλαμβάνεται η επίδραση της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου. Είναι χαρακτηριστικό ότι η επίδραση αυτή λαμβάνεται υπόψη σε ένα μικρό αριθμό αναλυτικών μοντέλων [36],[46],[142], αν και είναι σημαντική ιδιαίτερα στις περιπτώσεις γρήγορης εισόδου. Στις [46] και [144] οι Kong και Overhauser πρότειναν ένα μοντέλο για τον υπολογισμό της χρονικής απόκρισης του αντιστροφέα, όπου για τη μοντελοποίηση των τρανζίστορ χρησιμοποιείται το επιπέδου-2 μοντέλο MOS του SPICE [57]. Η αλλαγή στην τάση εξόδου σε ένα χρονικό διάστημα υπολογίζεται μέσω του υπολογισμού του μέσου ρεύματος στο διάστημα αυτό. Κατά την ανάλυση χρησιμοποιούνται

προσεγγίσεις, όπως θεώρηση αμελητέου ρεύματος βραχυκυκλώματος, κυματομορφή εξόδου αποτελούμενη από γραμμικά τμήματα και αντικατάσταση του ενεργού τρανζίστορ με ισοδύναμη αντίσταση όταν αυτό λειτουργεί στη γραμμική περιοχή.

Μια διαφορετική προσέγγιση του θέματος επιχειρείται στην [145], όπου προτείνεται ο μετασχηματισμός του αντιστροφέα σε ένα γραμμικό σύστημα το οποίο στη συνέχεια λύνεται χρησιμοποιώντας τη θεωρία συνέλιξης. Για τον μετασχηματισμό όμως του μη γραμμικής φύσης αντιστροφέα σε ένα γραμμικό σύστημα απαιτούνται αρκετές προσεγγίσεις οι οποίες οδηγούν σε μείωση της ακρίβειας υπολογισμού.

Για να γίνει εφικτή η αναγωγή σύνθετων πυλών σε ισοδύναμους αντιστροφεείς, ένα σημαντικό θέμα που έχει προκύψει στην ανάλυση της χρονικής απόκρισης των κυκλωμάτων είναι η αντικατάσταση σειριακά και παράλληλα συνδεδεμένων τρανζίστορ από ένα ισοδύναμο τρανζίστορ. Αρκετές μεθοδολογίες [20],[21],[144],[146]-[150] έχουν αναπτυχθεί για τον υπολογισμό του πλάτους και των παρασιτικών χωρητικότητων των τρανζίστορ του ισοδύναμου αντιστροφέα, οι οποίες θα περιγραφούν αναλυτικά στο Κεφάλαιο 5.

2.2.3 Τεχνικές γρήγορης χρονικής εξομοίωσης

Μέχρι σήμερα, έχουν προταθεί αρκετές τεχνικές χρονικής εξομοίωσης, οι οποίες συνδυάζουν στοιχεία από διάφορα επίπεδα εξομοίωσης για να βελτιστοποιήσουν την ακρίβεια και την ταχύτητα εκτίμησης που παρέχουν. Οι τεχνικές αυτές αναφέρονται από αρκετούς ερευνητές ως τεχνικές γρήγορης χρονικής εξομοίωσης (fast-timing simulation techniques) [144] και από άλλους ως τεχνικές πλήρους χρονικής εξομοίωσης (full-timing simulation techniques) [55],[151]. Μερικές από αυτές χρησιμοποιούν απλοποιημένα μοντέλα για τα τρανζίστορ, άλλες τα συνδυάζουν σε βασικά υποκυκλώματα (primitives) και επιτυγχάνουν εξομοίωση όπως περίπου οι εξομοιωτές σε επίπεδο διακόπτη και κάποιες τρίτες συνδυάζουν τεχνικές εξομοίωσης σε επίπεδο διακόπτη με τεχνικές κυκλωματικής εξομοίωσης ώστε να πετύχουν μια εξισορρόπηση μεταξύ της ακρίβειας και της ταχύτητας. Γενικά οι τεχνικές γρήγορης χρονικής εξομοίωσης λειτουργούν σε γεγονοδηγούμενη βάση (event-driven) και επιτυγχάνουν αύξηση της ταχύτητας εξομοίωσης έως και δύο τάξεις μεγέθους σε σχέση με τους κυκλωματικούς εξομοιωτές. Στη συνέχεια δίνεται μια συνοπτική περιγραφή των κυριότερων τεχνικών της κατηγορίας αυτής.

A. SPECS2

Στον εξομοιωτή SPECS2 [152] (piecewise-approximate circuit simulation: κυκλωματική εξομοίωση τμηματικής προσέγγισης) η τάση κάθε κλάδου του κυκλώματος μοντελοποιείται ως χρονική συνάρτηση γραμμικών τμημάτων (piecewise linear) και το ρεύμα ως χρονική συνάρτηση σταθερών τμημάτων (piecewise constant). Τα τρανζίστορ MOS μοντελοποιούνται ως πηγές ρεύματος που ελέγχονται από τις τάσεις V_{DS} και $V_{GS} - V_{TH}$. Οι τιμές των τάσεων αυτών περιλαμβάνονται σε ένα πίνακα δύο διαστάσεων ο οποίος παρέχει τα σταθερά τμήματα του ρεύματος (piecewise constant current segments) και στην ουσία αναπαριστά τις χαρακτηριστικές I-V των τρανζίστορ. Η αποδοτικότητα και η ακρίβεια της εξομοίωσης εξαρτάται από τον αριθμό των τιμών που περιλαμβάνει ο πίνακας αυτός. Πρόκειται δηλαδή για έναν εξομοιωτή μεταβλητής ακρίβειας και ταχύτητας. Η τιμή του ρεύματος για κάθε τρανζίστορ λαμβάνεται από τον πίνακα, αντικαθίσταται στις εξισώσεις του κυκλώματος και στη συνέχεια υπολογίζεται η τάση σε κάθε κόμβο χρησιμοποιώντας την τεχνική ολοκλήρωσης Euler. Αφού λοιπόν τα ρεύματα στους κόμβους του κυκλώματος είναι σταθερά, ο χρόνος μετάβασης σε ένα κόμβο δίνεται ως εξής: $\Delta t = C (\Delta V / I)$, όπου ΔV είναι η αλλαγή της τάσης στον κόμβο, C είναι η χωρητικότητα του κόμβου και I είναι το άθροισμα των ρευμάτων φόρτισης ή εκφόρτισης του κόμβου.

B. ELogic

Στον εξομοιωτή ELogic [153],[154] (electrical-logic simulation: εξομοίωση ηλεκτρικής λογικής) οι τάσεις στους κόμβους του κυκλώματος μοντελοποιούνται χρησιμοποιώντας ένα σύνολο από διακριτές στάθμες. Η ακρίβεια και η ταχύτητα του εξομοιωτή αυτού εξαρτάται από τον αριθμό των σταθμών που χρησιμοποιούνται. Σε σχέση με τον SPECS2 χρησιμοποιεί πιο αποδοτικές μεθόδους ολοκλήρωσης για την λύση των εξισώσεων του κυκλώματος και πιο ακριβή μοντέλα για τα τρανζίστορ. Τα τρανζίστορ μοντελοποιούνται με το μοντέλο MOS νόμου του τετραγώνου [31]. Με σκοπό την αύξηση της ακρίβειας μπορούν να χρησιμοποιηθούν πιο σύνθετα μοντέλα MOS ή ακόμη και μοντέλα με πίνακες αναφοράς. Στη συνέχεια για να υπολογιστεί ο χρόνος μετάβασης της τάσης ενός κόμβου, τα τρανζίστορ γραμμικοποιούνται με χρήση ενός ισοδύναμου κυκλώματος που αποτελείται από μια αγωγιμότητα (G) συνδεδεμένη παράλληλα με μια πηγή ρεύματος (I), οι τιμές των οποίων υπολογίζονται με βάση το μοντέλο MOS που έχει επιλεγεί.

Γ. MOTIS3

Οι τεχνικές που χρησιμοποιούνται στον εξομοιωτή γρήγορης χρονικής εξομοίωσης MOTIS3 [16], είναι παρόμοιες με αυτές του ELogic. Η βασική τους διαφορά είναι ότι ο MOTIS3 διαθέτει ένα ανάστροφο διορθωτικό αλγόριθμο και έναν αλγόριθμο ελέγχου του βήματος τάσης με αποτέλεσμα να βελτιώνεται η ακρίβεια υπολογισμού. Το ρεύμα των τρανζίστορ υπολογίζεται με τη χρήση πινάκων I-V [155]. Τα τρανζίστορ μοντελοποιούνται ως πηγές ρεύματος ελεγχόμενες από τάση και οι μη γραμμικές χωρητικότητες προσεγγίζονται από γραμμικές συναρτήσεις των διαστάσεων των τρανζίστορ. Η χωρητικότητα Miller ενσωματώνεται στην ισοδύναμη χωρητικότητα του ακροδέκτη πύλης των τρανζίστορ. Για να γίνει αυτό η χωρητικότητα του ακροδέκτη πύλης μοντελοποιείται ως εξής [156]: $C_G = W L k_a + 2 (W+L) k_p$, όπου W , L είναι οι διαστάσεις του τρανζίστορ και k_a , k_p είναι συντελεστές που καθορίζονται πειραματικά. Οι χωρητικότητες των ενδιάμεσων κόμβων μοντελοποιούνται ανάλογα και ανάγονται στο κόμβο εξόδου. Ο εξομοιωτής MOTIS3 είναι περίπου δύο τάξεις μεγέθους ταχύτερος από τους τυπικούς κυκλωματικούς εξομοιωτές (π.χ. SPICE) και μια τάξη μεγέθους από τον εξομοιωτή MOTIS2 [78] που χρησιμοποιεί μεθόδους χαλάρωσης και αναφέρθηκε στην παράγραφο 2.2.1.2. Το σφάλμα που παρουσιάζει είναι λιγότερο από 5% σε σχέση με τον MOTIS2. Μια παρόμοια τεχνική γρήγορης χρονικής εξομοίωσης έχει αναπτυχθεί στον εξομοιωτή Event-EMU [157].

Δ. ADEPT

Ο εξομοιωτής ADEPT [158],[159] (automatic dynamic electrical partitioning of transistors: αυτόματη δυναμική ηλεκτρική τμηματοποίηση των τρανζίστορ) χρησιμοποιεί και αυτός διακριτές στάθμες τάσης και γραμμικοποίηση των τρανζίστορ. Η λειτουργία του βασίζεται στην ανάπτυξη ενός κριτηρίου συσχέτισης κόμβων. Με βάση το κριτήριο αυτό, το κύκλωμα χωρίζεται σε κομμάτια που το καθένα αποτελείται από κόμβους με μεγάλο βαθμό συσχέτισης. Το κάθε κομμάτι λύνεται ανεξάρτητα με χρήση μιας μεθόδου χαλάρωσης. Ο ADEPT έχει ολοκληρωθεί στο περιβάλλον εξομοίωσης Lsim. Παρουσιάζει ταχύτητα περίπου δύο τάξεις μεγέθους μεγαλύτερη από εκείνη του SPICE, με σφάλμα υπολογισμού μικρότερο από 5%.

Ε. IDSIM2

Όλες οι παραπάνω τεχνικές χρησιμοποιούν γραμμικά μοντέλα για τα τρανζίστορ και προσπαθούν με μεθόδους ολοκλήρωσης και χαλάρωσης να παράγουν και

να λύσουν τις διαφορικές εξισώσεις στους κόμβους των κυκλωμάτων. Ο εξομοιωτής IDSIM2 [160] χρησιμοποιεί ένα μη γραμμικό μοντέλο, όπου το ρεύμα των τρανζίστορ υπολογίζεται χρησιμοποιώντας μια απλοποιημένη μορφή του μοντέλου MOS Yang-Chatterjee [33]. Η βασική ιδέα είναι να μοντελοποιηθούν τα ρεύματα φόρτισης και εκφόρτισης του κόμβου εξόδου των υποκυκλωμάτων. Έτσι, τα μονοπάτια φόρτισης και εκφόρτισης μοντελοποιούνται με ένα τρανζίστορ. Η παραπάνω μοντελοποίηση συνδυάζεται με την τεχνική της χαλάρωσης κυματομορφών (waveform relaxation) που αναφέρθηκε στην παράγραφο 2.2.1.2. Στην ουσία ο IDSIM2 μοντελοποιεί κάθε υποκύκλωμα με έναν αντιστροφέα CMOS. Η συγχώνευση των τρανζίστορ γίνεται με τη χρήση απλών κανόνων που συνδυάζουν τις διαγωγιμότητες των σειριακά και παράλληλα συνδεδεμένων τρανζίστορ για να υπολογίσουν τη διαγωγιμότητα του ισοδύναμου τρανζίστορ. Κατά τη μοντελοποίηση του ρεύματος των μονοπατιών φόρτισης και εκφόρτισης χρησιμοποιείται μια προσέγγιση βασισμένη στην σταθερά χρόνου Elmore [103]. Ο χρόνος εξομοίωσης του IDSIM2 μειώνεται αισθητά εάν δημιουργηθούν πριν από την εξομοίωση πίνακες αναφοράς με μερικές από τις παραμέτρους της μοντελοποίησης [161]. Αν και οι απλοποιήσεις που γίνονται κατά τη μοντελοποίηση του IDSIM2 εξασφαλίζουν γρηγορότερη εξομοίωση από άλλες τεχνικές, οδηγούν σε μειωμένη ακρίβεια. Οι απλοποιήσεις αυτές αφορούν κυρίως το συνδυασμό των σειριακά συνδεδεμένων τρανζίστορ σε ένα ισοδύναμο τρανζίστορ χωρίς να λαμβάνονται υπόψη οι χωρητικότητες των εσωτερικών κόμβων και το φαινόμενο σώματος (body effect), την χρήση τετραγωνικών εξισώσεων για τον υπολογισμό του ρεύματος των τρανζίστορ και τον ανεπαρκή χειρισμό των τρανζίστορ περάσματος.

ΣΤ. ILLIADS

Ο εξομοιωτής ILLIADS [17],[162] αποτελεί μια επέκταση του IDSIM2. Κάθε υποκύκλωμα ανάγεται στο βασικό υποκύκλωμα (primitive) του εξομοιωτή που περιλαμβάνει τρανζίστορ, παρασιτικές χωρητικότητες και αντιστάσεις σε παράλληλη σύνδεση και επιπλέον μια γειωμένη χωρητικότητα φορτίου και μια πηγή ρεύματος στην έξοδό του. Η πηγή ρεύματος αντιπροσωπεύει το άθροισμα των ρευμάτων ανατροφοδότησης των υπόλοιπων υποκυκλωμάτων. Στην παράλληλη σύνδεση των στοιχείων το ένα άκρο είναι η έξοδος του υποκυκλώματος και το άλλο μπορεί να είναι η τροφοδοσία ή η γείωση. Στην υπάρχουσα έκδοση του ILLIADS [17] όλες οι παρασιτικές χωρητικότητες ενσωματώνονται στην χωρητικότητα εξόδου. Για γραμμικές κυματομορφές εισόδου και με χρήση του μοντέλου νόμου του τετραγώνου [31] για το ρεύμα των

τρανζίστορ, η διαφορική εξίσωση στο κόμβο εξόδου των υποκυκλωμάτων ανάγεται σε εξίσωση Riccati [163] για την οποία παράγεται μια σύνθετη λύση που είναι η βάση της εξομοίωσης στον ILLIADS. Στις [151],[164] προτείνεται μια τροποποίηση όσον αφορά το μοντέλο MOS στο οποίο βασίζεται ο εξομοιωτής, έτσι ώστε να μπορεί να χρησιμοποιηθεί και για τρανζίστορ με μικρό μήκος καναλιού. Η τροποποίηση αυτή όμως αυξάνει αρκετά την πολυπλοκότητα της τεχνικής και οδηγεί σε μεγαλύτερους χρόνους εξομοίωσης. Ένα βασικό μειονέκτημα του ILLIADS είναι ο ανεπαρκής χειρισμός των σειριακά συνδεδεμένων τρανζίστορ, κατά τον οποίο δε λαμβάνονται υπόψη οι χωρητικότητες των ενδιάμεσων κόμβων και το φαινόμενο σώματος.

Στις τεχνικές γρήγορης χρονικής εξομοίωσης υπάρχουν αρκετοί περιοριστικοί παράγοντες. Οι τεχνικές που βασίζονται σε μεθόδους χαλάρωσης και παρουσιάζουν μεταβλητή ακρίβεια δεν είναι επαρκείς για να εξομοιώσουν μεγάλα κυκλώματα VLSI με την απαιτούμενη ακρίβεια. Οι τεχνικές που βασίζονται στην αναλυτική λύση των εξισώσεων κάποιων υποκυκλωμάτων παρουσιάζουν ανακρίβειες που κυρίως οφείλονται στην απλοποιημένη μοντελοποίηση των σειριακά και παράλληλα συνδεδεμένων τρανζίστορ και στη χρήση απλοποιημένων μοντέλων MOS.

2.3 Εκτίμηση της κατανάλωσης ενέργειας κυκλωμάτων VLSI

Στην παράγραφο αυτή πραγματοποιείται μια ανασκόπηση των τεχνικών ανάλυσης και μοντελοποίησης της κατανάλωσης ενέργειας κυκλωμάτων VLSI. Όπως και στην περίπτωση της μοντελοποίησης της χρονικής απόκρισης, δίνεται έμφαση στα χαμηλά στην ιεραρχία επίπεδα (κυκλωματικό επίπεδο, επίπεδο διακόπτη και επίπεδο πύλης) και όχι στα επίπεδα καταχωρητή και συμπεριφοράς για τα οποία χρήσιμες αναλύσεις υπάρχουν στις [167]-[171]. Στη συνέχεια πραγματοποιείται μια περιγραφή των μεθόδων εκτίμησης της κατανάλωσης ενέργειας, σε σχέση με το επίπεδο ιεραρχίας στο οποίο αναφέρονται.

2.3.1 Εκτίμηση σε επίπεδο κυκλώματος

Στην παράγραφο αυτή εξετάζονται οι τεχνικές ανάλυσης της κατανάλωσης ενέργειας σε κυκλωματικό επίπεδο. Όπως και στην περίπτωση της χρονικής απόκρισης, στο κυκλωματικό επίπεδο έχουν αναπτυχθεί άμεσες τεχνικές και τεχνικές αποσύνθεσης οι οποίες προσπαθούν να αυξήσουν την ταχύτητα των άμεσων τεχνικών.

Ο εξομοιωτής SPICE [2],[54] έχει αναπτυχθεί κυρίως για τη χρονική εξομοί-

ωση των κυκλωμάτων. Ωστόσο, επειδή έχει την δυνατότητα να εξομοιώνει τις τάσεις σε κάθε κόμβο αλλά και τα ρεύματα σε κάθε κλάδο του κυκλώματος, είναι δυνατή η μέτρηση της κατανάλωσης ενέργειας κατά την διάρκεια της εξομοίωσης. Έτσι έχουν προταθεί κάποια υποκυκλώματα [27],[28] για την αυτόματη μέτρηση της ενέργειας που καταναλώνεται σε έναν ορισμένο χρόνο. Στο Σχήμα 2.2 φαίνεται ένα παράδειγμα υποκυκλώματος μέτρησης. Η τιμή της αντίστασης R_x είναι πολύ μικρή ($\approx 10^{-6} \Omega$), έτσι ώστε να μην επηρεάζει τη λειτουργία του κυκλώματος. Η πηγή ρεύματος που ελέγχεται από την τάση της αντίστασης αυτής παρέχει ρεύμα ανάλογο του ρεύματος I_{DD} που προέρχεται από την τάση τροφοδοσίας. Η ενέργεια που καταναλώνεται στο υπό μέτρηση κύκλωμα σε ένα χρονικό διάστημα T δίνεται ως εξής

$$E = V_{DD} \int_0^T I_{DD}(t) dt, \quad (2.4)$$

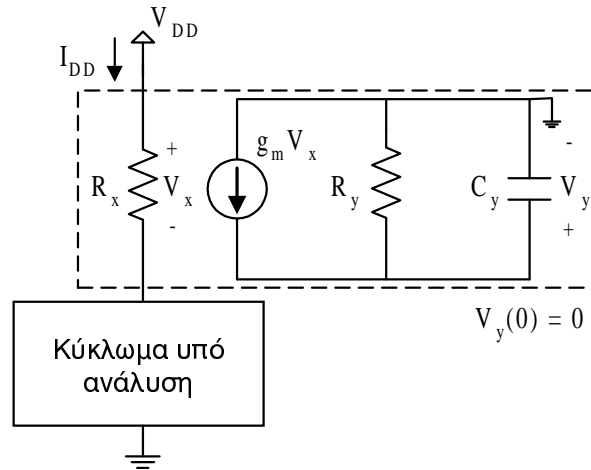
ενώ η τάση του πυκνωτή C_y του κυκλώματος μέτρησης στο τέλος του χρονικού διαστήματος T , εξασφαλίζοντας ότι $R_y C_y \gg T$, δίνεται από τη σχέση

$$V_y = \frac{g_m R_x}{C_y} \int_0^T I_{DD}(t) dt. \quad (2.5)$$

Έτσι επιλέγοντας κατάλληλα τα στοιχεία του υποκυκλώματος μέτρησης ώστε να ισχύει αριθμητικά η σχέση: $V_{DD} = (g_m R_x) / C_y$, μετρώντας την τάση του πυκνωτή C_y στο τέλος του χρονικού διαστήματος T , έχουμε ουσιαστικά μετρήσει την κατανάλωση ενέργειας του κυκλώματος στο χρονικό διάστημα T .

Σε αντίθεση με εξομοιωτές υψηλότερων ιεραρχικά επιπέδων οι οποίοι εκτιμούν συνήθως μόνο τη δυναμική ενέργεια που οφείλεται στη φόρτιση και εκφόρτιση των παρασιτικών χωρητικότητων, το SPICE μπορεί να μετρήσει με ακρίβεια όλους τους τύπους κατανάλωσης ενέργειας, όπως την κατανάλωση ενέργειας βραχυκυκλώματος [26],[28] και την κατανάλωση που οφείλεται στα ρεύματα διαρροής [22]. Βέβαια, οι μέθοδοι υπολογισμού που χρησιμοποιεί το SPICE οδηγούν σε αρκετά μικρή ταχύτητα μέτρησης, με αποτέλεσμα να μην είναι δυνατή η εκτίμηση της κατανάλωσης ενέργειας μεγάλων κυκλωμάτων. Ωστόσο, το SPICE παραμένει ένα χρήσιμο εργαλείο για την εξομοίωση υποκυκλωμάτων με στόχο το χαρακτηρισμό τους όσον αφορά την ενέργεια που καταναλώνουν.

Όπως αναφέρθηκε και στην παράγραφο 2.2.1.1, με στόχο την αύξηση της ταχύτητας της κυκλωματικής εξομοίωσης έχουν αναπτυχθεί μέθοδοι στις οποίες η μο-



Σχήμα 2.2: Υποκύκλωμα μέτρησης της κατανάλωσης ενέργειας

ντελοποίηση των τρανζίστορ βασίζεται σε πίνακες αναφοράς. Ο CAZM [67] είναι ένας εξομοιωτής σε επίπεδο κυκλώματος που βασίζεται στην τεχνική αυτή και έχει χρησιμοποιηθεί από αρκετούς ερευνητές για την εκτίμηση των ρευμάτων και της κατανάλωσης ενέργειας των κυκλωμάτων. Σε σχέση με το SPICE, επιτυγχάνει περίπου δέκα φορές μικρότερους χρόνους εξομίωσης με σφάλμα μικρότερο του 10%. Ένας ακόμη εξομοιωτής σε επίπεδο κυκλώματος που χρησιμοποιεί πίνακες αναφοράς για την μοντελοποίηση των τρανζίστορ είναι ο PowerMill [172], ο οποίος όμως λειτουργεί σε γενοδηγούμενη βάση για τον υπολογισμό των ρευμάτων στους κλάδους του κυκλώματος. Κάθε τρανζίστορ μοντελοποιείται ως μια αντίσταση, μια διαγωγιμότητα και μια πηγή ρεύματος σε παράλληλη σύνδεση, τα χαρακτηριστικά των οποίων προϋπολογίζονται και αποθηκεύονται σε πίνακες. Ένα τρανζίστορ λαμβάνει μέρος στον υπολογισμό μονάχα όταν μια σημαντική αλλαγή τάσης συμβεί στους ακροδέκτες του. Για την επιτάχυνση της λύσης των μη γραμμικών εξισώσεων στους κόμβους του κυκλώματος εφαρμόζεται η μέθοδος χαλάρωσης ενός βήματος (one-step relaxation), η οποία παλιότερα είχε χρησιμοποιηθεί και στον κυκλωματικό εξομοιωτή ELDO [82]. Ο PowerMill εξασφαλίζει λεπτομερειακή ανάλυση της κατανάλωσης ενέργειας παρέχοντας στιγμιαίες, μέσες και ενεργές τιμές των ρευμάτων του κυκλώματος. Επιτυγχάνει ταχύτητα περίπου εκατό φορές υψηλότερη από το SPICE, με σφάλμα μικρότερο από 8% [173].

Πρόσφατα στην [174] αναπτύχθηκε ένας κυκλωματικός εξομοιωτής για την εκτίμηση της κατανάλωσης ενέργειας που είναι βασισμένος στο εργαλείο χρονικής εξομίωσης SWEC (stepwise equivalent conductance: βηματογενής ισοδύναμη αγωγι-

μότητα) [175]. Ο εξομοιωτής αυτός μειώνει τον χρόνο υπολογισμού της κυκλωματικής εξομοίωσης μετατρέποντας το σύστημα των μη γραμμικών διαφορικών εξισώσεων των κόμβων του κυκλώματος σε γραμμικό, μέσω της χρησιμοποίησης μιας ισοδύναμης αγωγιμότητας των κλάδων του κυκλώματος. Επιπλέον προσεγγίζει τις κυματομορφές της τάσης στους κόμβους με συναρτήσεις γραμμικών τμημάτων. Για την μέτρηση της κατανάλωσης ενέργειας συνδυάζονται οι κυματομορφές τάσης με τις τιμές της ισοδύναμης αγωγιμότητας. Η εκτίμηση της ενέργειας παρουσιάζει σφάλμα μικρότερο του 10% σε σχέση με το SPICE, ενώ επιτυγχάνεται έως και εκατό φορές γρηγορότερα. Μια ακόμη τεχνική για την εκτίμηση της κατανάλωσης ενέργειας σε κυκλωματικό επίπεδο, έχει αναπτυχθεί στο περιβάλλον εξομοίωσης Lsim και αναφέρεται ως Lsim-Power-Analyst [173],[176]. Όπως αναφέρθηκε στην παράγραφο 2.2.3 ο Lsim χρησιμοποιεί σε κυκλωματικό επίπεδο την τεχνική γρήγορης χρονικής εξομοίωσης ADEPT [158]. Με στόχο λοιπόν την δημιουργία ενός γρήγορου εργαλείου για την εκτίμηση της κατανάλωσης ενέργειας, έχουν προσαρμοστεί στον κυκλωματικό εξομοιωτή συναρτήσεις υπολογισμού της δυναμικής κατανάλωσης ενέργειας και της κατανάλωσης ενέργειας βραχυκυκλώματος.

2.3.2 Εκτίμηση σε επίπεδο διακόπτη

Στην παράγραφο αυτή περιγράφονται οι τεχνικές μοντελοποίησης της κατανάλωσης ενέργειας σε επίπεδο διακόπτη, οι οποίες χρησιμοποιούν απλά μοντέλα για τα τρανζίστορ προσπαθώντας να βελτιστοποιήσουν την ταχύτητα των κυκλωματικών εξομοιωτών. Στο επίπεδο διακόπτη έχουν αναπτυχθεί τεχνικές εξομοίωσης που εξαρτώνται από τα δεδομένα εισόδου, καθώς και τεχνικές μοντελοποίησης που χρησιμοποιούν πιθανότητες ή στατιστική όπου η εκτίμηση της κατανάλωσης ενέργειας είναι ανεξάρτητη από τα δεδομένα εισόδου.

A. Μοντελοποίηση με ισοδύναμα κυκλώματα RC και εμπειρικές εξισώσεις

Η πιο συνηθισμένη τεχνική για την εκτίμηση της δυναμικής ενέργειας σε επίπεδο διακόπτη βασίζεται στη μέτρηση του αριθμού των μεταβάσεων στους κόμβους του κυκλώματος ο οποίος στη συνέχεια πολλαπλασιάζεται με τη φυσική χωρητικότητα των κόμβων. Η τεχνική αυτή χρησιμοποιήθηκε αρχικά στον εξομοιωτή σε επίπεδο διακόπτη IRSIM [177], ο οποίος είναι βασισμένος στον RSIM [115] που περιγράφηκε στη παράγραφο 2.2.2.2. Ο εξομοιωτής αυτός χρησιμοποιεί γραμμικά μοντέλα για τα

τρανζίστορ και δύο διακριτές στάθμες τάσης. Στο τέλος της εξομοίωσης ο IRSIM αναφέρει την συνολική χωρητικότητα που φορτίστηκε ή εκφορτίστηκε σε κάθε κόμβο. Η τιμή αυτή μπορεί να μετατραπεί σε ενέργεια αν πολλαπλασιαστεί με το τετράγωνο της τάσης τροφοδοσίας. Μια παρόμοια μέθοδος που βασίζεται στον RSIM είναι αυτή που χρησιμοποιείται στον RSIM-FX [178], όπου έχει αναπτυχθεί ένα μοντέλο για τον υπολογισμό του μέγιστου ρεύματος φόρτισης και εκφόρτισης των κόμβων του κυκλώματος. Ο εξομοιωτής IRSIM-CAP [179] αποτελεί μια βελτιωμένη έκδοση του εξομοιωτή IRSIM που χρησιμοποιεί τρεις διακριτές στάθμες τάσης με κύριο σκοπό να μοντελοποιήσει και την ενέργεια που οφείλεται σε ανεπιθύμητες μεταβάσεις στους κόμβους του κυκλώματος. Σε αντίθεση με τους κυκλωματικούς εξομοιωτές, οι παραπάνω εξομοιωτές δεν παρέχουν εκτίμηση της κατανάλωσης ενέργειας βραχυκυκλώματος και της κατανάλωσης ενέργειας λόγω διαρροής, με αποτέλεσμα αν και η μέτρηση πραγματοποιείται αρκετά γρήγορα (500 φορές γρηγορότερα από το SPICE [179]) η διαφορά της με την πραγματική τιμή να είναι αρκετά μεγάλη (περίπου 30% [24]).

Μια προσπάθεια για να συμπεριληφθεί η κατανάλωση ενέργειας βραχυκυκλώματος στην εξομοίωση σε επίπεδο διακόπτη έγινε στον εξομοιωτή LDS [180]. Ο LDS βασίζεται σε ένα γραμμικό μοντέλο καθυστέρησης RC και η λειτουργία του είναι παρόμοια με εκείνη του RSIM. Για την εκτίμηση της ενέργειας βραχυκυκλώματος χρησιμοποιεί την παρακάτω σχέση

$$E_{SC} = K_1 K_2 S_{in} \frac{V_{DD}^2}{R_p + R_n}, \quad (2.6)$$

όπου η K_1 είναι μια σταθερά που καθορίζει την διάρκεια του αγωγίμου μονοπατιού μεταξύ της τροφοδοσίας και της γείωσης, η K_2 καθορίζει την επίδραση της κλίσης της κυματομορφής εισόδου (S_{in}) και R_p , R_n είναι οι ισοδύναμες αντιστάσεις που απαρτίζουν το αγωγίμο μονοπάτι. Για να συμπεριληφθεί και η εξάρτηση της ενέργειας βραχυκυκλώματος από τη σχέση μεταξύ της κλίσης εισόδου και της κλίσης εξόδου (S_{out}), η σταθερά K_2 εκτιμήθηκε ως εξής

$$K_2 = \left(1 + 9 \frac{S_{out}}{S_{in}} \right)^{-1}. \quad (2.7)$$

Ο εξομοιωτής LDS έχει τη δυνατότητα να υπολογίσει και τη στατική ενέργεια που καταναλώνεται σε ειδικές περιπτώσεις κυκλωμάτων (π.χ. ψεύδο-NMOS), χωρίς να υπάρχει μεταγωγή (switching). Όταν λοιπόν δημιουργηθεί ένα στατικό αγωγίμο μονο-

πάτι μεταξύ της τροφοδοσίας και της γείωσης η στατική κατανάλωση υπολογίζεται ως εξής: $E_S = V_{DD}^2 / (R_p + R_n)$. Οι παραπάνω εκφράσεις μπορούν να χρησιμοποιηθούν ως πρώτου βαθμού προσεγγίσεις, αφού συνοδεύονται από τις ανακρίβειες που κυρίως προκαλεί το γραμμικό μοντέλο που χρησιμοποιείται για τα τρανζίστορ.

Μια παρόμοια προσπάθεια για την εκτίμηση της κατανάλωσης ενέργειας βραχυκυκλώματος κατά την εξομοίωση σε επίπεδο διακόπτη έχει γίνει στην [181]. Προτείνεται λοιπόν η παρακάτω εμπειρική σχέση

$$E_{SC} = \frac{KT V_{DD}^2}{CR^2} \left(d - T + T e^{-\frac{d}{T}} \right), \quad (2.8)$$

όπου C είναι η χωρητικότητα του κόμβου εξόδου, d η κλίση της κυματομορφής εισόδου, R η ισοδύναμη αντίσταση του κλάδου βραχυκυκλώματος (R_n ή R_p), K μια προσαρμοστική εμπειρική παράμετρος και η παράμετρος T δίνεται ως εξής

$$T = \left(\frac{1}{R_n} + \frac{1}{R_p} \right)^{-1} C. \quad (2.9)$$

Ο εξομοιωτής κυματομορφών ρεύματος που έχει αναπτυχθεί στην [182] βασίζεται στον εξομοιωτή σε επίπεδο διακόπτη TSIM [42]. Όπως αναφέρθηκε στην παράγραφο 2.2.2.2, ο TSIM μοντελοποιεί τις κυματομορφές εξόδου των υποκυκλωμάτων με εξισώσεις γραμμικών τμημάτων (piecewise linear equations), οι συντελεστές των οποίων προκύπτουν από εξομοιώσεις με το SPICE. Η τεχνική που εφαρμόζεται στην [182] βασίζεται στις κυματομορφές αυτές και υπολογίζει τις κυματομορφές των ρευμάτων στους κλάδους του κυκλώματος λαμβάνοντας υπόψη το χωρητικό ρεύμα και το ρεύμα βραχυκυκλώματος. Το ρεύμα βραχυκυκλώματος εξαρτάται από το χρόνο επικάλυψης μεταξύ των κυματομορφών εισόδου και εξόδου. Το χωρητικό ρεύμα υπολογίζεται απ' τη σχέση: $I = (CV)/T$, όπου C είναι η χωρητικότητα του κόμβου, V η διακύμανση της τάσης στον κόμβο (voltage swing) και T η διάρκεια μετάβασης. Τέλος, το φορτίο που μεταφέρεται στην διάρκεια της μεταγωγής κατανέμεται σε τριγωνικούς παλμούς ρεύματος που αθροίζονται για να προκύψει η τελική κυματομορφή του ρεύματος από την οποία υπολογίζεται η μέγιστη και η μέση τιμή του. Οι σχεδιαστές του εξομοιωτή υποστηρίζουν ότι είναι περίπου χίλιες φορές ταχύτερος από το SPICE και παρουσιάζει σφάλμα περίπου 20%.

Στις τεχνικές εξομοίωσης σε επίπεδο διακόπτη μπορούν να συμπεριληφθούν και εκείνες που βασίζονται στην ανάλυση του αντιστροφέα. Ωστόσο όπως αναφέρθη-

κε και στην παράγραφο 2.2.2.1 η μοντελοποίηση που βασίζεται στην ανάλυση του αντιστροφέα μπορεί να χρησιμοποιηθεί και στην εξομοίωση σε επίπεδο πύλης. Έτσι οι τεχνικές αυτές περιγράφονται συνοπτικά στην επόμενη παράγραφο.

B. Μοντελοποίηση με πιθανότητες και στατιστική

Ορισμένα εργαλεία εκτίμησης της κατανάλωσης ενέργειας όπως το LTIME [183] χρησιμοποιούν μια προσέγγιση με πιθανότητες. Έτσι, αντί να καταγράφει τις πραγματικές μεταβάσεις που συμβαίνουν στους κόμβους του κυκλώματος όπως γίνεται στις τεχνικές που είναι βασισμένες σε εξομοίωση, το LTIME μεταδίδει τις πιθανότητες μετάβασης από τις εισόδους σε όλους τους κόμβους του κυκλώματος. Κάθε τρανζίστορ μοντελοποιείται ως μια αντίσταση που οδηγεί ένα χωρητικό φορτίο το οποίο αποτελείται από χωρητικότητες πηγής, υποδοχής, πύλης και διασυνδέσεων. Η δυναμική ενέργεια που καταναλώνεται από το κύκλωμα προσεγγίζεται ως εξής

$$E = \frac{1}{2} V_{DD}^2 \sum_i C_i T_i G_i, \quad (2.10)$$

όπου C_i είναι η χωρητικότητα φορτίου του τρανζίστορ i , T_i η πιθανότητα να μεταβεί σε αγωγή κατάσταση το τρανζίστορ i και G_i η πιθανότητα να υπάρχει αγωγή μονοπάτι που να συνδέει τον ακροδέκτη πηγής του τρανζίστορ i με μια από τις γραμμές τροφοδοσίας ή γείωσης. Στην τεχνική αυτή γίνονται αρκετές σημαντικές προσεγγίσεις. Ενώ οι εξομοιωτές λαμβάνουν υπόψη τις χωρικές και χρονικές εξαρτήσεις των σημάτων, το LTIME όταν υπολογίζει τις πιθανότητες υποθέτει ότι τα σήματα είναι ανεξάρτητα και στις δύο διαστάσεις. Το θέμα των εξαρτήσεων αυτών είναι και το βασικότερο πρόβλημα στα περισσότερα εργαλεία που χρησιμοποιούν πιθανότητες.

Ένα άλλος τύπος τεχνικών που παρέχει εκτίμηση της μέσης κατανάλωσης ενέργειας χωρίς εξάρτηση από τα δεδομένα εισόδου μέσω στατιστικής ανάλυσης δεδομένων που προέρχονται από εξομοίωση, είναι η μέθοδος Monte-Carlo. Σε επίπεδο διακόπτη η μέθοδος αυτή έχει χρησιμοποιηθεί στην [184], όπου εφαρμόζονται τυχαία δείγματα εισόδου στο κύκλωμα και εκτελείται εξομοίωση. Στη συνέχεια με βάση ένα απαιτούμενο διάστημα εμπιστοσύνης (confidence interval) καταγράφεται η μέση τιμή της ενέργειας που καταναλώνεται και η τυπική απόκλιση (standard deviation). Αν και το τελικό αποτέλεσμα της μεθόδου αυτής είναι ανεξάρτητο από τα δεδομένα εισόδου, απαιτείται μεγάλος αριθμός εξομοιώσεων για την εξαγωγή του. Επιπλέον, η κατανάλωση ενέργειας που προκύπτει από τυχαία δείγματα εισόδου σε πολλές περι-

πτώσεις είναι αρκετά διαφορετική από εκείνη που προκύπτει από τις πραγματικές εισόδους.

2.3.3 Εκτίμηση σε επίπεδο πύλης

Τα τελευταία χρόνια έχουν αναπτυχθεί αρκετές τεχνικές εκτίμησης της κατανάλωσης ενέργειας κυκλωμάτων VLSI σε επίπεδο πύλης. Στην παράγραφο αυτή περιγράφονται τρεις βασικές κατηγορίες τεχνικών. Η πρώτη κατηγορία περιλαμβάνει τις τεχνικές που βασίζονται σε προχωρημένα με αναλογική εξομοίωση υποκυκλώματα (συνήθως πύλες) και χρησιμοποιούν πίνακες ή εμπειρικές εξισώσεις για την εκτίμηση της κατανάλωσης ενέργειας. Η δεύτερη περιλαμβάνει τεχνικές που βασίζονται στην διάδοση των πιθανοτήτων μετάβασης των σημάτων σε δίκτυα λογικών πυλών και τεχνικές που χρησιμοποιούν στατιστικές μεθόδους, έτσι ώστε να ξεπεραστεί το πρόβλημα της εξάρτησης της κατανάλωσης ενέργειας από τα δεδομένα εισόδου. Τέλος, η τρίτη κατηγορία περιλαμβάνει τις τεχνικές που βασίζονται στην ανάλυση του αντιστροφέα CMOS.

A. Μοντελοποίηση με πίνακες και εμπειρικές εξισώσεις

Οι τεχνικές αυτές εφαρμόζονται συνήθως σε γενοδοηγούμενους λογικούς εξομοιωτές οι οποίοι χρησιμοποιώντας τις πληροφορίες που προκύπτουν από κυκλωματική εξομοίωση των πυλών μπορούν να εκτιμήσουν την ενέργεια που καταναλώνεται ή το ρεύμα που ρέει σε μεγαλύτερα κυκλώματα.

Ο λογικός εξομοιωτής Hercules [185] για μια δεδομένη μετάβαση εισόδου παρέχει μια εκτίμηση της χειρότερης (μεγαλύτερης) τιμής (worst-case value) του μέσου και του μέγιστου ρεύματος που ρέει στο κύκλωμα. Το κύκλωμα διαιρείται σε πύλες, οι οποίες στη συνέχεια ανάγονται σε ισοδύναμους αντιστροφείς. Οι τιμές (μέγιστη και μέση) των ρευμάτων που οφείλονται στη φόρτιση και εκφόρτιση των χωρητικότητων εξόδου των πυλών, υπολογίζονται με βάση ένα σύνολο πινάκων που παράγονται από εξομοιώσεις με το SPICE. Οι τιμές των πινάκων αυτών ταξινομούνται ανάλογα με τους χρόνους μετάβασης ανόδου και καθόδου που παρουσιάζει η έξοδος των πυλών. Οι αντίστοιχες τιμές του ρεύματος βραχυκυκλώματος παράγονται από ένα δεύτερο σύνολο πινάκων.

Μια άλλη μέθοδος που έχει εφαρμοστεί, περιλαμβάνει την εξομοίωση ενός κυκλώματος σε επίπεδο πύλης και στη συνέχεια την εξαγωγή της αναμενόμενης κυμα-

τομορφής ρεύματος από αποθηκευμένες κυματομορφές αναφοράς. Στη μέθοδο αυτή βασίζεται ο λογικός εξομοιωτής SIMCURRENT [186], ο οποίος χρησιμοποιεί δύο βάσεις δεδομένων. Η πρώτη περιλαμβάνει τις κυματομορφές ρεύματος των πυλών αναφοράς οι οποίες έχουν παραχθεί από εξομοιώσεις με το SPICE για διάφορες τιμές χωρητικού φορτίου. Η δεύτερη, περιλαμβάνει την τιμή της ενδογενούς χωρητικότητας μεταγωγής (intrinsic switching capacitance) κάθε πύλης, η οποία χρησιμοποιείται για τον υπολογισμό του ρεύματος βραχυκυκλώματος. Περιοριστικοί παράγοντες στην παραπάνω μέθοδο είναι το ότι οι κυματομορφές αναφοράς παράγονται για μία μόνο κλίση της κυματομορφής εισόδου και το ότι δε λαμβάνεται υπόψη η εξάρτηση του ρεύματος βραχυκυκλώματος από το φορτίο εξόδου.

Ο εξομοιωτής PPP που προτείνεται στις [187],[188] χρησιμοποιεί και αυτός δύο βήματα. Το πρώτο έχει να κάνει με το χαρακτηρισμό των πυλών της βασικής βιβλιοθήκης και το δεύτερο με τη γεγονοδηγούμενη λογική εξομοίωση του κυκλώματος. Στην τεχνική αυτή, η ενέργεια που καταναλώνεται σε μια πύλη χωρίζεται σε δύο συνιστώσες: την ενέργεια φόρτισης της χωρητικότητας εξόδου και των εσωτερικών χωρητικοτήτων και την ενέργεια διαρροής που κυρίως οφείλεται στο ρεύμα βραχυκυκλώματος. Η ενέργεια φόρτισης (E_C) υπολογίζεται από τη σχέση: $E_C = V_{DD} \Delta Q$, όπου ΔQ είναι το συνολικό φορτίο που παρέχεται από την τροφοδοσία στις εσωτερικές χωρητικότητες και στη χωρητικότητα φορτίου. Για να υπολογιστεί το συνολικό φορτίο πρέπει να καθοριστούν οι τάσεις των κόμβων του υποκυκλώματος που εξετάζεται. Το πρώτο βήμα για να γίνει αυτό είναι η δημιουργία της αναπαράστασης BDD (binary decision diagram: δυαδικό διάγραμμα αποφάσεων) [189] της λογικής συνάρτησης που υλοποιεί το υποκύκλωμα. Στη συνέχεια παράγεται ένας πίνακας που περιγράφει την συνδεσμολογία του κυκλώματος (connection matrix), δηλαδή ποιοι κόμβοι συνδέονται στην τάση τροφοδοσίας, ποιοι στη γείωση και ποιοι βρίσκονται υπό ενδιάμεση τάση, μετά από μια μετάβαση στην είσοδο. Η ενέργεια διαρροής στην περίπτωση που μια μετάβαση στην είσοδο δημιουργεί αγωγή μονοπάτι από την τροφοδοσία στην γείωση υπολογίζεται ως εξής: $E_W = c_1 \tau_1 + \dots + c_n \tau_n + c_{n+1} C_L$, όπου τ_1, \dots, τ_n είναι οι χρόνοι μετάβασης των εισόδων και c_1, \dots, c_{n+1} είναι εμπειρικοί συντελεστές που παράγονται κατά τον προχαρακτηρισμό χρησιμοποιώντας τεχνικές προσαρμογής (fitting techniques). Ο εξομοιωτής PPP έχει τη δυνατότητα να παράγει και την κυματομορφή του ρεύματος που παρέχεται από την τροφοδοσία, την οποία και προσεγγίζει με ένα τριγωνικό παλμό. Τα χρονικά χαρακτηριστικά του παλμού αυ-

τού (χρόνος έναρξης, χρόνος ανόδου και συνολική διάρκεια) καθώς και η καθυστέρηση κάθε υποκυκλώματος (η οποία χρησιμοποιείται κατά τη γεγονοδηγούμενη εξομοίωση) υπολογίζονται με βάση εμπειρικούς συντελεστές προσαρμογής που παράγονται κατά τον προχαρακτηρισμό. Ο εξομοιωτής PPP παρουσιάζει μείωση στο χρόνο υπολογισμού κατά δύο έως τρεις τάξεις μεγέθους σε σχέση με το SPICE, ενώ το μέσο σφάλμα είναι μικρότερο από 10% για την εκτίμηση της συνολικής ενέργειας και περίπου 20% για την εκτίμηση της κυματομορφής του ρεύματος.

Στις [190],[191] προτείνονται μέθοδοι για τον χαρακτηρισμό των βασικών υποκυκλωμάτων μιας βιβλιοθήκης ως προς την ενέργεια που καταναλώνουν. Στην [190] οι χωρητικότητες μεταξύ της εξόδου ενός υποκυκλώματος και των ακροδεκτών τροφοδοσίας και γείωσης συγχωνεύονται σε μια συνολική χωρητικότητα (C_L) μεταξύ της εξόδου και της γείωσης που υπολογίζεται απευθείας από το φυσικό σχεδιασμό (layout) των υποκυκλωμάτων. Έτσι το μέσο χωρητικό ρεύμα υπολογίζεται από τη σχέση: $I_{L\text{-mean}} = (C_L V_{DD}) / T$, όπου T είναι η διάρκεια της μετάβασης εξόδου. Το ρεύμα βραχυκυκλώματος υπολογίζεται παρόμοια με τη χρήση της χωρητικότητας μεταγωγής (switch capacity). Η χωρητικότητα αυτή εξαρτάται από το φορτίο εξόδου και από την κλίση της κυματομορφής εισόδου. Οι εξαρτήσεις αυτές μοντελοποιούνται με συναρτήσεις γραμμικών τμημάτων οι οποίες προκύπτουν από εξομοιώσεις με το SPICE. Επίσης, οι μέγιστες τιμές των κυματομορφών αναφοράς των ρευμάτων υπολογίζονται με χρήση εμπειρικών γραμμικών συναρτήσεων των οποίων οι συντελεστές προκύπτουν από κυκλωματική εξομοίωση. Στην [191], η μεθοδολογία χαρακτηρισμού είναι παρόμοια με τη διαφορά ότι λαμβάνεται υπόψη και το άθροισμα των ρευμάτων που ρέουν διαμέσου των εισόδων στις οποίες υπάρχει μετάβαση. Στις [192],[193] οι παραπάνω μέθοδοι επεκτείνονται με σκοπό να συμπεριληφθεί και η ενέργεια που οφείλεται σε ανεπιθύμητες μεταβάσεις (glitches).

B. Μοντελοποίηση με πιθανότητες και στατιστική

Πρόσφατα, έχουν αναπτυχθεί αρκετές τεχνικές οι οποίες χρησιμοποιούν πιθανότητες για να εκτιμήσουν τη μέση ενέργεια που καταναλώνει ένα κύκλωμα, ξεπερνώντας το πρόβλημα της εξάρτησης από τα δεδομένα εισόδου [194].

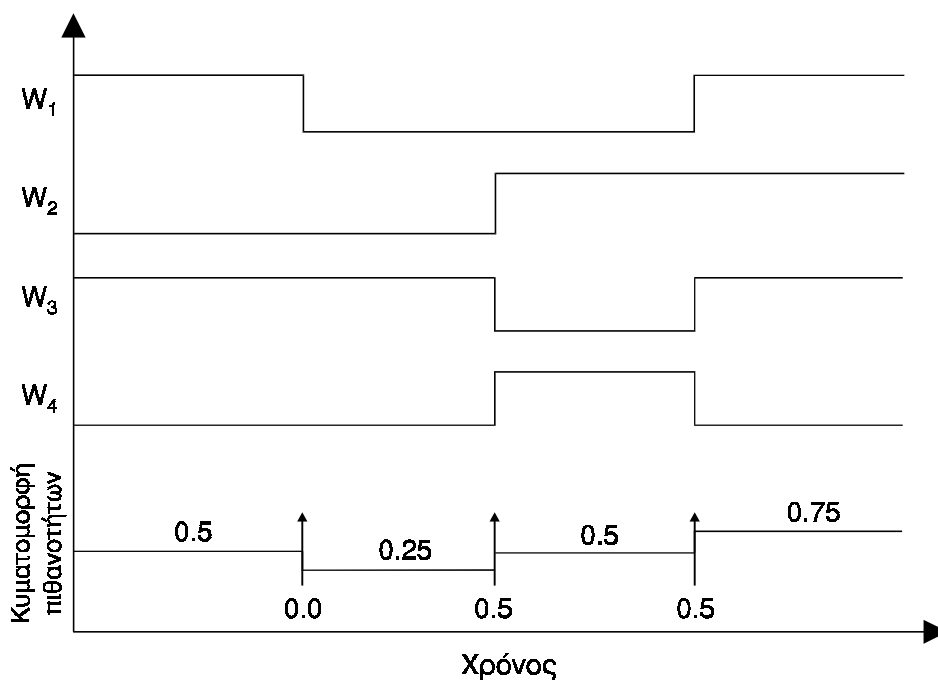
Η πρώτη προσπάθεια προς αυτή την κατεύθυνση έγινε στην [195], όπου προτείνεται η εκτίμηση της ενεργού τιμής (RMS value) του ρεύματος που παρέχεται από την τάση τροφοδοσίας μέσω ενός μέτρου της δραστηριότητας (activity) του κυκλώ-

ματος που αφορά τη συχνότητα μεταγωγής των πυλών που το αποτελούν και αναφέρεται ως ενεργός συχνότητα (effective frequency). Το κύκλωμα διαιρείται σε πύλες, οι οποίες στη συνέχεια ανάγονται σε ισοδύναμους αντιστροφείς χρησιμοποιώντας απλές εκφράσεις. Η ενεργός τιμή του ρεύματος εκτιμάται ως συνάρτηση των διαστάσεων των τρανζίστορ, του φορτίου εξόδου και της συχνότητας λειτουργίας, χρησιμοποιώντας εμπειρικούς συντελεστές. Στη συνέχεια, στην [195] ακολουθείται μια τεχνική που εξετάζει πόσο συχνά πραγματοποιείται μεταγωγή στις πύλες του κυκλώματος. Η τεχνική αυτή αναφέρεται ως διάδοση της ενεργού συχνότητας (effective frequency propagation). Η ενεργός συχνότητα μιας πύλης εξαρτάται από την λογική συνάρτηση που υλοποιεί. Για παράδειγμα σε μια πύλη NAND N εισόδων η ενεργός συχνότητα υπολογίζεται ως εξής

$$f = f_{\max} \cdot D_1 \cdots D_{N-1}, \quad (2.11)$$

όπου f_{\max} είναι η μεγαλύτερη από τις συχνότητες εισόδου και D_i είναι το αντίστροφο του αριθμού των κύκλων της εισόδου με την μεγαλύτερη συχνότητα που συμβαίνουν στην διάρκεια της υψηλής στάθμης της εισόδου i . Αυτό γίνεται επειδή στις πύλες NAND δεν υπάρχει ρεύμα εξόδου όταν μια από τις εισόδους της είναι υπό χαμηλή στάθμη. Με παρόμοιο τρόπο προκύπτει η ενεργός συχνότητα και για άλλες λογικές συναρτήσεις.

Το εργαλείο CREST [196], παράγει μια “αναμενόμενη” κυματομορφή ρεύματος (expected current waveform). Η κυματομορφή αυτή δίνει τη μέση τιμή όλων των πιθανών ρευμάτων που μπορούν να συμβούν σε κάθε χρονικό σημείο. Είναι δηλαδή ο μέσος όρος των κυματομορφών ρεύματος που αντιστοιχούν στους πιθανούς συνδυασμούς εισόδων. Για να αποφευχθεί η εξομοίωση για όλους τους πιθανούς συνδυασμούς μετάβασης εισόδων (2^{2n} συνδυασμοί μεταβάσεων για κύκλωμα n εισόδων), χρησιμοποιείται πιθανοτική εξομοίωση (probabilistic simulation) για την παραγωγή των κυματομορφών ρεύματος. Για να γίνει αυτό παράγονται οι κυματομορφές πιθανοτήτων εισόδου (input probability waveforms). Για παράδειγμα στο Σχήμα 2.3 φαίνεται η παραγόμενη κυματομορφή πιθανοτήτων εισόδου που προκύπτει από τέσσερις πραγματικές κυματομορφές εισόδου. Οι τιμές των σταθμών υποδεικνύουν την πιθανότητα ύπαρξης της λογικής τιμής 1, ενώ οι τιμές στις παρυφές υποδεικνύουν την πιθανότητα να υπάρξει μια μετάβαση από τη χαμηλή στάθμη στην υψηλή. Αρχικά το κύκλωμα χωρίζεται σε πύλες οι οποίες ανάγονται σε ισοδύναμους αντιστροφείς. Με βάση την κυματομορφή πιθανοτήτων εισόδου και χρησιμοποιώντας γεγονοδηγούμε-



Σχήμα 2.3: Παραγωγή της κυματομορφής πιθανοτήτων εισόδου

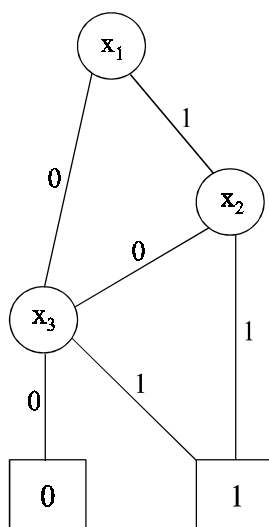
νη εξομοίωση παράγονται οι κυματομορφές πιθανοτήτων των εσωτερικών κόμβων. Κάθε παρυφή που συμβαίνει στην κυματομορφή πιθανοτήτων εισόδου μιας πύλης έχει ως επακόλουθο τον υπολογισμό της “αναμενόμενης” κυματομορφής ρεύματος που προσεγγίζεται με ένα τριγωνικό παλμό. Τα χαρακτηριστικά του παλμού αυτού υπολογίζονται με χρήση απλοποιημένων αναλυτικών εκφράσεων. Οι σχεδιαστές του CREST αναφέρουν ότι παρέχει εκτίμηση με σφάλμα μικρότερο του 20% και ταχύτητα μεγαλύτερη κατά δύο έως τρεις τάξεις μεγέθους σε σχέση με το SPICE. Μια από τις πιο σημαντικές πηγές λάθους στην παραπάνω τεχνική είναι η θεώρηση αμελητέου ρεύματος βραχυκυκλώματος κατά τον υπολογισμό της κυματομορφής του ρεύματος. Στην [197], έχουν γίνει κάποιες βελτιώσεις στην τεχνική εκτίμησης που χρησιμοποιείται στο εργαλείο CREST, με σκοπό την αύξηση της ακρίβειας αλλά και τη διατήρηση της ταχύτητάς του.

Στην [198], προτείνεται ο αλγόριθμος iMax, ο οποίος εξασφαλίζει τον υπολογισμό ανώτατων ορίων για το μέγιστο ρεύμα ενός κυκλώματος ανεξάρτητα από τα δεδομένα εισόδου. Πιο συγκεκριμένα ο iMax παράγει την περιβάλλουσα κυματομορφή μέγιστου ρεύματος (maximum envelope current - MEC - waveform), με την οποία αντί να αναπαριστά το μέγιστο ρεύμα σε ένα σημείο του κυκλώματος με μια τιμή DC, το αναπαριστά με διαφορετική τιμή για κάθε χρονικό σημείο. Η βασική ιδέα του iMax έχει ως εξής. Κάθε είσοδος ενός κυκλώματος διαθέτει κάποια διέγερση από το σύνολο

λο $X = \{L, H, LH, HL\}$ στο μηδενικό χρονικό σημείο. Οι διεγέρσεις αυτές διαδίδονται στους εσωτερικούς κόμβους του κυκλώματος με αποτέλεσμα να είναι γνωστές όλες οι πιθανές διεγέρσεις στην έξοδο κάθε πύλης. Βέβαια ο υπολογισμός των διεγέρσεων αυτών οδηγεί σε μεγάλη υπολογιστική πολυπλοκότητα όταν πρόκειται για σύνθετα κυκλώματα. Γί αυτό, ο αλγόριθμος χρησιμοποιεί κάποιες τεχνικές για την μείωση της πολυπλοκότητας υπολογισμού. Με σκοπό την ενσωμάτωση των χωρικών και χρονικών εξαρτήσεων των σημάτων, έχει αναπτυχθεί και ο αλγόριθμος μερικής απαρίθμησης εισόδων (partial input enumeration - PIE). Οι κυματομορφές του ρεύματος στην [198] προσεγγίζονται από ένα τριγωνικό παλμό τα χαρακτηριστικά του οποίου υπολογίζονται από απλοποιημένα μοντέλα που αναπτύχθηκαν στην [199]. Στα μοντέλα αυτά οι χρονικές παράμετροι του παλμού ρεύματος και η μέγιστη τιμή του ρεύματος υπολογίζονται από εμπειρικές εξισώσεις των οποίων οι συντελεστές παράγονται από εκτεταμένες εξομοιώσεις με το SPICE.

Είναι προφανές ότι για να καταναλωθεί δυναμική ενέργεια σε ένα κύκλωμα πρέπει να συμβούν μεταβάσεις στους κόμβους εξόδου των πυλών του. Έτσι, έχουν αναπτυχθεί αρκετές τεχνικές για τον υπολογισμό της δραστηριότητας μεταβάσεων στις εξόδους των πυλών (switching activity), με σκοπό την εκτίμηση της μέσης δυναμικής ισχύος $(P = 0.5 C_{out} V_{DD}^2 E_{sw} f)$ των κυκλωμάτων. Η δραστηριότητα των μεταβάσεων έχει να κάνει με δύο παράγοντες: τη συχνότητα λειτουργίας του κυκλώματος (f) που καθορίζει την περιοδικότητα της άφιξης των δεδομένων εισόδου και το μέσο αριθμό των μεταβάσεων στις εξόδους των πυλών (E_{sw}) που προκαλείται από κάθε άφιξη δεδομένων. Ο συντελεστής E_{sw} στην έξοδο μιας πύλης εξαρτάται από τη δραστηριότητα μεταβάσεων στις εισόδους της πύλης, από τη λογική που υλοποιείται, αλλά και από τις χωρικές και χρονικές εξαρτήσεις των σημάτων εισόδου [167], [194]. Η χωρική εξάρτηση αφορά την εξάρτηση της τιμής ενός σήματος από τις τρέχουσες τιμές άλλων σημάτων, ενώ η χρονική εξάρτηση αφορά την εξάρτηση της τιμής ενός σήματος από τις τιμές που λαμβάνει σε διαφορετικά χρονικά σημεία. Για τον υπολογισμό του συντελεστή δραστηριότητας μεταβάσεων ($E_{sw}(x)$) σε ένα κόμβο x του κυκλώματος, απαιτείται ο υπολογισμός της πιθανότητας σήματος ($P(x)$) στον κόμβο αυτό (δηλ. της πιθανότητας ο κόμβος x να βρίσκεται σε υψηλή στάθμη). Αν θεωρηθεί ότι οι τιμές που εφαρμόζονται σε κάθε είσοδο του κυκλώματος είναι χρονικά ανεξάρτητες, προκύπτει η παρακάτω εξίσωση [167],[194]

$$E_{sw}(x) = 2 P(x) [1 - P(x)]. \quad (2.12)$$



Σχήμα 2.4: BDD αναπαράσταση της συνάρτησης $y = x_1 x_2 + x_3$

Μέχρι σήμερα, έχουν αναπτυχθεί αρκετοί τρόποι για τον υπολογισμό των πιθανοτήτων σημάτων [200],[201]. Η μέθοδος που έχει χρησιμοποιηθεί περισσότερο βασίζεται στα δυαδικά διαγράμματα αποφάσεων (Binary Decision Diagrams - BDD) [189]. Στη μέθοδο αυτή η πιθανότητα σήματος σε ένα κόμβο υπολογίζεται αφού πρώτα παραχθεί το BDD που αντιστοιχεί στη λογική συνάρτηση εισόδων του κόμβου αυτού. Ένα παράδειγμα αναπαράστασης λογικής συνάρτησης με χρήση BDD φαίνεται στο Σχήμα 2.4. Κάθε επίπεδο του διαγράμματος αντιστοιχεί σε μια είσοδο. Από κάθε κόμβο ξεκινούν δύο διακλαδώσεις που αντιστοιχούν στις δύο λογικές τιμές που μπορεί να λάβει η είσοδος αυτή. Ο υπολογισμός της πιθανότητας σήματος γίνεται με βάση την παρακάτω εξίσωση [167],[194],[202]

$$P(y) = P(x_1)P(f_{x_1}) + P(\bar{x}_1)P(f_{\bar{x}_1}), \quad (2.13)$$

όπου $y = f(x_1, \dots, x_n)$ είναι η λογική συνάρτηση που αντιστοιχεί στον υπό ανάλυση κόμβο και $f_{x_1} = f(1, x_2, \dots, x_n)$, $f_{\bar{x}_1} = f(0, x_2, \dots, x_n)$ οι επιμέρους συναρτήσεις σε σχέση με το σήμα εισόδου x_1 . Οι πιθανότητες των επιμέρους συναρτήσεων υπολογίζονται ομοίως, με βάση τη διάταξη των κόμβων στο BDD της λογικής συνάρτησης. Κατά τον υπολογισμό με την παραπάνω μέθοδο τα σήματα εισόδου θεωρούνται χωρικά και χρονικά ανεξάρτητα.

Στις [203],[204] μοντελοποιείται η χρονική εξάρτηση μεταξύ των τιμών ενός σήματος σε δύο διαδοχικούς κύκλους ρολογιού. Αυτό γίνεται με συνδυασμό της παραπάνω μεθόδου για τον υπολογισμό των πιθανοτήτων των σημάτων και της χρήσης μιας αλυσίδας Markov δύο καταστάσεων [205] για να συμπεριληφθεί σε αυτές η χρο-

νική εξάρτηση. Στη [204], προτείνεται μια τεχνική για τη διάδοση των πιθανοτήτων μετάβασης, όπου δεν απαιτείται η ανάλυση της ολικής λογικής συνάρτησης του κυκλώματος (δηλαδή της λογικής συνάρτησης εισόδων) με αποτέλεσμα να μειώνεται η υπολογιστική πολυπλοκότητα με μικρή μείωση της ακρίβειας. Στη συνέχεια η τεχνική αυτή επεκτείνεται ώστε να λαμβάνεται υπόψη και η χωροχρονική εξάρτηση μεταξύ δύο σημάτων. Αυτό γίνεται με χρήση μια αλυσίδας Markov τεσσάρων καταστάσεων.

Στις παραπάνω τεχνικές θεωρείται ότι οι αλλαγές στις εισόδους του κυκλώματος διαδίδονται στιγμιαία στους εσωτερικούς κόμβους του κυκλώματος (θεώρηση μηδενικής καθυστέρησης πυλών). Με σκοπό μια πιο ρεαλιστική αντιμετώπιση των κυκλωμάτων έτσι ώστε να λαμβάνονται υπόψη και οι μεταβάσεις που προκαλούνται από την καθυστέρηση των πυλών, έχουν αναπτυχθεί μέθοδοι οι οποίες χρησιμοποιούν μοντέλα μη μηδενικής καθυστέρησης. Στη [206], προτείνεται μια μέθοδος υπολογισμού της δραστηριότητας μεταβάσεων, που βασίζεται σε ένα γενικό μοντέλο καθυστέρησης πυλών. Ο υπολογισμός γίνεται μέσω ενός συνόλου συμβολικών συναρτήσεων. Κάθε συμβολική συνάρτηση δίνεται από την πράξη XOR μεταξύ των λογικών συναρτήσεων που αντιστοιχούν στον υπό ανάλυση κόμβο σε δύο διαδοχικά χρονικά σημεία. Το αποτέλεσμα της πράξης αυτής ισούται με το λογικό 1 μόνο όταν ο κόμβος αλλάζει κατάσταση μεταξύ των δύο χρονικών σημείων. Η μέση δραστηριότητα μεταβάσεων υπολογίζεται αθροίζοντας τις πιθανότητες σημάτων όλων των συμβολικών συναρτήσεων. Η παραπάνω διαδικασία που αναφέρεται και ως συμβολική εξομοίωση, μειονεκτεί στο ότι για μεγάλα κυκλώματα η παραγωγή των συμβολικών συναρτήσεων οδηγεί σε μεγάλο υπολογιστικό κόστος. Η μέθοδος αυτή, έχει επεκταθεί στην [207] έτσι ώστε να μπορεί να χειριστεί πύλες μετάδοσης και να συμπεριλαμβάνει τον χρόνο που πρέπει να διατηρηθεί η μετάβαση στην είσοδο έτσι ώστε να επιτευχθεί αλλαγή της λογικής κατάστασης μιας πύλης. Στη [208], προτείνεται μια ακόμη μέθοδος που λαμβάνει υπόψη τη μη μηδενική καθυστέρηση των πυλών. Η βασική της ιδέα είναι παρόμοια με αυτή της τεχνικής που προτείνεται στην [196] όπου χρησιμοποιείται πιθανοτική εξομοίωση (probabilistic simulation) για την παραγωγή των κυματομορφών ρεύματος. Στη [208] χρησιμοποιείται πιθανοτική εξομοίωση για τον υπολογισμό της δραστηριότητας μεταβάσεων με αποτέλεσμα οι απαιτήσεις μνήμης να είναι μικρότερες από εκείνες της συμβολικής εξομοίωσης.

Στη [209], εισάγεται ένα μέτρο της δραστηριότητας μεταβάσεων που αναφέρεται ως πυκνότητα μεταβάσεων (transition density). Η πυκνότητα μεταβάσεων $D(x)$

ενός κόμβου x είναι ουσιαστικά ο μέσος αριθμός μεταβάσεων ανά δευτερόλεπτο και ορίζεται ως εξής

$$D(x) = \lim_{T \rightarrow \infty} \frac{n_x(T)}{T}, \quad (2.14)$$

όπου $n_x(T)$ είναι ο αριθμός μεταβάσεων στον κόμβο x στο χρονικό διάστημα T . Στη συνέχεια προτείνεται ένας τρόπος υπολογισμού και διάδοσης των τιμών της πυκνότητας μεταβάσεων στους κόμβους του κυκλώματος, ο οποίος έχει ολοκληρωθεί στο πρόγραμμα DENSIM. Στις [210],[211] έχουν αναπτυχθεί δύο μέθοδοι με σκοπό την βελτίωση του DENSIM έτσι ώστε να λαμβάνει υπόψη τις αλληλεξαρτήσεις των σημάτων και τις ταυτόχρονες μεταβάσεις εισόδων. Στην [212], ο υπολογισμός της πυκνότητας μεταβάσεων χρησιμοποιείται για την εκτίμηση της κατανάλωσης ενέργειας βραχυκυκλώματος. Η ενέργεια βραχυκυκλώματος μιας πύλης μοντελοποιείται με χρήση εμπειρικών εξισώσεων ως συνάρτηση της κλίσης των κυματομορφών εισόδου και του φορτίου εξόδου. Οι συντελεστές των εξισώσεων αυτών προκύπτουν από κυκλωματική εξομοίωση.

Οι μέθοδοι που περιγράφηκαν παραπάνω αφορούν τον υπολογισμό της δραστηριότητας μεταβάσεων σε συνδυαστικά κυκλώματα. Στα ακολουθιακά κυκλώματα ο υπολογισμός είναι δυσκολότερος κυρίως λόγω του ότι οι αρχικές πιθανότητες των σημάτων εισόδου είναι άγνωστες. Ωστόσο, αρκετές μέθοδοι [206],[213] έχουν αναπτυχθεί για την προσέγγιση του προβλήματος αυτού.

Μια τεχνική η οποία συνδυάζει την μέθοδο του προχαρακτηρισμού με την ιδέα της εκτίμησης της κατανάλωσης ενέργειας χωρίς εξάρτηση από τα δεδομένα εισόδου, βασίζεται στη χρήση στοιχείων στατιστικής και αναφέρεται ως μέθοδος Monte-Carlo. Η μέθοδος αυτή έχει εφαρμοστεί στο εργαλείο McPower [214],[215]. Η βασική της ιδέα είναι η επαναληπτική εξομοίωση του κυκλώματος με τυχαία δείγματα εισόδου χρησιμοποιώντας κάποιο κυκλωματικό ή λογικό εξομοιωτή επιπέδου πύλης και στη συνέχεια η εφαρμογή τεχνικών υπολογισμού της στατιστικής μέσης τιμής των τιμών της ενέργειας που προκύπτουν. Έχει βρεθεί πειραματικά ότι η ενέργεια που καταναλώνεται από ένα κύκλωμα σε μια περίοδο T παρουσιάζει περίπου κανονική κατανομή. Έτσι η μέση κατανάλωση ενέργειας δίνεται ως εξής [202]

$$E_{\text{mean}} = \bar{E} \pm t_{\alpha/2} \frac{s}{\sqrt{N}}, \quad (2.15)$$

όπου \bar{E} είναι η μέση τιμή των τιμών της ενέργειας που προέκυψαν από την εξομοίωση, s είναι η τυπική απόκλιση, N ο αριθμός των δειγμάτων και $t_{\alpha/2}$ είναι ο συντελε-

στής της κατανομής t για ένα διάστημα εμπιστοσύνης $(1-\alpha) \%$. Ο απαιτούμενος αριθμός δειγμάτων παράγεται με χρήση του παρακάτω κριτηρίου τερματισμού [214]

$$\frac{t_{\alpha/2} s}{\bar{E}\sqrt{N}} < e, \quad (2.16)$$

όπου e είναι το επιθυμητό στατιστικό σφάλμα. Βασικά μειονεκτήματα της παραπάνω μεθόδου είναι το ότι σε πολλές περιπτώσεις απαιτείται μεγάλος αριθμός εξομοιώσεων για την ικανοποίηση του κριτηρίου τερματισμού, καθώς και το ότι δε λαμβάνονται υπόψη οι χωρικές εξαρτήσεις των σημάτων στις εισόδους του κυκλώματος.

Γ. Μοντελοποίηση με βάση την ανάλυση του αντιστροφέα

Σε μερικές από τις τεχνικές της κατηγορίας αυτής επιχειρείται ο αναλυτικός υπολογισμός των ρευμάτων του αντιστροφέα με σκοπό τον αξιόπιστο σχεδιασμό των γραμμών τροφοδοσίας και γείωσης. Έτσι, έχουν αναπτυχθεί τεχνικές για τον υπολογισμό του μέγιστου ρεύματος τροφοδοσίας στον αντιστροφέα CMOS [48],[130],[131], καθώς επίσης και για τον υπολογισμό της κυματομορφής του ρεύματος αυτού [130],[131],[216],[217]. Η δυναμική κατανάλωση ενέργειας του αντιστροφέα που οφείλεται στην φόρτιση και την εκφόρτιση της χωρητικότητας εξόδου, εξαρτάται μόνο από τη χωρητικότητα αυτή και την τάση τροφοδοσίας [24],[25]. Γι' αυτό η μοντελοποίησή της δεν παρουσιάζει ιδιαίτερη δυσκολία. Αντίθετα, η κατανάλωση ενέργειας βραχυκυκλώματος εξαρτάται από τα εσωτερικά σχεδιαστικά χαρακτηριστικά του αντιστροφέα, την κλίση της κυματομορφής εισόδου, τη χωρητικότητα εξόδου και την τάση τροφοδοσίας [25],[26]. Έτσι έχουν αναπτυχθεί αρκετές τεχνικές για την εξαγωγή αναλυτικών εκφράσεων υπολογισμού αυτού του τύπου της κατανάλωσης [19],[26],[218]-[226]. Γενικά, οι τεχνικές που βασίζονται στην ανάλυση του αντιστροφέα χρησιμοποιούν στη συνέχεια μια μεθοδολογία για να ανάγουν πιο σύνθετες λογικές πύλες σε ισοδύναμους αντιστροφείς [20],[21]. Το βασικό πλεονέκτημα των τεχνικών αυτών είναι το ότι παρέχουν υψηλή ακρίβεια χωρίς να απαιτείται κυκλωματική εξομοίωση όπως σε άλλες τεχνικές εξομοίωσης. Ο κύριος περιοριστικός παράγοντας στις τεχνικές αυτές είναι το γεγονός ότι δεν είναι πάντα εφικτή η αναλυτική λύση των εξισώσεων που περιγράφουν την λειτουργία του αντιστροφέα.

Στην [48], ο υπολογισμός της μέγιστης τιμής του ρεύματος του αντιστροφέα που προέρχεται από την τροφοδοσία βασίζεται στη λύση της διαφορικής εξίσωσης που προκύπτει από την εφαρμογή του πρώτου κανόνα Kirchhoff. Η λύση η οποία επι-

τυγχάνεται με αριθμητική μέθοδο είναι βασισμένη στο μοντέλο MOS νόμου του τετραγώνου που αναπαριστά με ακρίβεια το ρεύμα των τρανζίστορ με μεγάλο μήκος καναλιού. Η αναγωγή σύνθετων πυλών σε ισοδύναμους αντιστροφείς, γίνεται με χρήση ενός απλοποιημένου μοντέλου, που είναι αντίστοιχο με εκείνο του υπολογισμού της ισοδύναμης αντίστασης σειριακά και παράλληλα συνδεδεμένων αντιστάσεων. Επίσης κατά την αναγωγή επιλέγεται ως ισοδύναμη είσοδος του αντιστροφέα αυτή που ξεκινάει να μεταβάλλεται τελευταία στην περίπτωση όπου τα τρανζίστορ συνδέονται σειριακά και αυτή που ξεκινάει να μεταβάλλεται πρώτη στην περίπτωση παράλληλης σύνδεσης των τρανζίστορ. Οι παραπάνω απλοποιήσεις καθώς και το γεγονός ότι δεν λαμβάνεται υπόψη το ρεύμα που ρέει στον αντιστροφέα διαμέσου της χωρητικότητας των ακροδεκτών πύλης των τρανζίστορ, οδηγεί σε μειωμένη ακρίβεια εκτίμησης του μέγιστου ρεύματος.

Στην [216], μετά από μια απλοποιημένη ανάλυση της λειτουργίας του αντιστροφέα όπου το τρανζίστορ μέσω του οποίου φορτίζεται ή εκφορτίζεται η χωρητικότητα εξόδου θεωρείται ως σταθερή αντίσταση, η κυματομορφή του ρεύματος τροφοδοσίας μοντελοποιείται με τρεις συνεχόμενες εκθετικές συναρτήσεις. Οι συντελεστές των συναρτήσεων αυτών υπολογίζονται εμπειρικά με χρήση κυκλωματικής εξομοίωσης ως συναρτήσεις της κλίσης εισόδου των διαστάσεων των τρανζίστορ και του φορτίου εξόδου. Η τεχνική αυτή παρουσιάζει το μειονέκτημα της μη συμπερίληψης του ρεύματος που οφείλεται στις χωρητικότητες πύλης των τρανζίστορ κατά τη διάρκεια της μετάβασης εισόδου.

Στις [130] οι Nabavi-Lishi και Rumin πρότειναν μια μέθοδο για τον υπολογισμό της μέγιστης τιμής του ρεύματος τροφοδοσίας στον αντιστροφέα CMOS, η οποία βασίζεται σε μια γραμμική προσέγγιση της κυματομορφής εξόδου, μέσω εμπειρικών συντελεστών που παράγονται από αναλογικές εξομοιώσεις. Τα τρανζίστορ μοντελοποιούνται με μια τροποποιημένη εκδοχή του επιπέδου 3 μοντέλου MOS που χρησιμοποιεί το SPICE [57]. Η μέθοδος αυτή επεκτείνεται στην [131] έτσι ώστε να μοντελοποιηθεί η κυματομορφή του ρεύματος. Σε αντίθεση με τις δύο προηγούμενες μεθόδους, λαμβάνεται υπόψη το ρεύμα που ρέει διαμέσου της χωρητικότητας εισόδου, αλλά ο καθορισμός της κυματομορφής ρεύματος απαιτεί και τη χρήση της μεθόδου αριθμητικής ολοκλήρωσης Euler [163]. Στην [20] προτείνεται μια μεθοδολογία για την αναγωγή πυλών τύπου NAND και NOR σε ισοδύναμους αντιστροφείς έτσι ώστε με βάση το μοντέλο για τον υπολογισμό του μέγιστου ρεύματος του αντιστροφέα

που αναπτύχθηκε στην [130], να υπολογίζεται και το μέγιστο ρεύμα των πυλών. Κατά τον υπολογισμό του πλάτους των τρανζίστορ του ισοδύναμου αντιστροφέα λαμβάνονται υπόψη η κλίση των κυματομορφών εισόδου και η χωρητικότητα εξόδου. Επίσης, προτείνεται μια τεχνική για την εξαγωγή της κυματομορφής εισόδου του ισοδύναμου αντιστροφέα από τις κυματομορφές εισόδου των πυλών.

Στην [217], προτείνεται ένα αναλυτικό μοντέλο για τον υπολογισμό των κυματομορφών του χωρητικού ρεύματος και του ρεύματος βραχυκυκλώματος σύνθετων πυλών CMOS. Για τον υπολογισμό της κυματομορφής του χωρητικού ρεύματος οι σύνθετες πύλες ανάγονται σε απλούστερες στις οποίες ο κλάδος φόρτισης ή εκφόρτισης της εξόδου περιέχει δύο τρανζίστορ και ο κλάδος βραχυκυκλώματος ένα τρανζίστορ. Για τον υπολογισμό της κυματομορφής του ρεύματος βραχυκυκλώματος οι σύνθετες πύλες ανάγονται σε ισοδύναμους αντιστροφείς. Το ρεύμα υποδοχής των τρανζίστορ μοντελοποιείται χρησιμοποιώντας τις εξισώσεις που προτείνονται στην [136], ενώ η αναγωγή των σύνθετων πυλών σε απλούστερες βασίζεται στην τεχνική που προτείνεται στην [149]. Η κυματομορφή του χωρητικού ρεύματος αποτελείται από γραμμικά τμήματα (piecewise linear) και υπολογίζεται αναλυτικά, ενώ η κυματομορφή του ρεύματος βραχυκυκλώματος έχει τριγωνική μορφή και υπολογίζεται με χρήση αριθμητικών μεθόδων που αυξάνουν το υπολογιστικό κόστος της μεθόδου.

Η πρώτη αναλυτική έκφραση για τον υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα CMOS προτάθηκε από τον Veendrick [26]. Η εξαγωγή της έκφρασης αυτής βασίζεται στη θεώρηση μηδενικού φορτίου εξόδου. Λόγω της θεώρησης αυτής οι τιμές της ενέργειας που προκύπτουν είναι αρκετά μεγαλύτερες από τις πραγματικές. Η κυματομορφή του ρεύματος βραχυκυκλώματος μοντελοποιείται ως τριγωνικός παλμός συμμετρικός ως προς το μέσο του χρόνου μετάβασης εισόδου. Επίσης, το τρανζίστορ που αρχίζει να άγει κατά τη μετάβαση στην είσοδο θεωρείται ότι λειτουργεί στην περιοχή κόρου σε όλη τη διάρκεια του παλμού του ρεύματος βραχυκυκλώματος. Για το ρεύμα υποδοχής των τρανζίστορ χρησιμοποιείται το μοντέλο MOS νόμου του τετραγώνου [31]. Στις [19],[139] προτείνεται μια απευθείας επέκταση της έκφρασης του Veendrick. Η μοναδική διαφορά είναι η χρησιμοποίηση του μοντέλου MOS δύναμης του α (α -power law MOS model) το οποίο λαμβάνει υπόψη το φαινόμενο κορεσμού της ταχύτητας των φορέων (carriers' velocity saturation effect) που έχει σημαντική επίδραση στο ρεύμα των τρανζίστορ με μικρό μήκος καναλιού. Ωστόσο, οι υπόλοιπες θεωρήσεις που έγιναν στην [26] παραμένουν.

Στη [218], προτείνεται η αντικατάσταση του χρόνου μετάβασης εισόδου όπως δίνεται στις [19], [139] στην έκφραση υπολογισμού της κατανάλωσης ενέργειας βραχυκυκλώματος που επίσης δίνεται στις [19],[139]. Η αντικατάσταση αυτή έχει ως αποτέλεσμα μια έκφραση υπολογισμού της ενέργειας βραχυκυκλώματος η οποία περιλαμβάνει και την χωρητικότητα εξόδου, γεγονός που όμως δε συμφωνεί με την αρχική θεώρηση μηδενικής χωρητικότητας εξόδου που έγινε στις [19],[139].

Οι Hedenstierna και Jerrson [18],[219] πρότειναν μια έκφραση για τον αναλυτικό υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα CMOS, η οποία βασίζεται στην αναλυτική λύση της διαφορικής εξίσωσης στον κόμβο εξόδου του αντιστροφέα. Ωστόσο, η έκφραση της κυματομορφής εξόδου παράγεται χωρίς να ληφθεί υπόψη η επίδραση του ρεύματος βραχυκυκλώματος. Το ρεύμα υποδοχής των τρανζίστορ μοντελοποιείται με χρήση του μοντέλου MOS νόμου του τετραγώνου [31]. Με παρόμοιο τρόπο παράγεται και η έκφραση υπολογισμού της ενέργειας βραχυκυκλώματος στην [221], όπου όμως χρησιμοποιείται το μοντέλο MOS δύναμης του α . Στις δύο παραπάνω εκφράσεις θεωρείται ότι το τρανζίστορ μέσω του οποίου φορτίζεται ή εκφορτίζεται η χωρητικότητα εξόδου, λειτουργεί στην περιοχή κόρου στο χρονικό διάστημα που υπάρχει το ρεύμα βραχυκυκλώματος. Η θεώρηση αυτή όμως δεν ισχύει στην περίπτωση όπου η είσοδος του αντιστροφέα μεταβάλλεται αρκετά αργότερα από την έξοδό του.

Στην [222], η κατανάλωση ενέργειας βραχυκυκλώματος υπολογίζεται μέσω μιας υποθετικής ισοδύναμης χωρητικότητας βραχυκυκλώματος η οποία δεν έχει φυσική σημασία. Κατά τον υπολογισμό της χωρητικότητας αυτής η κυματομορφή εξόδου του αντιστροφέα θεωρείται γραμμική. Το ρεύμα υποδοχής των τρανζίστορ μοντελοποιείται με χρήση του μοντέλου MOS νόμου του τετραγώνου, ενώ στις τελικές εκφράσεις προσαρμόζονται εμπειρικοί συντελεστές για να καλύψουν την επίδραση των φαινομένων που επηρεάζουν τη λειτουργία των τρανζίστορ με μικρό μήκος καναλιού.

Στα παραπάνω μοντέλα αναλυτικού υπολογισμού της κατανάλωσης ενέργειας βραχυκυκλώματος, δεν λαμβάνεται υπόψη η επίδραση της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου του αντιστροφέα. Όπως αναφέρεται χαρακτηριστικά στις [141],[223], η ενέργεια βραχυκυκλώματος του αντιστροφέα όταν συμπεριληφθεί η παραπάνω επίδραση είναι από 10% έως 50% μικρότερη από εκείνη που υπολογίζεται με μηδενική χωρητικότητα σύζευξης. Στις [141],[223], η κυματομορφή

του ρεύματος βραχυκυκλώματος του αντιστροφέα προσεγγίζεται μέσω μιας χρονικής συνάρτησης γραμμικών τμημάτων με σκοπό να υπολογιστεί η κατανάλωση ενέργειας βραχυκυκλώματος. Το ρεύμα υποδοχής των τρανζίστορ μοντελοποιείται με το μοντέλο MOS δύναμης του n (n -power law MOS model) [134]. Οι τιμές της κυματομορφής ρεύματος που απαιτούνται για την εκτίμηση της ενέργειας βραχυκυκλώματος υπολογίζονται μέσω προσεγγιστικών λύσεων της διαφορικής εξίσωσης στον κόμβο εξόδου του αντιστροφέα όπου λαμβάνεται υπόψη και η επίδραση της χωρητικότητας σύζευξης. Ωστόσο, η ενέργεια του ανάστροφου ρεύματος που προκαλείται λόγω της χωρητικότητας σύζευξης αφαιρείται από την ενέργεια βραχυκυκλώματος. Το ρεύμα αυτό παρέχεται από την είσοδο, οπότε η ενέργεια που του αντιστοιχεί δεν μπορεί να συμπεριληφθεί στην ενέργεια βραχυκυκλώματος η οποία οφείλεται στο ρεύμα που ρέει από την τροφοδοσία στη γείωση.

Στην [224], προτείνεται μια μεθοδολογία για τον αναλυτικό υπολογισμό της ενέργειας βραχυκυκλώματος του αντιστροφέα, όπου η κυματομορφή του ρεύματος βραχυκυκλώματος προσεγγίζεται με έναν τριγωνικό παλμό. Η επίδραση της χωρητικότητας σύζευξης στην ενέργεια βραχυκυκλώματος λαμβάνεται με ορθότερο τρόπο σε σχέση με τις [141],[223]. Ωστόσο, προτείνονται μονάχα τα βήματα της μεθοδολογίας υπολογισμού, χωρίς να δίνονται συγκεκριμένοι τρόποι για τη λύση των εξισώσεων που προκύπτουν κατά τον υπολογισμό των χαρακτηριστικών του παλμού του ρεύματος βραχυκυκλώματος.

Το μοντέλο που αναπτύχθηκε στην [222], επεκτείνεται στις [225],[226], με την εισαγωγή της επίδρασης της χωρητικότητας σύζευξης. Το ρεύμα των τρανζίστορ εκφράζεται μέσω ενός απλοποιημένου μοντέλο MOS [32] το οποίο λαμβάνει υπόψη το φαινόμενο κορεσμού της ταχύτητας των φορέων που είναι σημαντικό στα τρανζίστορ με μικρό μήκος καναλιού. Η κυματομορφή του ρεύματος βραχυκυκλώματος θεωρείται συμμετρική ως προς το χρονικό σημείο όπου το ρεύμα λαμβάνει τη μέγιστη τιμή του, το οποίο υπολογίζεται θεωρώντας ότι η κυματομορφή εξόδου του αντιστροφέα είναι γραμμική. Αν και στις εργασίες αυτές λαμβάνεται υπόψη η απουσία ρεύματος βραχυκυκλώματος στην αρχική φάση της μετάβασης εξόδου (λόγω του ρεύματος διαμέσου της χωρητικότητας σύζευξης), από την τελική έκφραση που δίνεται για τον υπολογισμό της ενέργειας βραχυκυκλώματος προκύπτουν αρκετά μεγαλύτερες τιμές από τις πραγματικές.

Τέλος, στις [227]-[229] προτείνονται μοντέλα υπολογισμού της κατανάλωσης

ενέργειας βραχυκυκλώματος του αντιστροφέα για την περίπτωση όπου το φορτίο δεν είναι αμιγώς χωρητικό, αλλά περιλαμβάνει και την αντίσταση των διασυνδέσεων.

2.4 Συμπεράσματα

Στο κεφάλαιο αυτό πραγματοποιήθηκε μια ανασκόπηση των τεχνικών εξομοίωσης και μοντελοποίησης των κυκλωμάτων VLSI, όσον αφορά την χρονική τους απόκριση και την ενέργεια που καταναλώνουν. Παρουσιάστηκαν τεχνικές σε επίπεδο κυκλώματος, σε επίπεδο διακόπτη και σε επίπεδο πύλης. Οι τεχνικές εξομοίωσης σε κυκλωματικό επίπεδο παρέχουν μεγάλη ακρίβεια, αλλά το υπολογιστικό τους κόστος είναι μεγάλο με αποτέλεσμα να μην είναι πρακτικές για μεγάλα κυκλώματα VLSI. Αντίθετα, οι λογικοί εξομοιωτές παρουσιάζουν μεγάλη ταχύτητα αλλά μικρή ακρίβεια. Έτσι, για να γεφυρωθεί το κενό μεταξύ των κυκλωματικών και των λογικών εξομοιωτών, έχουν αναπτυχθεί διάφορες τεχνικές μοντελοποίησης των κυκλωμάτων, οι οποίες και παρουσιάστηκαν στο κεφάλαιο αυτό.

Μια από τις κατηγορίες τεχνικών μοντελοποίησης βασίζεται στην ανάλυση της χρονικής απόκρισης και της κατανάλωσης ενέργειας του αντιστροφέα. Στα επόμενα κεφάλαια παρουσιάζονται μοντέλα αναλυτικού υπολογισμού της χρονικής απόκρισης και της κατανάλωσης ενέργειας του αντιστροφέα CMOS, τα οποία παρέχουν μεγάλη ακρίβεια. Η αναλυτική τους φύση εξασφαλίζει μεγάλες ταχύτητες υπολογισμού, αφού δεν απαιτούν τη χρήση αριθμητικών μεθόδων και προεξομοίωσης. Προτείνεται επίσης μια μεθοδολογία για την αναγωγή στατικών πυλών CMOS σε ισοδύναμους αντιστροφείς.

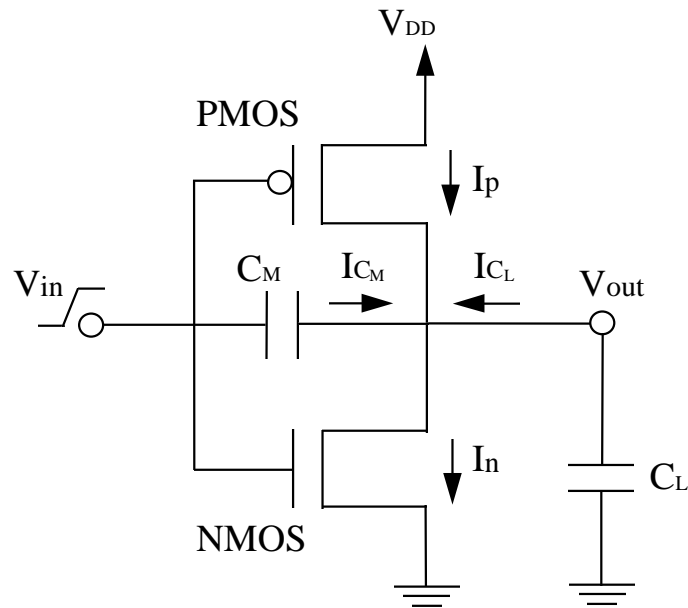
Κεφάλαιο 3

Χρονική απόκριση και κατανάλωση ενέργειας αντιστροφέα CMOS με βάση απλοποιημένα μοντέλα MOS

3.1 Εισαγωγή

Το αντικείμενο της διατριβής είναι η μοντελοποίηση των κυκλωμάτων CMOS VLSI, η οποία περιλαμβάνει δύο βασικά στάδια: την ανάλυση του αντιστροφέα CMOS για τον υπολογισμό της χρονικής του απόκρισης και της ενέργειας που καταναλώνει και την αναγωγή πιο σύνθετων πυλών σε ισοδύναμους αντιστροφείς. Στο κεφάλαιο αυτό, εξετάζεται το πρώτο στάδιο. Παρουσιάζονται αναλυτικά μοντέλα υπολογισμού της χρονικής απόκρισης και της κατανάλωσης ενέργειας του αντιστροφέα CMOS, που είναι βασισμένες στο μοντέλο MOS νόμου του τετραγώνου [32],[49]. Στη συνέχεια τα μοντέλα αυτά επεκτείνονται έτσι ώστε να συμπεριλάβουν την επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων (carriers' velocity saturation effect) [32],[135] που είναι ιδιαίτερα σημαντική στα τρανζίστορ με μήκος μικρότερο από ένα μικρόμετρο (submicron transistors).

Οι περισσότεροι εξομοιωτές σε επίπεδο πύλης και διακόπτη που έχουν αναπτυχθεί μέχρι σήμερα χρησιμοποιούν μοντελοποίηση που βασίζεται σε πίνακες αναφοράς που συνήθως συνδυάζονται με εμπειρικές εξισώσεις. Αυτό οφείλεται κυρίως στη σχετικά απλή και συστηματική υλοποίηση των πινάκων αναφοράς. Ωστόσο, η χρήση μη γραμμικών μοντέλων μπορεί να οδηγήσει σε αύξηση της ακρίβειας και να εντοπίσει τις αιτίες των σφαλμάτων προηγούμενων τεχνικών μοντελοποίησης.



Σχήμα 3.1: Ο αντιστροφέας CMOS

Το βασικό μειονέκτημα των περισσότερων τεχνικών μοντελοποίησης του αντιστροφέα CMOS (Σχήμα 3.1), είναι το ότι δε συμπεριλαμβάνουν τις επιδράσεις του ρεύματος βραχυκυκλώματος (I_p για ανερχόμενη είσοδο) και της χωρητικότητας σύζευξης (C_M) μεταξύ της εισόδου και της εξόδου, στην κυματομορφή της τάσης εξόδου του αντιστροφέα. Η θεώρηση μηδενικού ρεύματος βραχυκυκλώματος μπορεί να οδηγήσει σε σφάλμα μεγαλύτερο από 20%, ιδιαίτερα στην περίπτωση όπου η μετάβαση στην είσοδο είναι αργότερη από τη μετάβαση εξόδου. Η χωρητικότητα σύζευξης αποτελείται από τις χωρητικότητες πύλης-υποδοχής των δύο τρανζίστορ. Η αγνόηση της επίδρασής της στην κυματομορφή εξόδου του αντιστροφέα οδηγεί σε σημαντικό σφάλμα, ιδιαίτερα όταν η είσοδος μεταβάλλεται γρήγορα ή το φορτίο εξόδου είναι σχετικά μικρό. Σημαντική επίσης είναι η επίδραση των δύο παραπάνω παραγόντων στην κατανάλωση ενέργειας βραχυκυκλώματος. Η θεώρηση αμελητέας επίδρασης του ρεύματος βραχυκυκλώματος στην κυματομορφή εξόδου, έχει ως αποτέλεσμα την υπερεκτίμηση της κατανάλωσης ενέργειας βραχυκυκλώματος. Το ίδιο αποτέλεσμα έχει και η θεώρηση αμελητέας επίδρασης της χωρητικότητας σύζευξης.

Οι εκφράσεις της κυματομορφής εξόδου του αντιστροφέα CMOS που προτείνονται στη [18], προκύπτουν από την αναλυτική λύση της διαφορικής εξίσωσης στον κόμβο εξόδου και λαμβάνουν υπόψη την κλίση της κυματομορφής εισόδου, η οποία προσεγγίζεται με μια γραμμική συνάρτηση του χρόνου (ramp). Ωστόσο, οι επιδράσεις που αναφέρθηκαν παραπάνω δε λαμβάνονται υπόψη με αποτέλεσμα να

προκύπτουν ανακριβή αποτελέσματα. Οι εκφράσεις αυτές επεκτάθηκαν στην [128] για είσοδο εκθετικής μορφής. Στην [36], λαμβάνονται υπόψη οι επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης, με αποτέλεσμα όμως να μην επιτυγχάνεται αναλυτική λύση και να χρησιμοποιούνται αριθμητικές μέθοδοι και μέθοδοι προσαρμογής (fitting methods). Μια παρόμοια ανάλυση προτείνεται στην [129] χωρίς όμως να συμπεριλαμβάνεται η επίδραση της χωρητικότητας σύζευξης. Τα παραπάνω μοντέλα είναι βασισμένα στο μοντέλο MOS νόμου του τετραγώνου [31],[32], το οποίο αναπαριστά με ακρίβεια τις χαρακτηριστικές καμπύλες I-V των τρανζίστορ με μεγάλο μήκος καναλιού ($\geq 3\mu\text{m}$). Στις [130]-[132], προτείνεται μια μέθοδος για τον υπολογισμό της καθυστέρησης του αντιστροφέα CMOS, όπου το ρεύμα υποδοχής των τρανζίστορ μοντελοποιείται με μια τροποποιημένη εκδοχή του επιπέδου-3 μο-ντέλου MOS που χρησιμοποιεί το SPICE [57]. Στην εκδοχή αυτή δεν λαμβάνεται υπόψη η επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων, με αποτέλεσμα το μοντέλο που προκύπτει να είναι ισοδύναμο με το μοντέλο MOS νόμου του τετραγώνου. Ο υπολογισμός της καθυστέρησης βασίζεται σε μια γραμμική προσέγγιση της κυματομορφής εξόδου, μέσω δύο εμπειρικών συντελεστών που παράγονται από κυκλωματική εξομοίωση.

Στην [126], η καθυστέρηση του αντιστροφέα υπολογίζεται χωρίς την αναλυτική λύση της διαφορικής εξίσωσης στον κόμβο εξόδου, αλλά με τη χρησιμοποίηση του μέσου ρεύματος του τρανζίστορ NMOS (PMOS) κατά τη διάρκεια της φόρτισης (εκφόρτισης) της χωρητικότητας εξόδου ($\bar{I}\Delta t = C_L \Delta V_{\text{out}}$). Στην τελική εξίσωση, η καθυστέρηση παρουσιάζει γραμμική εξάρτηση από το χρόνο μετάβασης της τάσης εισόδου. Επειδή όμως η εξάρτηση αυτή δεν ισχύει για αργές μεταβάσεις εισόδου, στην [127] η εξίσωση αυτή τροποποιείται με την εισαγωγή ενός εμπειρικού συντελεστή που παράγεται από εξομοιώσεις με το SPICE, έτσι ώστε να μπορεί να εφαρμοστεί για περιπτώσεις αργών μεταβάσεων της εισόδου.

Επειδή το μοντέλο MOS νόμου του τετραγώνου δε μοντελοποιεί με ακρίβεια τη συμπεριφορά των τρανζίστορ με μικρό μήκος καναλιού, έχουν προταθεί αρκετές μέθοδοι ανάλυσης του αντιστροφέα, που είναι βασισμένες σε πιο αποδοτικά μοντέλα. Η κυριότερη αιτία για τη μειωμένη ακρίβεια που παρέχει το μοντέλο νόμου του τετραγώνου είναι το ότι δεν λαμβάνει υπόψη την επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων [19],[32]. Με σκοπό τη συμπερίληψη του φαινομένου αυτού, με ταυτόχρονη διατήρηση της απλότητας του μοντέλου νόμου του τετραγώνου,

έχει προταθεί ένα απλοποιημένο μοντέλο MOS [32],[135],[230] που μπορεί να αναπαριστά τις χαρακτηριστικές καμπύλες I-V των τρανζίστορ με μικρό μήκος καναλιού. Το μοντέλο αυτό χρησιμοποιείται στη συνέχεια για την ανάλυση της χρονικής απόκρισης και της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα που αποτελείται από τρανζίστορ με μήκος καναλιού μικρότερου του ενός μικρομέτρου. Στο παρελθόν, έχει χρησιμοποιηθεί στις αναλύσεις της χρονικής απόκρισης του αντιστροφέα που προτείνονται στις [230],[231], όπου όμως δεν λαμβάνεται υπόψη η κλίση της κυματομορφής εισόδου. Στην [142], χρησιμοποιείται η εξίσωση ρεύματος της περιοχής κόρου του μοντέλου αυτού για τον υπολογισμό της καθυστέρησης του αντιστροφέα CMOS. Η διαφορική εξίσωση στον κόμβο εξόδου λύνεται για την περίπτωση πολύ γρήγορης μετάβασης εισόδου με την θεώρηση αμελητέου ρεύματος βραχυκυκλώματος και στη συνέχεια η έκφραση καθυστέρησης που προκύπτει προσαρμόζεται στις υπόλοιπες περιπτώσεις με χρήση τριών εμπειρικών συντελεστών.

Για την καλύτερη μοντελοποίηση του φαινομένου κορεσμού της ταχύτητας των φορέων, σχετικά πρόσφατα έχουν προταθεί τα μοντέλα MOS δύναμης του α [19] και δύναμης του n [134]. Με βάση τα μοντέλα αυτά, αλλά και μερικά άλλα [57],[59],[138],[232] που αναπαριστούν με ακρίβεια τα χαρακτηριστικά των τρανζίστορ με μικρό μήκος καναλιού, έχουν αναπτυχθεί αρκετές μέθοδοι υπολογισμού της χρονικής απόκρισης του αντιστροφέα CMOS [19],[47],[134],[140],[143],[144],[232]. Περαιτέρω εξέταση των μεθόδων αυτών θα γίνει στο επόμενο κεφάλαιο, όπου για τον υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα, χρησιμοποιείται το μοντέλο MOS δύναμης του α .

Στην ανάλυση που παρουσιάζεται στο κεφάλαιο αυτό χρησιμοποιούνται δύο μη γραμμικά μοντέλα MOS: το προσεγγιστικό μοντέλο φορτίου-υποστρώματος νόμου του τετραγώνου (approximated bulk-charge square-law model) [32],[49],[235] κι ένα απλό μοντέλο [32],[135],[230] που αποτελεί επέκταση του πρώτου, έτσι ώστε να λαμβάνεται υπόψη η επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων. Η κυματομορφή εξόδου του αντιστροφέα παράγεται αναλυτικά για όλες τις περιοχές λειτουργίας των δύο τρανζίστορ ως συνάρτηση της κλίσης της κυματομορφής εισόδου, των διαστάσεων και των υπόλοιπων χαρακτηριστικών των τρανζίστορ, της χωρητικότητας εξόδου και της τάσης τροφοδοσίας. Στη συνέχεια παράγονται εκφράσεις κλειστής μορφής για τον υπολογισμό της καθυστέρησης και της κατανάλωσης ενέργειας του αντιστροφέα. Για την εξαγωγή των εκφράσεων αυτών δε χρη-

σιμοποιούνται αριθμητικές μέθοδοι, με αποτέλεσμα να εξασφαλίζεται ταχύτητα πολύ μεγαλύτερη από εκείνη των τυπικών κυκλωματικών εξομοιωτών. Επίσης, δε χρησιμοποιείται προεξομοίωση, σε αντίθεση με τους περισσότερους εξομοιωτές σε επίπεδο πύλης και διακόπτη όπου απαιτείται χρονοβόρα προεξομοίωση για την παραγωγή πινάκων αναφοράς ή συντελεστών για τις εμπειρικές εξισώσεις καθυστέρησης και κατανάλωσης ενέργειας. Στην παράγραφο 3.2 πραγματοποιείται η ανάλυση του αντιστροφέα CMOS με βάση το προσεγγιστικό μοντέλο MOS φορτίου-υποστρώματος νόμου του τετραγώνου, ενώ στην παράγραφο 3.3 η ανάλυση για τεχνολογίες όπου το μήκος καναλιού των τρανζίστορ είναι μικρότερο από ένα μικρόμετρο.

3.2 Μοντελοποίηση με βάση το μοντέλο MOS νόμου τετραγώνου

Στην παράγραφο αυτή, παρουσιάζεται αρχικά η ανάλυση της κυματομορφής της τάσης εξόδου του αντιστροφέα CMOS, με βάση το προσεγγιστικό μοντέλο MOS φορτίου-υποστρώματος νόμου του τετραγώνου [32],[49]. Στη συνέχεια, με βάση τις αναλυτικές εκφράσεις της κυματομορφής εξόδου που προκύπτουν, παράγονται εκφράσεις κλειστής μορφής για τον υπολογισμό της καθυστέρησης, του χρόνου μετάβασης εξόδου και της κατανάλωσης ενέργειας βραχυκυκλώματος.

3.2.1 Ανάλυση της κυματομορφής τάσης εξόδου του αντιστροφέα

Στη παράγραφο αυτή, υπολογίζεται αναλυτικά η κυματομορφή της τάσης εξόδου του αντιστροφέα CMOS (Σχήμα 3.1) σε όλες τις περιοχές λειτουργίας του. Κατά την ανάλυση, όλες οι χωρητικότητες που συνδέονται στην έξοδο του αντιστροφέα συγχωνεύονται σε μία μεταξύ της εξόδου και της γείωσης, όπως φαίνεται και στο Σχήμα 3.1. Η χωρητικότητα αυτή αποτελείται από τη χωρητικότητα των ακροδεκτών πύλης των τρανζίστορ που απαρτίζουν τις πύλες που οδηγεί ο αντιστροφέας, τη χωρητικότητα των περιοχών διάχυσης των ακροδεκτών υποδοχής των δύο τρανζίστορ και την χωρητικότητα των γραμμών σύνδεσης. Αν και οι πρώτες δύο χωρητικότητες είναι εξαρτημένες από την τάση, το φορτίο εξόδου αναπαρίσταται με μια ισοδύναμη σταθερή χωρητικότητα C_L . Οι χωρητικότητες μεταξύ του ακροδέκτη πύλης και των υπόλοιπων ακροδεκτών των τρανζίστορ έχουν διαφορετική τιμή σε κάθε περιοχή λειτουργίας (είναι δηλαδή εξαρτημένες από την τάση του ακροδέκτη πύλης). Το άθροισμά τους, που αποτελεί και την ενδογενή χωρητικότητα του ακροδέκτη πύλης έχει μια ελάχιστη τιμή ίση με $2/3 (W L C_{ox})$ (στην περιοχή κόρου) και μια μέγιστη τιμή

ίση με $(W L C_{ox})$ (στην περιοχή αποκοπής και στη γραμμική περιοχή) [8],[233]. Έτσι, μια μέση τιμή που μπορεί να χρησιμοποιηθεί είναι η εξής

$$C_g = \frac{8}{9} W L C_{ox}, \quad (3.1)$$

όπου W , L είναι οι διαστάσεις του ακροδέκτη πύλης και C_{ox} η χωρητικότητα του SiO_2 ανά μονάδα επιφάνειας ($C_{ox} = \epsilon_o \epsilon_{SiO_2} / T_{ox}$, ϵ_o : διηλεκτρική σταθερά κενού, ϵ_{SiO_2} : διηλεκτρική σταθερά SiO_2 , T_{ox} : πάχος SiO_2). Στη συνολική χωρητικότητα του ακροδέκτη πύλης συμπεριλαμβάνεται και η εξωγενής χωρητικότητα που οφείλεται στην επικάλυψη της πηγής και της υποδοχής από την πύλη και στην κατά μήκος επέκταση του πολυπυριτίου πέρα από την περιοχή του καναλιού. Η συνολική χωρητικότητα επικάλυψης ($C_{g-overlap}$) υπολογίζεται ως εξής

$$C_{g-overlap} = W C_{gso} + W C_{gdo} + 2L C_{gbo}, \quad (3.2)$$

όπου C_{gso} , C_{gdo} είναι παράμετροι της τεχνολογίας που αντιπροσωπεύουν τις χωρητικότητες επικάλυψης ανά μονάδα πλάτους καναλιού της πύλης προς την πηγή και την υποδοχή αντίστοιχα και η C_{gbo} αντιπροσωπεύει την χωρητικότητα ανά μονάδα μήκους καναλιού λόγω της επέκτασης της πύλης πέρα από το μήκος καναλιού.

Στην περίπτωση όπου ο ακροδέκτης υποδοχής ενός τρανζίστορ συνδέεται στην έξοδο της πύλης που ακολουθεί, η τιμή της χωρητικότητας εξόδου επηρεάζεται από το φαινόμενο Miller [8]. Επειδή, η τάση κατά μήκος της χωρητικότητας πύλης-υποδοχής (C_{gd}) του τρανζίστορ αυτού παρουσιάζει μεταβολή $2V_{DD}$ κατά τη διάρκεια μεταγωγής της πύλης, το φορτίο που μεταφέρεται ισούται με $2V_{DD} C_{gd}$. Έτσι, η ισοδύναμη χωρητικότητα προς τη γείωση ισούται με $2C_{gd}$. Όπως θα αναφερθεί και παρακάτω, η ενδογενής χωρητικότητα C_{gd} ενός τρανζίστορ είναι μηδενική στην περιοχή αποκοπής και στην περιοχή κόρου, ενώ λαμβάνει μέγιστη τιμή ίση με $1/2 (W L C_{ox})$ στη γραμμική περιοχή [8],[233]. Έτσι, στην περίπτωση που υπάρχει η επίδραση του φαινομένου Miller, θα πρέπει στη συνολική ενδογενή χωρητικότητα πύλης του τρανζίστορ να προστεθεί η μέση τιμή της C_{gd} ($1/6 (W L C_{ox})$). Επίσης, θα πρέπει η χωρητικότητα λόγω της επικάλυψης της πύλης προς την υποδοχή να διπλασιαστεί.

Η χωρητικότητα της περιοχής διάχυσης του ακροδέκτη υποδοχής των τρανζίστορ, είναι μη γραμμική και εξαρτάται από την τάση της επαφής διάχυσης-υποστρώματος. Η γραμμικοποίησή της επιτυγχάνεται με τη χρήση δύο συντελεστών K_1 και K_2 [8],[57],[234],

$$C_D = K_1 C_{j0} A + K_2 C_{jsw} P, \quad (3.3)$$

$$K_1 = \left(1 + \frac{V_D}{\phi_J}\right)^{-M_j}, \quad K_2 = \left(1 + \frac{V_D}{\phi_J}\right)^{-M_{jsw}},$$

όπου C_{j0} , C_{jsw} είναι οι χωρητικότητες μηδενικής πόλωσης ανά μονάδα επιφάνειας και περιφέρειας επαφής αντίστοιχα, $A = W L_S$ η επιφάνεια της επαφής, $P = W + 2L_S$ η περιφέρεια της επαφής χωρίς να συμπεριλαμβάνεται η κοινή πλευρά περιοχής διάχυσης και καναλιού, L_S το μήκος της περιοχής διάχυσης, V_D η τάση της επαφής, ϕ_J το ενσωματωμένο (built-in) δυναμικό επαφής και M_j , M_{jsw} είναι συντελεστές διαβάθμισης οι οποίοι μαζί με το ενσωματωμένο δυναμικό επαφής καθορίζονται από την τεχνολογία. Η συμμετοχή της χωρητικότητας των περιοχών διάχυσης στην ισοδύναμη χωρητικότητα εξόδου του αντιστροφέα υπολογίζεται από τη σχέση (3.3), χρησιμοποιώντας ως τάση επαφής το μισό του εύρους μετάβασης της τάσης εξόδου ($V_{DD} / 2$). Τέλος, οι χωρητικότητες διασυνδέσεων οι οποίες είναι ανεξάρτητες από την εφαρμοζόμενη τάση μπορούν να προσεγγιστούν από το κλασικό μοντέλο των παράλληλων πλακών. Ωστόσο, ακριβέστερες μέθοδοι υπολογισμού οι οποίες λαμβάνουν υπόψη διάφορα παρασιτικά φαινόμενα αναφέρονται στην [8]. Ένα παράδειγμα που δείχνει την εγκυρότητα του παραπάνω μοντέλου σταθερής χωρητικότητας εξόδου, παρουσιάζεται στην Παράγραφο 3.2.5.

Η ισοδύναμη χωρητικότητα σύζευξης C_M που φαίνεται στο Σχήμα 3.1 υπολογίζεται ως το άθροισμα των χωρητικοτήτων πύλης-υποδοχής των δύο τρανζίστορ του αντιστροφέα

$$C_M = C_{gd-NMOS} + C_{gd-PMOS}. \quad (3.4)$$

Η χωρητικότητα πύλης-υποδοχής ενός τρανζίστορ είναι το άθροισμα της χωρητικότητας επικάλυψης πύλης-υποδοχής και ενός μέρους της ενδογενούς χωρητικότητας μεταξύ πύλης και καναλιού [8],[233]

$$C_{gd} = C_{gd-overlap} + C_{gd-channel} \quad (3.5)$$

Η χωρητικότητα επικάλυψης ($C_{gd-overlap}$) δίνεται από το δεύτερο όρο του αθροίσματος της εξίσωσης (3.2). Το δεύτερο μέρος της χωρητικότητας πύλης-υποδοχής εξαρτάται από την περιοχή λειτουργίας του τρανζίστορ. Στην περιοχή αποκοπής δεν υπάρχει κανάλι, ενώ στην περιοχή κόρου το κανάλι δεν εκτείνεται μέχρι την υποδοχή. Οπότε, η ενδογενής χωρητικότητα πύλης-υποδοχής που οφείλεται στο φορτίο του καναλιού είναι μηδενική στις δύο αυτές περιοχές. Στη γραμμική περιοχή λειτουργίας

η χωρητικότητα πύλης-καναλιού μπορεί να προσεγγιστεί ως ισόποσα κατανεμημένη μεταξύ της πηγής και της υποδοχής. Άρα στην περιοχή αυτή

$$C_{gd-channel} = \frac{1}{2} C_{ox} W L. \quad (3.6)$$

Η ανάλυση της κυματομορφής της τάσης εξόδου του αντιστροφέα γίνεται στη συνέχεια για ανερχόμενη είσοδο (μετάβαση από τη χαμηλή στάθμη στην υψηλή). Λόγω της συμμετρικότητας που παρουσιάζει η λειτουργία του αντιστροφέα, η ανάλυση για κατερχόμενη είσοδο μπορεί να επιτευχθεί με τον ίδιο τρόπο. Οι εκφράσεις της κυματομορφής εξόδου του αντιστροφέα παράγονται για είσοδο η οποία είναι γραμμική συνάρτηση του χρόνου (ramp) και δίνεται ως εξής

$$V_{in} = \begin{cases} 0, & t \leq 0 \\ V_{DD} \cdot (t/\tau), & 0 < t \leq \tau, \\ V_{DD}, & t > \tau \end{cases} \quad (3.7)$$

όπου τ είναι ο χρόνος μετάβασης (ανόδου) και V_{DD} είναι η τάση τροφοδοσίας. Ωστόσο, η ανάλυση που θα ακολουθήσει μπορεί να επιτευχθεί και για την περίπτωση όπου η είσοδος είναι χρονική συνάρτηση γραμμικών τμημάτων (piecewise linear).

Η διαφορική εξίσωση που περιγράφει την χρονική μεταβολή της τάσης στον κόμβο εξόδου του αντιστροφέα CMOS (Σχήμα 3.1) εξάγεται από την εφαρμογή του πρώτου κανόνα Kirchoff στον κόμβο αυτό

$$I_{C_L} + I_{C_M} + I_p - I_n = 0, \\ -C_L \frac{dV_{out}}{dt} + C_M \left(\frac{dV_{in}}{dt} - \frac{dV_{out}}{dt} \right) + I_p - I_n = 0. \quad (3.8)$$

Συνδυάζοντας τις εξισώσεις (3.7) και (3.8) και χρησιμοποιώντας την παράμετρο

$$c_m = \frac{C_M}{C_L + C_M},$$

καταλήγουμε στην παρακάτω μορφή της διαφορικής εξίσωσης

$$\frac{dV_{out}}{dt} = \begin{cases} \frac{I_p - I_n}{C_L + C_M}, & t \leq 0 \text{ ή } t > \tau \\ \frac{c_m V_{DD}}{\tau} + \frac{I_p - I_n}{C_L + C_M}, & 0 < t \leq \tau \end{cases}. \quad (3.9)$$

Ανάλογα με την περιοχή λειτουργίας το ρεύμα του τρανζίστορ NMOS εκφράζεται με βάση τις εξισώσεις του προσεγγιστικού μοντέλου MOS φορτίου-υποστρώ-

ματος νόμου του τετραγώνου (approximated bulk-charge square-law) [32],[49],[235]

$$I_n = 0, \quad V_{in} < V_{TN}, \quad \text{Περιοχή αποκοπής} \quad (3.10)$$

$$I_n = \frac{\beta_n}{2(1+\delta_n)} (V_{in} - V_{TN})^2, \quad V_{out} > V_{D-SATN}, \quad \text{Περιοχή κόρου} \quad (3.11)$$

$$I_n = \beta_n \left[(V_{in} - V_{TN}) V_{out} - \frac{(1+\delta_n)}{2} V_{out}^2 \right], \quad V_{out} \leq V_{D-SATN}, \quad \text{Γραμμική περιοχή} \quad (3.12)$$

όπου $\beta_n = \mu_n C_{ox} (W_n / L_n)$ είναι ο συντελεστής κέρδους (διαγωγιμότητα) του τρανζίστορ NMOS, μ_n η κινητικότητα των ηλεκτρονίων στο κανάλι, V_{TN} η τάση κατωφλίου του, και δ_n η κλίση του πρώτου όρου του αναπτύγματος Taylor της εξίσωσης φορτίου-υποστρώματος του τρανζίστορ NMOS [32],[49]. V_{D-SATN} είναι η τάση κόρου του τρανζίστορ NMOS που δίνεται ως εξής

$$V_{D-SATN} = \frac{V_{in} - V_{TN}}{1 + \delta_n}. \quad (3.13)$$

Οι εξισώσεις ρεύματος του τρανζίστορ PMOS έχουν ως εξής

$$I_p = \beta_p \left[(V_{DD} - V_{in} - |V_{TP}|)(V_{DD} - V_{out}) - \frac{(1+\delta_p)}{2} (V_{DD} - V_{out})^2 \right], \quad (3.14)$$

$$V_{DD} - V_{out} \leq V_{D-SATP}, \quad \text{Γραμμική περιοχή}$$

$$I_p = \frac{\beta_p}{2(1+\delta_p)} (V_{DD} - V_{in} - |V_{TP}|)^2, \quad V_{DD} - V_{out} > V_{D-SATP}, \quad \text{Περιοχή κόρου} \quad (3.15)$$

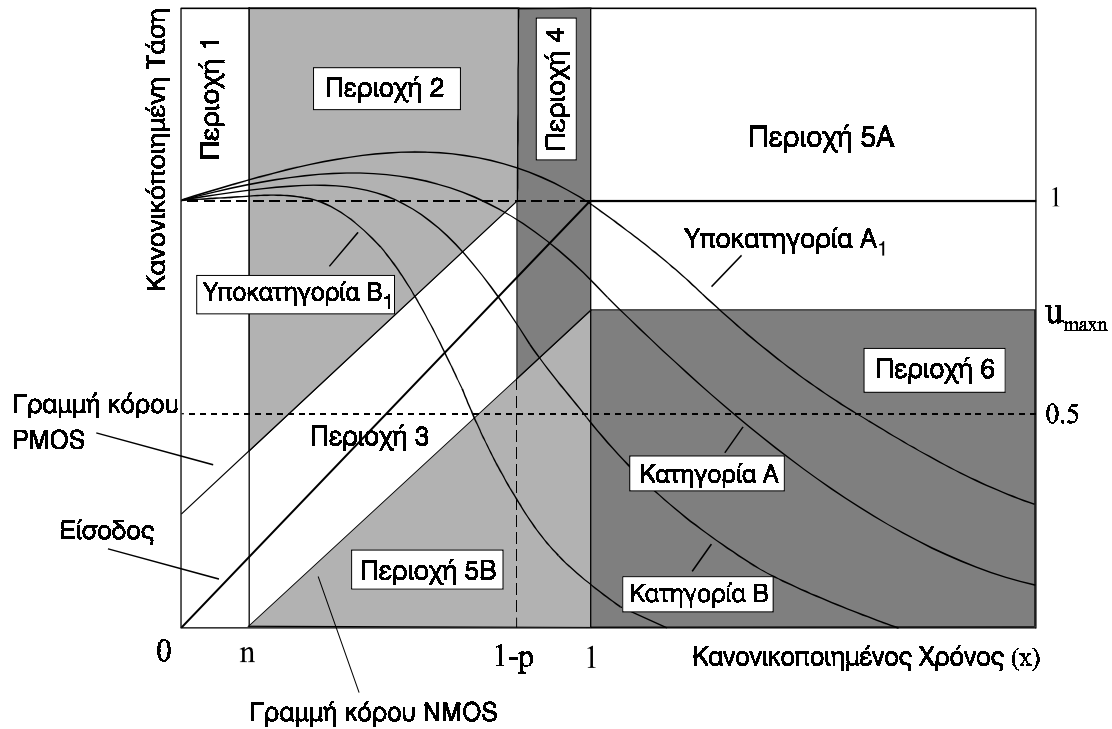
$$I_p = 0, \quad V_{in} > V_{DD} - |V_{TP}|, \quad \text{Περιοχή αποκοπής} \quad (3.16)$$

όπου β_p είναι ο συντελεστής κέρδους του τρανζίστορ PMOS, V_{TP} η τάση κατωφλίου του, και δ_p η κλίση του πρώτου όρου του αναπτύγματος Taylor της εξίσωσης φορτίου-υποστρώματος του τρανζίστορ PMOS. V_{D-SATP} είναι η τάση κόρου του τρανζίστορ PMOS που δίνεται ως εξής

$$V_{D-SATP} = \frac{V_{DD} - V_{in} - |V_{TP}|}{1 + \delta_p}. \quad (3.17)$$

Οι παραπάνω εξισώσεις είναι παρόμοιες με εκείνες του κλασικού μοντέλου νόμου του τετραγώνου [31], αλλά περιλαμβάνουν τον παράγοντα $(1 + \delta_{n(p)})$, που προσδίδει στο ρεύμα και στη τάση κόρου ακριβέστερες τιμές. Εμπειρικές σχέσεις για την εξαγωγή της τιμής του δ από τις παραμέτρους της τεχνολογίας αναφέρονται στην [32].

Για να παραχθεί μια ολοκληρωμένη ανάλυση της κυματομορφής εξόδου του



Σχήμα 3.2: Περιοχές λειτουργίας του αντιστροφέα

αντιστροφέα, είναι αναγκαίο να εξεταστούν κάποιες διαφορετικές κατηγορίες εισόδων (Σχήμα 3.2). Επειδή, η γραμμική είσοδος του αντιστροφέα μπορεί να φτάσει στην τελική της τιμή με το τρανζίστορ NMOS να είναι στην περιοχή κόρου ή στη γραμμική περιοχή, πρέπει να εξεταστούν δύο κύριες κατηγορίες. Στην πρώτη κατηγορία (A), το τρανζίστορ NMOS βρίσκεται στην περιοχή κόρου όταν η είσοδος φτάσει στην τελική της τιμή. Η κατηγορία αυτή περιλαμβάνει τις περιπτώσεις όπου η είσοδος του αντιστροφέα είναι πιο γρήγορη από την έξοδό του (παρουσιάζει μεγαλύτερη κλίση) και χαρακτηρίζεται ως *κατηγορία γρήγορων εισόδων*. Στη δεύτερη κατηγορία (B), το τρανζίστορ NMOS έχει εισέλθει στη γραμμική περιοχή λειτουργίας όταν η είσοδος φτάνει την τελική της τιμή. Αντίθετα με την κατηγορία A, η κατηγορία αυτή περιλαμβάνει τις περιπτώσεις όπου η κλίση της εισόδου είναι μικρότερη από εκείνη της εξόδου και χαρακτηρίζεται ως *κατηγορία αργών εισόδων*. Εκτός από τις δύο παραπάνω κύριες κατηγορίες εισόδων προκύπτουν και δύο υποκατηγορίες (Σχήμα 3.2). Η *υποκατηγορία πολύ γρήγορων εισόδων* (A_1) που περιλαμβάνει τις περιπτώσεις όπου το τρανζίστορ PMOS αποκόπτεται όταν αφήνει τη γραμμική περιοχή λειτουργίας του, χωρίς να εισαχθεί στην περιοχή κόρου. Τέλος, η *υποκατηγορία πολύ αργών εισόδων* (B_1) περιλαμβάνει τις περιπτώσεις όπου το τρανζίστορ PMOS αποκόπτεται ενώ το NMOS έχει ήδη εισέλθει στη γραμμική περιοχή λειτουργίας.

Στο Σχήμα 3.2, φαίνονται επίσης οι περιοχές λειτουργίας του αντιστροφέα. Ο διαχωρισμός των περιοχών αυτών έγινε με βάση τις περιοχές λειτουργίας των δύο τρανζίστορ, αλλά και με βάση την κατάσταση της κυματομορφής εισόδου (μεταβαλλόμενη ή σταθερή στην τελική της τιμή). Στη συνέχεια της ανάλυσης χρησιμοποιείται η μεταβλητή $x = t / \tau$ και οι τάσεις κανονικοποιούνται ως προς την τάση τροφοδοσίας V_{DD} , δηλαδή: $u_{in} = V_{in} / V_{DD}$, $u_{out} = V_{out} / V_{DD}$, $n = V_{TN} / V_{DD}$, $p = |V_{TP}| / V_{DD}$. Ακολουθεί η εξαγωγή των εκφράσεων της κυματομορφής εξόδου του αντιστροφέα σε όλες τις περιοχές λειτουργίας του και για κάθε κατηγορία εισόδων.

Κατηγορία Α – Γρήγορες εισοδοί

Όπως αναφέρθηκε παραπάνω, η κατηγορία αυτή περιλαμβάνει τις περιπτώσεις εισόδων όπου το τρανζίστορ NMOS βρίσκεται στην περιοχή κόρου όταν η είσοδος φτάσει στην τελική της τιμή (Σχήμα 3.2).

Περιοχή 1, $0 \leq x \leq n$:

Το τρανζίστορ NMOS δεν άγει (περιοχή αποκοπής) και το τρανζίστορ PMOS βρίσκεται στην γραμμική περιοχή λειτουργίας. Ο πρώτος όρος του δεξιού μέλους της εξίσωσης (3.9) στην περίπτωση όπου $0 \leq t \leq \tau$, αντιστοιχεί στο ρεύμα φόρτισης διαμέσου της χωρητικότητας σύζευξης (C_M), το οποίο προκαλεί τη σημαντικότερη επίδραση σε αυτήν την περιοχή λειτουργίας. Μέρος του φορτίου που προέρχεται από την είσοδο διαμέσου της χωρητικότητας σύζευξης ωθεί την τάση εξόδου να υπερβεί την τιμή της τάσης τροφοδοσίας (Σχήμα 3.2). Στη διάρκεια αυτής της υπέρβασης το τρανζίστορ PMOS τείνει να θέσει τον κόμβο εξόδου στην τάση τροφοδοσίας, με αποτέλεσμα να βοηθά την εκφόρτισή του.

Η διαφορική εξίσωση (3.9) χρησιμοποιώντας τις εξισώσεις ρεύματος (3.10) και (3.14), καταλήγει σε μια μη γραμμική μορφή που ονομάζεται εξίσωση Riccati [163]. Η εξίσωση αυτή δεν μπορεί να λυθεί αναλυτικά εάν δεν είναι γνωστή μια τουλάχιστον μερική της λύση. Έτσι, η λύση της παράγεται με μια εναλλακτική μέθοδο που βασίζεται σε αναπτύγματα σειρών [230],[236]. Κατά τη μέθοδο αυτή υποθέτουμε ότι η λύση της διαφορικής εξίσωσης υπάρχει και μάλιστα αναπτύσσεται σε σειρά. Το άθροισμα πεπερασμένου αριθμού όρων της σειράς αυτής θα είναι κατά προσέγγιση ίσο με τη ζητούμενη λύση. Για να προσδιορίσουμε τους συντελεστές της σειράς-λύσης, την αντικαθιστούμε στη δεδομένη διαφορική εξίσωση και εξισώνουμε τους συντελεστές των ίδιων δυνάμεων στα δύο μέλη της ταυτότητας που προκύπτει. Χρησιμοποιώντας

την παραπάνω μέθοδο, η λύση της διαφορικής εξίσωσης (3.9) στην περιοχή 1 δίνεται από την παρακάτω αναδρομική σχέση

$$u_{out} = 1 - \sum_{k=1}^{\infty} f_k x^k, \quad (3.18)$$

όπου
$$f_1 = -c_m, \quad f_2 = -\frac{A_p}{2} (1-p) f_1,$$

$$f_k = \frac{A_p}{k} \left\{ [f_{k-2} - (1-p)f_{k-1}] + \frac{(1+\delta_p)}{2} \sum_{i=1}^{k-2} f_i f_{k-i-1} \right\} \text{ για } k > 2 \text{ και } A_p = \frac{\beta_p V_{DD} \tau}{C_L + C_M}.$$

Ένα ικανοποιητικό όριο από άποψη ακρίβειας για την περικοπή της παραπάνω σειράς είναι η χρήση των οκτώ πρώτων όρων.

Περιοχή 2, $n \leq x \leq x_{satp}$:

Το τρανζίστορ NMOS βρίσκεται στην περιοχή κόρου και το τρανζίστορ PMOS στην γραμμική περιοχή λειτουργίας. Λόγω της επίδρασης του ρεύματος φόρτισης διαμέσου της χωρητικότητας σύζευξης (C_M), η υπέρβαση της τάσης εξόδου πάνω από την τάση τροφοδοσίας επεκτείνεται και στην περιοχή αυτή (Σχήμα 3.2). Όπως στην περιοχή 1, κατά τη διάρκεια της υπέρβασης το τρανζίστορ PMOS τείνει να θέσει τον κόμβο εξόδου στην τάση τροφοδοσίας, με αποτέλεσμα να συνεχίζει να βοηθά την εκφόρτισή του. Η υπέρβαση της τάσης του κόμβου εξόδου τελειώνει όμως στην περιοχή αυτή, λόγω της επίδρασης του ρεύματος του τρανζίστορ NMOS μέσω του οποίου ξεκινάει η εκφόρτιση του κόμβου εξόδου προς τη γείωση. Μετά λοιπόν το τέλος της υπέρβασης το τρανζίστορ PMOS αντιδρά στην εκφόρτιση του κόμβου εξόδου, προσδίδοντας επιπλέον καθυστέρηση στον αντιστροφέα.

Το δεξί όριο της περιοχής 2 είναι η τιμή του κανονικοποιημένου χρόνου (x_{satp}) όπου το τρανζίστορ PMOS εισέρχεται στην περιοχή κόρου, δηλαδή είναι το σημείο όπου: $V_{DD} - V_{out} = V_{D-SATP}$. Η τιμή αυτή καθορίζεται από τη συνθήκη κόρου του τρανζίστορ PMOS ως εξής

$$u_{satp} = 1 - \frac{1 - x_{satp} - p}{1 + \delta_p}, \quad (3.19)$$

όπου u_{satp} είναι η τιμή της κανονικοποιημένης τάσης εξόδου όταν το τρανζίστορ PMOS εισέρχεται στην περιοχή κόρου. Όπως στην περιοχή 1, η διαφορική εξίσωση (3.9) χρησιμοποιώντας τις εξισώσεις ρεύματος (3.11) και (3.14) καταλήγει σε μια εξίσωση Riccati [163]. Στην περίπτωση αυτή με τη μέθοδο αναπτύγματος σειράς που

χρησιμοποιήθηκε και στην περιοχή 1 παράγεται η παρακάτω αναδρομική σχέση

$$u_{out} = u_{12} + 1 - \sum_{k=1}^{\infty} g_k (x-n)^k, \quad (3.20)$$

όπου:

$$g_1 = -c_m, \quad g_2 = -\frac{A_p}{2}(1-p-n), \quad g_3 = \frac{A_n}{6(1+\delta_n)} + \frac{A_p}{3} \left[g_1 - (1-p-n)g_2 + \frac{(1+\delta_p)}{2} g_1^2 \right],$$

$$g_k = \frac{A_p}{k} \left\{ [g_{k-2} - (1-p-n)g_{k-1}] + \frac{(1+\delta_p)}{2} \sum_{i=1}^{k-2} g_i g_{k-i-1} \right\} \text{ για } k > 3, \text{ και } A_n = \frac{\beta_n V_{DD} \tau}{C_L + C_M}.$$

u_{12} είναι η σταθερά ολοκλήρωσης που εισάγεται για την εξασφάλιση της συνέχειας σε σχέση με την περιοχή 1 και υπολογίζεται από την παρακάτω σχέση

$$u_{12} = - \sum_{k=1}^{\infty} f_k n^k. \quad (3.21)$$

Ένα ικανοποιητικό όριο για την περικοπή της παραπάνω σειράς είναι η χρήση των δέκα πρώτων όρων. Ο δεύτερος όρος του συντελεστή g_3 καθώς και ο δεύτερος όρος στα άγκιστρα (για $k > 3$) αντιστοιχεί στην επίδραση του τετραγωνικού όρου της εξίσωσης ρεύματος του τρανζίστορ PMOS. Μια παρόμοια λύση με χρήση αναπτύγματος σειράς δίνεται στην [36], όπου όμως η επίδραση του όρου αυτού παραλείπεται. Στην ίδια επίδραση αντιστοιχεί και ο δεύτερος όρος στα άγκιστρα της εξίσωσης υπολογισμού του συντελεστή f_k στην περιοχή 1. Η μέθοδος λύσης της εξίσωσης Riccati με τη χρήση αναπτύγματος σειράς έχει χρησιμοποιηθεί και στην [129], όπου δεν συμπεριλαμβάνεται η επίδραση της χωρητικότητας σύζευξης και δίνονται μονάχα οι πέντε πρώτοι όροι της σειράς χωρίς να παράγεται αναδρομική σχέση για τον υπολογισμό των υπολοίπων. Στην ανάλυση της τάσης εξόδου του υποκυκλώματος της [162] που χρησιμοποιείται στο εργαλείο γρήγορης χρονικής εξομοίωσης ILLIADS [17], δίνεται μια λύση της εξίσωσης Riccati η οποία προκύπτει από δύο μερικές λύσεις. Η υπολογιστική πολυπλοκότητα της ανάλυσης αυτής είναι αυξημένη αφού απαιτείται αρχικά ο καθορισμός των μερικών λύσεων. Επιπλέον, λόγω της σύνθετης μορφής της λύσης που προκύπτει, χρησιμοποιούνται αριθμητικές μέθοδοι για τον καθορισμό των ορίων των περιοχών, κάτι που αποφεύγεται στην παρούσα ανάλυση. Η επίδραση της χωρητικότητας σύζευξης δεν υλοποιείται στην παραπάνω τεχνική γρήγορης χρονικής εξομοίωσης. Όπως θα δειχθεί παρακάτω στο κεφάλαιο αυτό, οι κυματομορφές της τάσης εξόδου του αντιστροφέα που προκύπτουν με χρήση των α-

ναπτυγμάτων σειρών που προτείνονται για τις περιοχές 1 και 2, είναι πολύ κοντά στις κυματομορφές που παράγονται από κυκλωματική εξομοίωση με το SPICE.

Όπως φαίνεται στο Σχήμα 3.2, στο σημείο αυτό της ανάλυσης θα πρέπει να γίνει και ο διαχωρισμός μεταξύ της κατηγορίας γρήγορων εισόδων (A) και της υποκατηγορίας πολύ γρήγορων εισόδων (A_1). Στην υποκατηγορία A_1 , το τρανζίστορ PMOS αποκόπτεται μετά την γραμμική περιοχή λειτουργίας χωρίς να εισαχθεί στην περιοχή κόρου. Δηλαδή, ο αντιστροφέας δεν διέρχεται από την περιοχή 3, αλλά εισάγεται απευθείας στην περιοχή 4. Το δεξί όριο της περιοχής 2 για την υποπερίπτωση A_1 είναι το σημείο όπου το PMOS αποκόπτεται ($x = 1-p$). Πριν λοιπόν περάσουμε στην ανάλυση της κυματομορφής εξόδου του αντιστροφέα για την περιοχή 3, πρέπει να υπολογιστεί η τιμή της κανονικοποιημένης τάσης εξόδου από την σχέση (3.20) για $x = 1-p$. Εάν η τιμή αυτή είναι μεγαλύτερη ή ίση από 1 τότε η περίπτωση που αναλύεται υπόκειται στην υποκατηγορία A_1 και συνεχίζουμε με την περιοχή 4. Σε αντίθετη περίπτωση συνεχίζουμε με την ανάλυση της εξόδου στην περιοχή 3, που δίνεται παρακάτω.

Περιοχή 3, $x_{satp} \leq x \leq 1-p$:

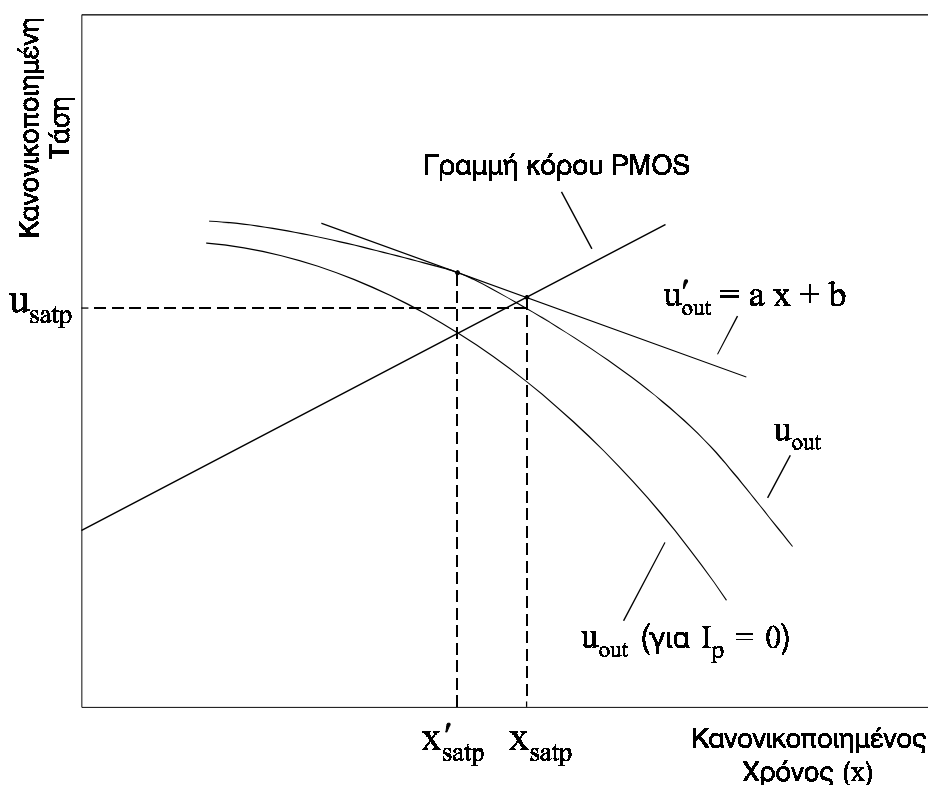
Στην περιοχή αυτή, και τα δύο τρανζίστορ λειτουργούν στην περιοχή κόρου. Η διαφορική εξίσωση που προκύπτει από την εξίσωση (3.9) χρησιμοποιώντας τις εξισώσεις ρεύματος (3.11) και (3.15) λύνεται αναλυτικά και παράγεται η παρακάτω έκφραση για την κυματομορφή της τάσης εξόδου του αντιστροφέα

$$u_{out} = u_{23} + c_m x - \frac{A_n}{6(1+\delta_n)}(x-n)^3 - \frac{A_p}{6(1+\delta_p)}(1-x-p)^3. \quad (3.22)$$

όπου

$$u_{23} = u_{satp} - c_m x_{satp} + \frac{A_n}{6(1+\delta_n)}(x_{satp}-n)^3 + \frac{A_p}{6(1+\delta_p)}(1-x_{satp}-p)^3, \quad (3.23)$$

όπου u_{23} είναι η σταθερά ολοκλήρωσης που εισάγεται για την εξασφάλιση της συνέχειας ως προς την περιοχή 2. Στη συνέχεια πρέπει να υπολογιστούν οι οριακές κανονικοποιημένες τιμές τάσης και χρόνου (x_{satp} , u_{satp}) της περιοχής 2. Όπως αναφέρθηκε παραπάνω οι τιμές αυτές ικανοποιούν τη συνθήκη κόρου του τρανζίστορ PMOS (εξίσωση (3.19)) και θα έπρεπε να υπολογιστούν λύνοντας το σύστημα των εξισώσεων (3.19) και (3.20). Επειδή ο βαθμός της εξίσωσης (3.20) είναι μεγάλος, το σύστημα αυτό δεν μπορεί να λυθεί αναλυτικά. Έτσι, στη συνέχεια προτείνεται μια αποδοτική



Σχήμα 3.3: Υπολογισμός του κανονικοποιημένου χρονικού σημείου x_{satp}

μέθοδος για τον υπολογισμό των x_{satp} , u_{satp} η οποία αναπαριστάται στο Σχήμα 3.3.

Η αναλυτική λύση της διαφορικής εξίσωσης (3.9) στην περιοχή 2 με τη θεώρηση ότι το ρεύμα του τρανζίστορ PMOS είναι μηδενικό, δίνεται ως εξής

$$u_{out} = u'_{12} + c_m x - \frac{A_n}{6(1 + \delta_n)} (x - n)^3, \quad (3.24)$$

όπου $u'_{12} = 1 - c_m n - \sum_{k=1}^{\infty} f_k n^k$.

Λύνοντας το σύστημα των εξισώσεων (3.19) και (3.24) υπολογίζεται η τιμή του κανονικοποιημένου χρόνου x'_{satp} , όπου ο αντιστροφέας εισάγεται στην περιοχή 3 με τη θεώρηση μηδενικού ρεύματος PMOS, ως η λύση μιας εξίσωσης τρίτου βαθμού που ανήκει στο διάστημα $[n, 1-p]$. Το επόμενο βήμα της μεθόδου είναι ο καθορισμός της εφαπτομένης στην κυματομορφή εξόδου που εκφράζεται από την εξίσωση (3.20) στο σημείο x'_{satp} . Η εφαπτομένη αυτή δίνεται από την εξίσωση

$$u'_{out} = a x + b, \quad (3.25)$$

όπου $a = \left. \frac{du_{out}}{dx} \right|_{x=x'_{satp}} = - \sum_{k=1}^{\infty} k g_k (x'_{satp} - n)^{k-1}$,

$$\text{και} \quad b = 1 + u_{12} - a x'_{\text{satp}} - \sum_{k=1}^{\infty} g_k (x'_{\text{satp}} - n)^k.$$

Έτσι, λύνοντας το σύστημα των εξισώσεων (3.19) και (3.25) προκύπτει μια ακριβής προσέγγιση της τιμής x_{satp}

$$x_{\text{satp}} = \frac{(1 + \delta_p)b - \delta_p - p}{1 - a(1 + \delta_p)}. \quad (3.26)$$

Ο υπολογισμός της τιμής u_{satp} επιτυγχάνεται με την αντικατάσταση του x_{satp} στην εξίσωση (3.20). Το σφάλμα που εισάγεται στον υπολογισμό του x_{satp} από την παραπάνω μέθοδο είναι μικρότερο από 0.3 %.

Περιοχή 4, $1 - p \leq x \leq 1$:

Το τρανζίστορ NMOS συνεχίζει να λειτουργεί στην περιοχή κόρου, ενώ το τρανζίστορ PMOS αποκόπτεται. Η αναλυτική λύση της διαφορικής εξίσωσης (3.9) στην περιοχή αυτή έχει ως εξής

$$u_{\text{out}} = u_{23} + c_m x - \frac{A_n}{6(1 + \delta_n)} (x - n)^3. \quad (3.27)$$

Για την υποκατηγορία A_1 , η σταθερά ολοκλήρωσης u_{23} θα πρέπει να αντικατασταθεί από τη σταθερά ολοκλήρωσης u_{24} η οποία υπολογίζεται από την παρακάτω σχέση

$$u_{24} = u_{[1-p]} - c_m(1 - p) + \frac{A_n}{6(1 + \delta_n)} (1 - p - n)^3, \quad (3.28)$$

όπου $u_{[1-p]}$ είναι η τιμή της κανονικοποιημένης τάσης εξόδου όταν το τρανζίστορ PMOS αποκόπτεται και προκύπτει από την εξίσωση (3.20) για $x = 1 - p$.

Περιοχή 5A, $1 \leq x \leq x_{\text{satn}}$:

Η τάση εισόδου έχει φτάσει στην τελική της τιμή, με το τρανζίστορ NMOS στην περιοχή κόρου και το PMOS στην αποκοπή. x_{satn} είναι η τιμή του κανονικοποιημένου χρόνου όπου το τρανζίστορ NMOS εξέρχεται από την περιοχή κόρου, δηλαδή το σημείο όπου $V_{\text{out}} = V_{D\text{-SATN}}$. Η αναλυτική λύση της διαφορικής εξίσωσης (3.9) (για $t > \tau$), έχει ως εξής

$$u_{\text{out}} = u_{23} + c_m - \frac{A_n(1 - n)^3}{6(1 + \delta_n)} - \frac{A_n(1 - n)^2}{2(1 + \delta_n)} (x - 1). \quad (3.29)$$

Όπως και στην προηγούμενη περιοχή, η σταθερά ολοκλήρωσης u_{23} πρέπει να αντικατασταθεί από την u_{24} , όταν πρόκειται για περιπτώσεις εισόδων που υπόκεινται στην υποκατηγορία πολύ γρήγορων εισόδων (A_1).

Περιοχή 6, $x \geq x_{satn}$:

Το τρανζίστορ NMOS εισέρχεται στην γραμμική περιοχή και το τρανζίστορ PMOS παραμένει στην περιοχή αποκοπής. Η αναλυτική λύση της εξίσωσης (3.9), δίνεται από την παρακάτω σχέση

$$u_{out} = \frac{2 u_{maxn}}{1 + e^{A_n (x - x_{satn})(1-n)}} , \quad (3.30)$$

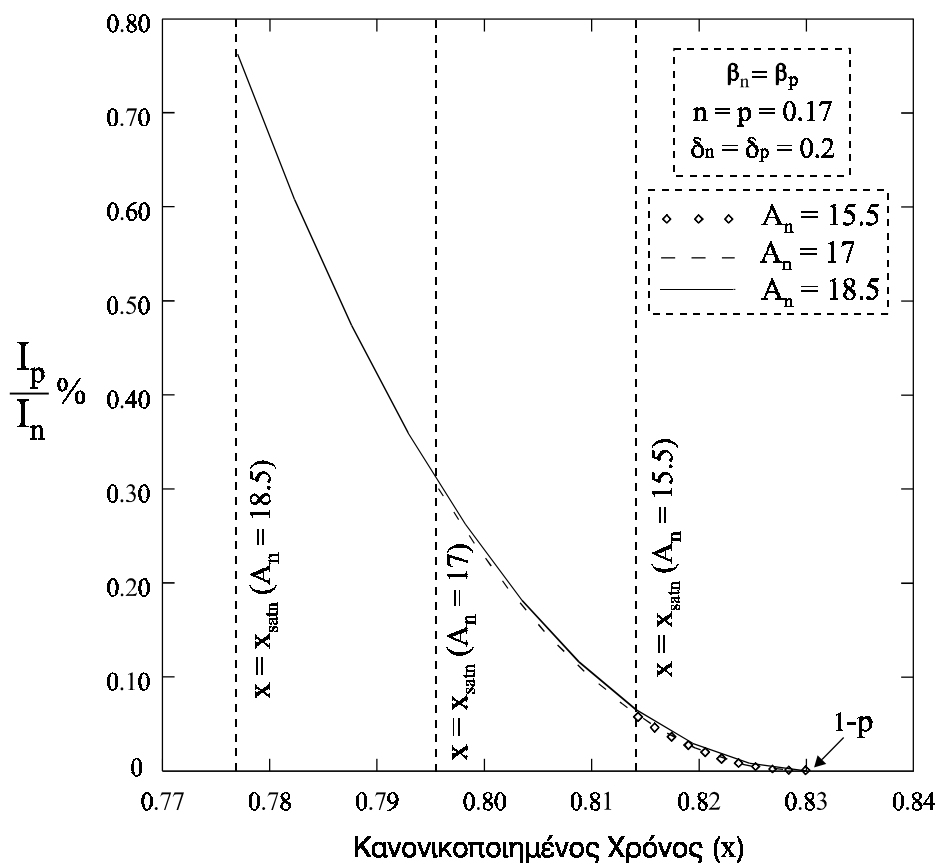
όπου $u_{maxn} = (1 - n) / (1 + \delta_n)$ (βλ. Σχήμα 3.2) και το όριο x_{satn} υπολογίζεται από την εξίσωση πρώτου βαθμού (3.29) για $u_{out} = u_{maxn}$.

Κατηγορία B – Αργές εισόδους

Η κατηγορία αυτή περιλαμβάνει τις περιπτώσεις εισόδων όπου το τρανζίστορ NMOS εισέρχεται στη γραμμική περιοχή κατά τη διάρκεια της μετάβασης της εισόδου (Σχήμα 3.2). Ο διαχωρισμός της κατηγορίας αυτής από την προηγούμενη μπορεί να γίνει εάν υπολογιστεί η u_{out} για $x = 1$ από την εξίσωση (3.27) της τέταρτης περιοχής λειτουργίας του αντιστροφέα. Όπως μπορεί να φανεί και στο Σχήμα 3.2, αν η τιμή αυτή είναι μεγαλύτερη από την u_{maxn} τότε πρόκειται για περίπτωση εισόδου που ανήκει στην *κατηγορία A*, ενώ αν είναι μικρότερη πρόκειται για είσοδο που πρέπει να αναλυθεί με βάση την *κατηγορία B*. Οι εκφράσεις της κυματομορφής της τάσης εξόδου του αντιστροφέα για την *κατηγορία B* στις περιοχές 1, 2, 3 και 4 είναι ίδιες με εκείνες της *κατηγορίας A*. Ωστόσο, το δεξί όριο της περιοχής 4 στην κατηγορία αυτή είναι η τιμή x_{satn} όπου το τρανζίστορ NMOS αφήνει την περιοχή κόρου. Η τιμή αυτή υπολογίζεται από την εξίσωση (3.27) για $u_{out} = (x - n) / (1 + \delta_n)$. Όπως φαίνεται στο Σχήμα 3.2, υπάρχουν και οι περιπτώσεις εισόδων όπου το τρανζίστορ PMOS αποκόπτεται ενώ το NMOS είναι ήδη στη γραμμική περιοχή λειτουργίας. Οι περιπτώσεις αυτές αποτελούν την *υποκατηγορία πολύ αργών εισόδων (B₁)*, όπου ο αντιστροφέας δεν διέρχεται από την περιοχή 4, αλλά περνάει απευθείας από την περιοχή 3 στην περιοχή 5B. Έτσι, στην *υποκατηγορία B₁* το δεξί όριο της περιοχής 3 είναι η τιμή x_{satn} που υπολογίζεται από την εξίσωση (3.22) για $u_{out} = (x - n) / (1 + \delta_n)$. Για να γίνει διάκριση μεταξύ της *κατηγορίας B* και της *υποκατηγορίας B₁* πρέπει στην περιοχή 3 να υπολογιστεί η τιμή της κανονικοποιημένης τάσης εξόδου για $x = 1 - p$. Εάν η τιμή αυτή είναι μεγαλύτερη από την τιμή $(1 - p - n) / (1 + \delta_n)$ τότε πρόκειται για περίπτωση εισόδου που ανήκει στην *κατηγορία B*, ενώ αν είναι μικρότερη πρόκειται για είσοδο που ανήκει στην *υποκατηγορία B₁*.

Περιοχή 5B, $x_{satn} \leq x \leq 1$:

Το τρανζίστορ NMOS λειτουργεί στη γραμμική περιοχή σε όλη την έκταση της περιοχής αυτής. Το τρανζίστορ PMOS είναι αποκομμένο στο διάστημα $1-p \leq x \leq 1$, αλλά λειτουργεί στην περιοχή κόρου στο διάστημα $x_{satn} \leq x \leq 1-p$. Ωστόσο, στο δεύτερο αυτό διάστημα η επίδραση του ρεύματος του τρανζίστορ PMOS στη κυματομορφή της τάσης εξόδου είναι κατά πολύ μικρότερη από την επίδραση του ρεύματος του τρανζίστορ NMOS, με αποτέλεσμα να μπορεί να θεωρηθεί αμελητέα. Στο Σχήμα 3.4 φαίνεται ότι για περιπτώσεις εισόδων που ανήκουν στην υποκατηγορία B_1 το ρεύμα του τρανζίστορ PMOS στο διάστημα $x_{satn} \leq x \leq 1-p$ είναι μικρότερο από το 1% του ρεύματος του τρανζίστορ NMOS. Η μεγάλη διαφορά στις δύο επιδράσεις οφείλεται όχι μόνο στο γεγονός ότι στο διάστημα αυτό το ρεύμα του τρανζίστορ PMOS είναι αρκετά μικρό, αλλά και στο ότι το ρεύμα του τρανζίστορ NMOS φτάνει στη μέγιστη τιμή του στο σημείο x_{satn} . Για να δοθεί αναλυτική λύση στη διαφορική εξίσωση που προκύπτει στην περιοχή αυτή από την εξίσωση (3.9), το ρεύμα διαμέσου της χωρητικότητας σύζευξης θεωρείται αμελητέο. Έτσι, προκύπτει η παρακάτω εξίσωση



Σχήμα 3.4: Σύγκριση ρευμάτων των δύο τρανζίστορ στο διάστημα $x_{satn} \leq x \leq 1-p$

$$u_{out} = \frac{1}{(1 + \delta_n) \sqrt{\frac{A_n}{2}} e^{y^2} \left[\frac{1}{y_{satn} e^{y_{satn}^2}} - \frac{\sqrt{\pi}}{2} (\text{erf}[y] - \text{erf}[y_{satn}]) \right]}, \quad (3.31)$$

όπου $y = \sqrt{\frac{A_n}{2}}(x - n)$ και $y_{satn} = \sqrt{\frac{A_n}{2}}(x_{satn} - n)$.

$\text{erf}[y]$ και $\text{erf}[y_{satn}]$ είναι οι συναρτήσεις σφάλματος των y και y_{satn} , αντίστοιχα. Τυπικοί τρόποι υπολογισμού της συνάρτησης σφάλματος υπάρχουν στα περισσότερα μαθηματικά τυπολόγια [237].

Περιοχή 6, $x \geq 1$:

Η κυματομορφή της τάσης εισόδου έχει φτάσει στην τελική της τιμή, το τρανζίστορ NMOS λειτουργεί ακόμη στη γραμμική του περιοχή και το τρανζίστορ PMOS είναι στην περιοχή αποκοπής. Η αναλυτική λύση της διαφορικής εξίσωσης (3.9) στην περιοχή αυτή έχει ως εξής

$$u_{out} = \frac{2 u_{maxn}}{1 + \frac{2 u_{maxn} - u_{[1]}}{u_{[1]}} e^{A_n (x-1)(1-n)}}, \quad (3.32)$$

όπου $u_{[1]}$ είναι η τιμή της κανονικοποιημένης τάσης εξόδου όταν η είσοδος φτάνει στην τελική της τιμή και υπολογίζεται αν θέσουμε $x = 1$ στην εξίσωση (3.31).

Στη επόμενη παράγραφο παράγονται αναλυτικές εκφράσεις υπολογισμού της καθυστέρησης του αντιστροφέα CMOS, οι οποίες καλύπτουν όλες τις περιπτώσεις κλίσεων της κυματομορφής εισόδου. Η παραγωγή των εκφράσεων αυτών βασίζεται στην ανάλυση της κυματομορφής της τάσης εξόδου του αντιστροφέα που παρουσιάστηκε παραπάνω.

3.2.2 Υπολογισμός της καθυστέρησης του αντιστροφέα

Στους περισσότερους εξομοιωτές σε επίπεδο διακόπτη και σε επίπεδο πύλης, χρησιμοποιείται ως επίπεδο τάσης για τη μέτρηση της καθυστέρησης το μισό του εύρους της τάσης τροφοδοσίας. Έτσι, η καθυστέρηση του αντιστροφέα CMOS για κατερχόμενη έξοδο ορίζεται ως εξής

$$t_{DHL} = t_{0.5} - \frac{\tau}{2} = x_{0.5} \tau - \frac{\tau}{2}, \quad (3.33)$$

όπου $x_{0.5}$ είναι η τιμή του κανονικοποιημένου χρόνου όταν $u_{out} = 0.5$. Οπότε, για να

υπολογιστεί η καθυστέρηση διάδοσης (propagation delay), θα πρέπει να υπολογιστεί η τιμή $x_{0.5}$ για όλες τις κατηγορίες κυματομορφών εισόδου (Σχήμα 3.2).

Στην κατηγορία γρήγορων εισόδων (A), αλλά και στην υποκατηγορία πολύ γρήγορων εισόδων (A₁) η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5 όταν ο αντιστροφέας λειτουργεί στην περιοχή 6. Έτσι, η τιμή $x_{0.5}$ υπολογίζεται από την εξίσωση (3.30) για $u_{out} = 0.5$

$$x_{0.5} = x_{satn} + \frac{\ln[4u_{maxn} - 1]}{A_n(1-n)}. \quad (3.34)$$

Στην κατηγορία αργών εισόδων (B) υπάρχουν δύο ενδεχόμενα για την περιοχή λειτουργίας στην οποία η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5. Εάν $u_{[1]} \geq 0.5$ αυτό συμβαίνει στην περιοχή 6, ενώ εάν $u_{[1]} \leq 0.5$ συμβαίνει στη περιοχή 5B. Στην πρώτη περίπτωση η τιμή $x_{0.5}$ υπολογίζεται από την εξίσωση (3.32)

$$x_{0.5} = 1 + \frac{\ln\left[\frac{(4u_{maxn} - 1)u_{[1]}}{2u_{maxn} - u_{[1]}}\right]}{A_n(1-n)}. \quad (3.35)$$

Στη δεύτερη περίπτωση, επειδή η έκφραση της κυματομορφής εξόδου του αντιστροφέα στην περιοχή 5B δεν μπορεί να λυθεί αναλυτικά χρησιμοποιείται μια γραμμική προσέγγιση της κυματομορφής της κανονικοποιημένης τάσης εξόδου στην περιοχή του 0.5. Έτσι, η τιμή $x_{0.5}$ δίνεται από την παρακάτω σχέση

$$x_{0.5} = x_{satn} + \frac{0.5 - [(x_{satn} - n)/(1 + \delta_n)]}{d} \quad (3.36)$$

όπου d είναι η κλίση της κυματομορφής της κανονικοποιημένης εξόδου στην περιοχή του 0.5, η οποία προκύπτει από τη διαφορική εξίσωση (3.9) όπως αυτή διαμορφώνεται στην περιοχή 5B

$$d = \left. \frac{du_{out}}{dx} \right|_{x=x_{satn}} = c_m - \frac{A_n(x_{satn} - n)^2}{2(1 + \delta_n)}. \quad (3.37)$$

Στην υποκατηγορία πολύ αργών εισόδων (B₁), υπάρχουν επίσης δύο ενδεχόμενα για την περιοχή λειτουργίας στην οποία η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5. Εάν η τιμή της κανονικοποιημένης τάσης εξόδου στο σημείο x_{satn} ($(x_{satn} - n)/(1 + \delta_n)$) είναι μεγαλύτερη από 0.5 τότε η καθυστέρηση δίνεται από την εξίσωση (3.36). Εάν είναι μικρότερη τότε η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5 στην περιοχή 3 και η τιμή $x_{0.5}$ υπολογίζεται από την (3.22) για $u_{out} = 0.5$

$$x_{0.5} = 2\sqrt{Q} \cos \left[\frac{\theta + r \pi}{3} \right] - \frac{k_1}{3}, \quad (3.38)$$

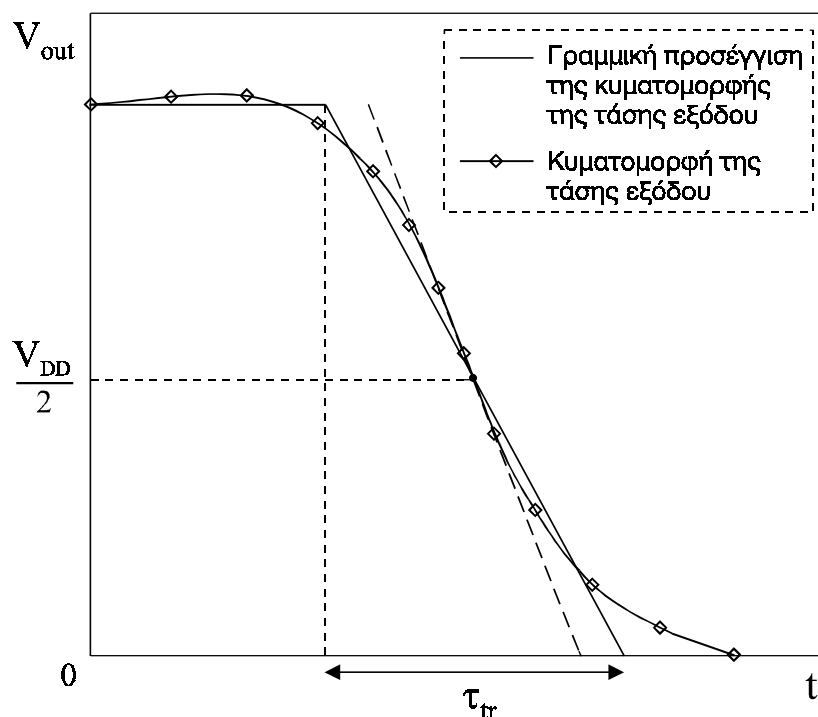
$$\text{όπου } Q = \frac{k_1^2 - 3k_3}{9}, \quad \theta = \cos^{-1} \left[\frac{R}{\sqrt{Q^3}} \right], \quad R = \frac{9k_1k_2 - 27k_3 - 2k_1^3}{54}, \quad k_1 = \frac{3[nB_n - (1-p)B_p]}{B_p - B_n},$$

$$k_2 = \frac{3[(1-p)^2 B_p - n^2 B_n + c_m]}{B_p - B_n}, \quad k_3 = \frac{u_{23} + n^3 B_n - (1-p)^3 B_p - 0.5}{B_p - B_n}, \quad B_n = \frac{A_n}{6(1+\delta_n)}, \quad B_p = \frac{A_p}{6(1+\delta_p)}.$$

Ο συντελεστής r λαμβάνει την τιμή 0 εάν $B_n > B_p$ και την τιμή 4 εάν $B_n < B_p$. Στην περίπτωση όπου $A_n = A_p$ και $\delta_n = \delta_p$, ο υπολογισμός της τιμής $x_{0.5}$ ανάγεται στη λύση μιας απλής δευτεροβάθμιας εξίσωσης.

3.2.3 Υπολογισμός του ενεργού χρόνου μετάβασης εξόδου

Κατά την ανάλυση της κυματομορφής της τάσης εξόδου του αντιστροφέα και για τον υπολογισμό της καθυστέρησης του, χρησιμοποιήθηκε ως είσοδος μια γραμμική συνάρτηση του χρόνου (εξίσωση (3.7)). Ωστόσο, σε πραγματικά κυκλώματα CMOS το σήμα εισόδου σε μια πύλη δεν είναι γραμμικό, αλλά η έξοδος μιας προηγούμενης πύλης. Για να μπορεί να εφαρμοστεί το προτεινόμενο μοντέλο σε πραγματικά κυκλώματα, απαιτείται μια προσέγγιση της πραγματικής κυματομορφής εισόδου



Σχήμα 3.5: Καθορισμός του ενεργού χρόνου μετάβασης εξόδου

με μια γραμμική κυματομορφή. Έτσι απαιτείται ο υπολογισμός του ενεργού χρόνου μετάβασης εξόδου (τ_{tr}) που θα χρησιμοποιείται ως χρόνος μετάβασης εισόδου για την πύλη που ακολουθεί. Στις [18],[134] προτείνεται μια ακριβής προσέγγιση για τον υπολογισμό του ενεργού χρόνου μετάβασης εξόδου. Σύμφωνα με την προσέγγιση αυτή, ο χρόνος μετάβασης εξόδου υπολογίζεται εάν η κλίση της κυματομορφής εξόδου προσεγγιστεί με το 70 % της παραγωγού της τάσης εξόδου στο μισό του εύρους της τάσης τροφοδοσίας (Σχήμα 3.5). Το ποσοστό αυτό, έχει προκύψει από εκτεταμένες κυκλωματικές εξομοιώσεις σε αλυσίδες αντιστροφών (inverter chains). Έτσι λοιπόν καταλήγουμε στην παρακάτω σχέση

$$\tau_{tr} = \frac{V_{DD}}{0.7 \left| \frac{dV_{out}}{dt} \right|_{t=t_{0.5}}} = \frac{\tau}{0.7|s|}, \quad (3.39)$$

όπου s είναι η κλίση της κυματομορφής της κανονικοποιημένης τάσης εξόδου στο σημείο $x_{0.5}$, η οποία δίνεται ως εξής

$$s = \left. \frac{du_{out}}{dx} \right|_{x=x_{0.5}}. \quad (3.40)$$

Οπότε, για να υπολογίσουμε τον ενεργό χρόνο μετάβασης εξόδου του αντιστροφέα θα πρέπει να υπολογιστεί η παραπάνω κλίση για όλες τις κατηγορίες κυματομορφών εισόδου, η οποία προκύπτει από τη διαφορική εξίσωση (3.9) όπως αυτή διαμορφώνεται στις περιοχές όπου η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5.

Στην *κατηγορία γρήγορων εισόδων* (A), αλλά και στην *υποκατηγορία πολύ γρήγορων εισόδων* (A₁) η κλίση s υπολογίζεται από την παρακάτω εξίσωση

$$s = \frac{A_n}{8} (4n + \delta_n - 3). \quad (3.41)$$

Στην *κατηγορία αργών εισόδων* (B) διακρίνουμε δύο περιπτώσεις. Εάν $u_{[1]} \geq 0.5$ η κλίση s υπολογίζεται από την παραπάνω εξίσωση (αφού η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5 στην περιοχή 6), ενώ εάν $u_{[1]} \leq 0.5$ υπολογίζεται από την εξίσωση (3.9) όπως αυτή διαμορφώνεται στην περιοχή 5B και δίνεται από την παρακάτω εξίσωση

$$s = c_m - \frac{A_n}{8} (4x_{0.5} - 4n + \delta_n + 1), \quad (3.42)$$

όπου η τιμή $x_{0.5}$ υπολογίζεται από την εξίσωση (3.36).

Στην *υποκατηγορία πολύ αργών εισόδων* (B₁), η κλίση s δίνεται από την εξίσωση (3.42) εάν η τιμή της κανονικοποιημένης τάσης εξόδου στο σημείο x_{satn} είναι μεγάλού-

τερη από 0.5. Αν είναι μικρότερη, η κλίση s προκύπτει από τη διαφορική εξίσωση (3.9) όπως αυτή διαμορφώνεται στην περιοχή 3

$$s = c_m - \frac{A_n}{2(1 + \delta_n)} (x_{0.5} - n)^2 + \frac{A_p}{2(1 + \delta_p)} (1 - x_{0.5} - p)^2, \quad (3.43)$$

όπου η τιμή $x_{0.5}$ υπολογίζεται από την εξίσωση (3.38).

3.2.4 Υπολογισμός της κατανάλωσης ενέργειας του αντιστροφέα

Η ενέργεια που καταναλώνεται στα στατικά κυκλώματα CMOS αποτελείται από τρεις συνιστώσες: τη στατική κατανάλωση ενέργειας [8],[22], τη δυναμική κατανάλωση ενέργειας λόγω φόρτισης και εκφόρτισης των χωρητικών φορτίων [23],[24],[25] και την κατανάλωση ενέργειας λόγω των ρευμάτων βραχυκυκλώματος (short-circuit currents) [25],[26]. Όταν τα κυκλώματα συμπληρωματικής λογικής βρίσκονται σε κατάσταση ηρεμίας (μόνιμη κατάσταση) δεν υπάρχει αγωγίμο μονοπάτι από την τροφοδοσία στη γείωση. Έτσι, η στατική κατανάλωση ενέργειας καταλαμβάνει ένα πολύ μικρό ποσοστό της συνολικής κατανάλωσης ενέργειας, αφού οφείλεται μόνο στα ρεύματα διαρροής των ανάστροφα πολωμένων παρασιτικών διόδων μεταξύ των περιοχών διάχυσης και του υποστρώματος, καθώς και στο ρεύμα της περιοχής υποκατωφλίου των τρανζίστορ [238],[239]. Βέβαια, σε εφαρμογές όπου τα κυκλώματα παραμένουν σε αδράνεια για μεγάλο χρονικό διάστημα, η στατική κατανάλωση γίνεται σημαντική, ιδιαίτερα όταν πρόκειται για τεχνολογίες υπομικρόμετρου (submicron technologies) [25]. Η σημαντικότερη συνιστώσα είναι η δυναμική κατανάλωση ενέργειας και εξαρτάται από το χωρητικό φορτίο που φορτίζεται ή εκφορτίζεται και την τάση τροφοδοσίας. Η κατανάλωση ενέργειας βραχυκυκλώματος οφείλεται στο αγωγίμο μονοπάτι που δημιουργείται μεταξύ της τροφοδοσίας και της γείωσης, κατά τη διάρκεια της μεταγωγής μιας πύλης CMOS και εξαρτάται από το χρόνο μετάβασης των εισόδων, το χωρητικό φορτίο, την τάση τροφοδοσίας και από τα εσωτερικά χαρακτηριστικά της πύλης. Στην παράγραφο αυτή θα αναλυθούν οι δύο κύριες συνιστώσες κατανάλωσης ενέργειας (δυναμική και βραχυκυκλώματος) του αντιστροφέα CMOS. Για την υπολογισμό της δυναμικής κατανάλωσης ενέργειας που είναι ευκολότερος, αφού όπως αναφέρθηκε παραπάνω εξαρτάται μόνο από το χωρητικό φορτίο και την τάση τροφοδοσίας, δίνεται στην Παράγραφο 3.2.4.1 ένα απλό μοντέλο που χρησιμοποιείται από τους περισσότερους ερευνητές [8],[25]. Στην περίπτωση ό-

μως της κατανάλωσης ενέργειας βραχυκυκλώματος, οι εξαρτήσεις είναι περισσότερες και πιο σύνθετες. Ο ακριβής υπολογισμός της, αντίθετα με τη δυναμική κατανάλωση, απαιτεί την ανάλυση της χρονικής απόκρισης του αντιστροφέα που παρουσιάστηκε στις προηγούμενες παραγράφους.

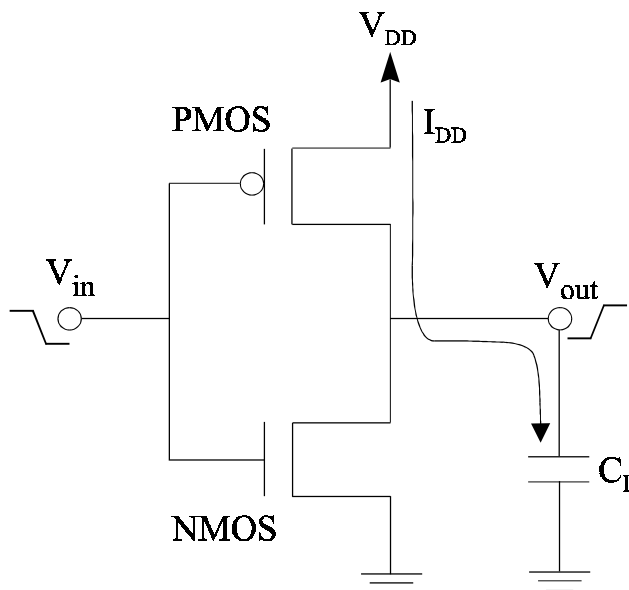
3.2.4.1 Δυναμική κατανάλωση ενέργειας

Στη συνέχεια για να υπολογιστεί η δυναμική κατανάλωση ενέργειας του αντιστροφέα CMOS χρησιμοποιείται για την χωρητικότητα εξόδου το μοντέλο της ισοδύναμης σταθερής χωρητικότητας που αναφέρθηκε στην αρχή της παραγράφου 3.2.1 και φαίνεται στο Σχήμα 3.6. Με σκοπό τον υπολογισμό της δυναμικής ενέργειας σε έναν κύκλο μεταγωγής (switching cycle) του αντιστροφέα, θεωρούμε αρχικά μια μετάβαση εξόδου από τη χαμηλή στην υψηλή στάθμη ($0 \rightarrow V_{DD}$). Κατά τη μετάβαση αυτή το ρεύμα που παρέχεται από την τροφοδοσία, αν αγνοήσουμε προς το παρόν το ρεύμα βραχυκυκλώματος, δίνεται ως εξής

$$I_{DD} = C_L \frac{dV_{out}}{dt}. \quad (3.44)$$

Έτσι, η ενέργεια που καταναλώνεται (παρέχεται από την τροφοδοσία) κατά τη μετάβαση ($0 \rightarrow V_{DD}$) της εξόδου υπολογίζεται ως εξής

$$E_D^{0 \rightarrow 1} = V_{DD} \int_0^{\tau_{tr}} I_{DD} dt = V_{DD} \int_0^{V_{DD}} C_L dV_{out} = C_L V_{DD}^2, \quad (3.45)$$



Σχήμα 3.6: Ρεύμα φόρτισης κατά την $0 \rightarrow V_{DD}$ μετάβαση εξόδου

όπου τ_{tr} είναι η διάρκεια της μετάβασης εξόδου. Από την παραπάνω σχέση γίνεται φανερό ότι η ενέργεια που παρέχεται από την τροφοδοσία είναι ανεξάρτητη από την κυματομορφή εξόδου του αντιστροφέα. Για την ίδια μετάβαση η ενέργεια που αποθηκεύεται στην χωρητικότητα εξόδου υπολογίζεται ως εξής

$$E_{C_L}^{0 \rightarrow 1} = \int_0^{\tau_{tr}} V_{out} I_{C_L} dt = V_{DD} \int_0^{V_{DD}} C_L V_{out} dV_{out} = \frac{1}{2} C_L V_{DD}^2. \quad (3.46)$$

Το συμπέρασμα που εξάγεται από τις εξισώσεις (3.45) και (3.46) είναι ότι η μισή της ενέργειας που παρέχεται από την τροφοδοσία αποθηκεύεται στη χωρητικότητα εξόδου, ενώ η υπόλοιπη καταναλώνεται ως θερμότητα (φαινόμενο Joule) στο PMOS.

Κατά την μετάβαση της εξόδου του αντιστροφέα από την υψηλή στάθμη στη χαμηλή ($V_{DD} \rightarrow 0$), δεν παρέχεται φορτίο (αν αγνοήσουμε το ρεύμα βραχυκυκλώματος) από την τροφοδοσία ($E_D^{1 \rightarrow 0} = 0$), ενώ η ενέργεια που είναι αποθηκευμένη στη χωρητικότητα εξόδου καταναλώνεται ως θερμότητα στο τρανζίστορ NMOS.

Σημειώνεται εδώ ότι, στην πραγματικότητα η χωρητικότητα εξόδου αφορά χωρητικότητες μεταξύ της εξόδου και της τροφοδοσίας και μεταξύ της εξόδου και της γείωσης, λόγω της δομής των στατικών πυλών CMOS. Επίσης, όπως αναφέρθηκε και στην παράγραφο 3.2.1, η ισοδύναμη χωρητικότητα εξόδου επηρεάζεται και από το φαινόμενο Miller [8],[25]. Όπως αποδείχθηκε παραπάνω, με τη συγχώνευση όλων των χωρητικοτήτων που συνδέονται στην έξοδο σε μία μεταξύ της εξόδου και της γείωσης, η τροφοδοσία φέρεται να παρέχει ενέργεια μονάχα στην περίπτωση της μετάβασης εξόδου από τη χαμηλή στην υψηλή στάθμη, ενώ στην πραγματικότητα παρέχεται ενέργεια και στις δύο περιπτώσεις μεταβάσεων [25]. Βέβαια, το σύνολο της ενέργειας που παρέχεται σε ένα κύκλο μεταγωγής (μεταβάσεις εξόδου: $0 \rightarrow V_{DD}$ και $V_{DD} \rightarrow 0$), είναι το ίδιο με αυτό που υπολογίστηκε από την εξίσωση (3.45).

3.2.4.2 Κατανάλωση ενέργειας βραχυκυκλώματος

Αν και η ανάλυση για τον υπολογισμό της δυναμικής κατανάλωσης ενέργειας λόγω της φόρτισης και εκφόρτισης του χωρητικού φορτίου που παρουσιάστηκε παραπάνω είναι σχετικά απλή, η ανάλυση της κατανάλωσης ενέργειας βραχυκυκλώματος είναι πιο σύνθετη λόγω των αρκετών παραγόντων που την επηρεάζουν.

Η πρώτη αναλυτική έκφραση για τον υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα CMOS προτάθηκε από τον Veendrick [26]. Η ε-

ξαγωγή της έκφρασης αυτής βασίζεται στη θεώρηση μηδενικού φορτίου εξόδου. Λόγω της θεώρησης αυτής οι τιμές της ενέργειας που προκύπτουν είναι αρκετά μεγαλύτερες από τις πραγματικές. Στις [18],[219] προτείνεται ένας τρόπος υπολογισμού της κατανάλωσης ενέργειας βραχυκυκλώματος, ο οποίος βασίζεται στην αναλυτική λύση της διαφορικής εξίσωσης στον κόμβο εξόδου του αντιστροφέα. Ωστόσο, η έκφραση της κυματομορφής εξόδου παράγεται χωρίς να ληφθεί υπόψη η επίδραση του ρεύματος βραχυκυκλώματος και με τη θεώρηση ότι το τρανζίστορ μέσω του οποίου φορτίζεται ή εκφορτίζεται η χωρητικότητα εξόδου, λειτουργεί στην περιοχή κόρου στο χρονικό διάστημα που υπάρχει το ρεύμα βραχυκυκλώματος. Στην [222], η κατανάλωση ενέργειας βραχυκυκλώματος υπολογίζεται μέσω μιας υποθετικής ισοδύναμης χωρητικότητας βραχυκυκλώματος χωρίς φυσική σημασία. Κατά τον υπολογισμό της χωρητικότητας αυτής η κυματομορφή εξόδου θεωρείται γραμμική. Οι παραπάνω μέθοδοι βασίζονται στο μοντέλο MOS νόμου του τετραγώνου [31].

Με σκοπό τον υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος για κυκλώματα που απαρτίζονται από τρανζίστορ μικρού μήκους καναλιού, έχουν προταθεί αναλυτικές εκφράσεις [19],[218],[221],[223]-[226] που βασίζονται σε μοντέλα MOS [19],[134] τα οποία λαμβάνουν υπόψη το φαινόμενο κορεσμού της ταχύτητας των φορέων. Οι εκφράσεις αυτές θα εξεταστούν αργότερα στο κεφάλαιο αυτό, αλλά και στο επόμενο κεφάλαιο.

Στις περισσότερες μεθόδους αναλυτικού υπολογισμού της κατανάλωσης ενέργειας βραχυκυκλώματος, δεν λαμβάνεται υπόψη η επίδραση της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου του αντιστροφέα. Όπως αναφέρεται χαρακτηριστικά στις [141],[223], η ενέργεια βραχυκυκλώματος του αντιστροφέα όταν συμπεριληφθεί η παραπάνω επίδραση είναι από 10% έως 50% μικρότερη από εκείνη που υπολογίζεται με μηδενική χωρητικότητα σύζευξης.

Με βάση τον τυπικό ορισμό του [8],[26], το ρεύμα βραχυκυκλώματος είναι το ρεύμα του αγωγίμου μονοπατιού που δημιουργείται μεταξύ της τροφοδοσίας και της γείωσης, όταν υπάρχει ταυτόχρονη αγωγή και των δύο τρανζίστορ του αντιστροφέα, κατά την αλλαγή της κατάστασης στην έξοδό του. Ωστόσο, ο ορισμός αυτός δεν λαμβάνει υπόψη την επίδραση της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου του αντιστροφέα (Σχήμα 3.1). Όπως αναφέρθηκε στην παράγραφο 3.2.1, μέρος του φορτίου που προέρχεται από την είσοδο διαμέσου της χωρητικότητας σύζευξης ωθεί την τάση εξόδου να υπερβεί την τιμή της τάσης τροφοδοσίας (για ανερ-

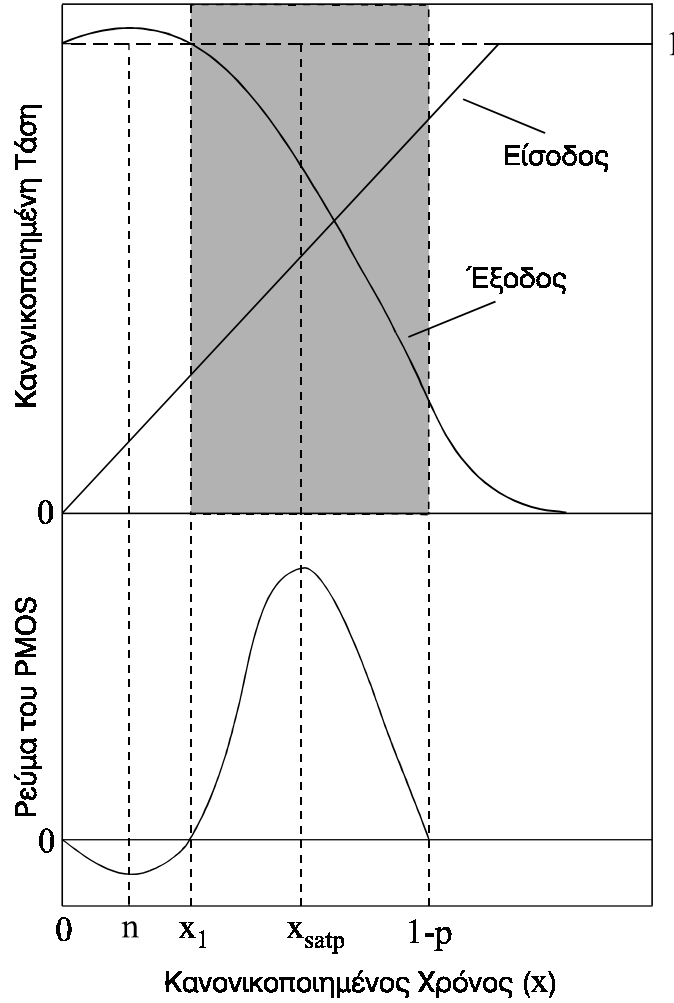
χόμενη είσοδο). Στη διάρκεια αυτής της υπέρβασης δεν υπάρχει αγωγίμο μονοπάτι από την τροφοδοσία στη γείωση, αφού η τάση εξόδου είναι μεγαλύτερη από την τάση τροφοδοσίας. Έτσι λοιπόν, με την συμπερίληψη της επίδρασης της χωρητικότητας σύζευξης, το ρεύμα βραχυκυκλώματος ορίζεται ως το ρεύμα που ρέει από την τροφοδοσία στη γείωση, όταν υπάρχει ταυτόχρονη αγωγή των δύο τρανζίστορ με την προϋπόθεση ότι η υπέρβαση της τάσης εξόδου έχει τελειώσει. Σημειώνεται εδώ, ότι στην περίπτωση κατερχόμενης εισόδου η επίδραση της χωρητικότητας σύζευξης είναι παρόμοια. Το φορτίο διαμέσου της χωρητικότητας σύζευξης προκαλεί αρνητικές τιμές στην αρχική φάση μετάβασης της τάσης εξόδου, με αποτέλεσμα να δημιουργείται αγωγίμο μονοπάτι μεταξύ της τροφοδοσίας και της γείωσης μόνο όταν η τάση εξόδου ξεπεράσει την τιμή 0. Στη συνέχεια θα αναλυθεί η περίπτωση της ανερχόμενης εισόδου, αλλά θα δοθεί και η συμμετρική αναλυτική έκφραση υπολογισμού της κατανάλωσης ενέργειας βραχυκυκλώματος για κατερχόμενη είσοδο.

Στο Σχήμα 3.7, η γκρίζα περιοχή υποδεικνύει την περιοχή λειτουργίας του αντιστροφέα όπου υπάρχει αγωγίμο μονοπάτι από την τροφοδοσία στη γείωση, οπότε και κατανάλωση ενέργειας βραχυκυκλώματος. Η περιοχή αυτή αρχίζει με το τέλος της υπέρβασης της τάσης εξόδου ($x = x_1$) και τελειώνει όταν το τρανζίστορ βραχυκυκλώματος (PMOS για ανερχόμενη είσοδο) αποκόπτεται ($x = 1-p$). Επίσης, στο Σχήμα 3.7, φαίνεται και η κυματομορφή του ρεύματος του τρανζίστορ βραχυκυκλώματος.

Στην υποκατηγορία πολύ γρήγορων εισόδων (A_1), το τρανζίστορ PMOS αποκόπτεται πριν το τέλος της υπέρβασης της τάσης εξόδου (Σχήμα 3.2), οπότε δεν υπάρχει κατανάλωση ενέργειας βραχυκυκλώματος. Για τις υπόλοιπες κατηγορίες η ενέργεια βραχυκυκλώματος για κατερχόμενη κυματομορφή εξόδου υπολογίζεται ως εξής

$$E_{SC}^{1 \rightarrow 0} = V_{DD} \int_{\tau x_1}^{\tau(1-p)} I_p dt = V_{DD} \int_{x_1}^{1-p} I_p \tau dx = V_{DD} \left(\int_{x_1}^{x_{satp}} I_p \tau dx + \int_{x_{satp}}^{1-p} I_p \tau dx \right). \quad (3.47)$$

Στο πρώτο από τα δύο ολοκληρώματα της σχέσης (3.47), χρησιμοποιείται μια έμμεση εξίσωση για το ρεύμα του τρανζίστορ PMOS, που προκύπτει από την εφαρμογή του πρώτου κανόνα Kirchhoff (εξίσωση (3.8)) στον κόμβο εξόδου του αντιστροφέα. Αυτό γίνεται επειδή το πρώτο ολοκλήρωμα δεν μπορεί να υπολογιστεί αναλυτικά εάν χρησιμοποιηθεί η εξίσωση ρεύματος του τρανζίστορ PMOS στη γραμμική περιοχή λειτουργίας, λόγω της πολυπλοκότητας που παρουσιάζει η έκφραση της τάσης εξόδου



Σχήμα 3.7: Περιοχή όπου καταναλώνεται ενέργεια βραχυκυκλώματος ($x_1 \leq x \leq 1-p$)

στην περιοχή αυτή. Ξεκινώντας λοιπόν από την εξίσωση (3.8), το ρεύμα του τρανζίστορ PMOS στο διάστημα $[x_1, x_{satp}]$ δίνεται ως εξής

$$I_p = \frac{\beta_n V_{DD}^2}{2(1+\delta_n)} (x-n)^2 - \frac{C_M V_{DD}}{\tau} + \frac{(C_L + C_M) V_{DD}}{\tau} \frac{du_{out}}{dx}. \quad (3.48)$$

Στο δεύτερο ολοκλήρωμα της εξίσωσης (3.47) χρησιμοποιείται η εξίσωση ρεύματος κόρου (3.15) του τρανζίστορ PMOS. Αντικαθιστώντας λοιπόν τις εξισώσεις (3.48) και (3.15) στα ολοκληρώματα της εξίσωσης (3.47), η ενέργεια βραχυκυκλώματος του αντιστροφέα CMOS για κατερχόμενη κυματομορφή εξόδου δίνεται ως εξής

$$E_{SC}^{1 \rightarrow 0} = \frac{\beta_n V_{DD}^3 \tau}{6(1+\delta_n)} \left[3n(x_{satp} - x_1)(n - x_{satp} - x_1) + x_{satp}^3 - x_1^3 \right] - V_{DD}^2 C_M (x_{satp} - x_1) + V_{DD}^2 (C_L + C_M) (u_{satp} - 1) + \frac{\beta_p V_{DD}^3 \tau}{6(1+\delta_p)} (1 - x_{satp} - p)^3. \quad (3.49)$$

Το μόνο άγνωστο στοιχείο στην παραπάνω εξίσωση είναι η τιμή του κανονικοποιημένου χρόνου x_1 , όπου συμβαίνει το τέλος της υπέρβασης της τάσης εξόδου. Το σημείο x_1 ανήκει στη δεύτερη περιοχή λειτουργίας του αντιστροφέα, επειδή η εκφόρτιση του κόμβου εξόδου κάτω από την τάση τροφοδοσίας δεν μπορεί να γίνει στην περιοχή 1, όπου το τρανζίστορ NMOS βρίσκεται στην περιοχή αποκοπής. Έτσι η τιμή x_1 θα πρέπει να υπολογιστεί στην περιοχή 2, λύνοντας την εξίσωση $u_{out} = 1$. Επειδή η εξίσωση αυτή δεν μπορεί να λυθεί αναλυτικά, χρησιμοποιείται μια μέθοδος παρόμοια με εκείνη που χρησιμοποιήθηκε για τον υπολογισμό της τιμής x_{satp} . Από την εξίσωση (3.24) για $u_{out} = 1$ προκύπτει η τιμή x'_1 όπου τελειώνει η υπέρβαση της τάσης εξόδου, με την θεώρηση ότι το ρεύμα του τρανζίστορ PMOS είναι μηδενικό. Η εφαπτομένη της κυματομορφής εξόδου (περιοχή 2) στο σημείο x'_1 , δίνεται ως εξής

$$u_{out} = m x + q, \quad (3.50)$$

όπου
$$m = \left. \frac{du_{out}}{dx} \right|_{x=x'_1} = - \sum_{k=1}^{\infty} k g_k (x'_1 - n)^{k-1},$$

και
$$q = 1 + u_{12} - m x'_1 - \sum_{k=1}^{\infty} g_k (x'_1 - n)^k.$$

Από την εξίσωση (3.50) για $u_{out} = 1$, προκύπτει μια ακριβής προσέγγιση της τιμής x_1

$$x_1 = \frac{1 - q}{m}. \quad (3.51)$$

Το σφάλμα που εισάγεται στον υπολογισμό της τιμής x_1 , λόγω της παραπάνω προσέγγισης είναι μικρότερο από 0.2 %.

Η ανάλυση για τον υπολογισμό της ενέργειας βραχυκυκλώματος του αντιστροφέα για ανερχόμενη κυματομορφή εξόδου, είναι συμμετρική και καταλήγει στην παρακάτω αναλυτική έκφραση

$$E_{SC}^{0 \rightarrow 1} = \frac{\beta_p V_{DD}^3 \tau}{6(1 + \delta_p)} \left[3p(x_{satn} - x_1)(p - x_{satn} - x_1) + x_{satn}^3 - x_1^3 \right] - V_{DD}^2 C_M (x_{satn} - x_1) - V_{DD}^2 (C_L + C_M) u_{satn} + \frac{\beta_n V_{DD}^3 \tau}{6(1 + \delta_n)} (1 - x_{satn} - n)^3. \quad (3.52)$$

όπου τ είναι στην περίπτωση αυτή ο χρόνος μετάβασης της κατερχόμενης εισόδου, x_1 το σημείο όπου η ανερχόμενη τάση εξόδου παίρνει την τιμή 0 και x_{satn} , u_{satn} οι τιμές του κανονικοποιημένου χρόνου και της κανονικοποιημένης τάσης εξόδου αντίστοιχα, όταν το τρανζίστορ NMOS εισέρχεται στην περιοχή κόρου.

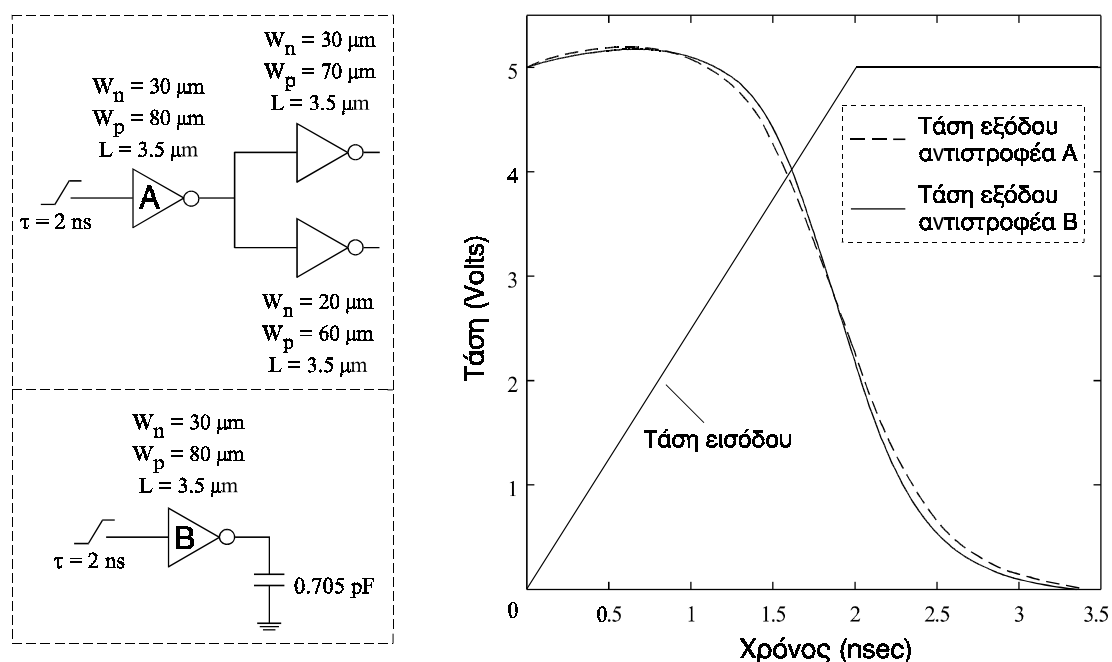
Οι αναλυτικές εκφράσεις (3.49) και (3.52) που παράχθηκαν για τον υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα CMOS, περιλαμβάνουν τις επιδράσεις των χαρακτηριστικών και των δύο τρανζίστορ, του χωρητικού φορτίου και της κλίσης της κυματομορφής εισόδου. Για να αποφευχθεί υπερεκτίμηση της ενέργειας βραχυκυκλώματος, περιλαμβάνουν επίσης και την επίδραση της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου του αντιστροφέα. Από τις δύο εκφράσεις είναι φανερό ότι η ενέργεια βραχυκυκλώματος εξαρτάται από την κυματομορφή της τάσης εξόδου, γεγονός που όπως διαπιστώθηκε στην παράγραφο 3.2.4.1, δεν συμβαίνει στην περίπτωση της δυναμικής κατανάλωσης ενέργειας.

3.2.5 Αξιολόγηση, αποτελέσματα και συγκρίσεις

Στην παράγραφο αυτή, παρουσιάζεται μια αξιολόγηση των αναλυτικών μοντέλων χρονικής απόκρισης και κατανάλωσης ενέργειας που βασίζονται στο προσεγγιστικό μοντέλο MOS φορτίου-υποστρώματος νόμου του τετραγώνου.

Αρχικά, στο Σχήμα 3.8 παρουσιάζεται ένα παράδειγμα που δείχνει την εγκυρότητα του μοντέλου σταθερής χωρητικότητας εξόδου που παρουσιάστηκε στην αρχή της Παραγράφου 3.2.1. Δίνεται η σύγκριση των κυματομορφών τάσης εξόδου (που παράχθηκαν από εξομίωση με το SPICE) του αντιστροφέα A που έχει ως φορτίο δύο αντιστροφείς και του αντιστροφέα B που έχει σταθερή χωρητικότητα εξόδου. Η χωρητικότητα αυτή έχει υπολογιστεί με βάση το προτεινόμενο μοντέλο σταθερής χωρητικότητας εξόδου, χρησιμοποιώντας τις διαστάσεις των τρανζίστορ που δίνονται στο Σχήμα 3.8 και τις παραμέτρους που δίνονται παρακάτω στον Πίνακα 3.2.

Στο Σχήμα 3.9, φαίνονται μερικές τυπικές κυματομορφές εξόδου του αντιστροφέα CMOS, οι οποίες έχουν παραχθεί χρησιμοποιώντας τις αναλυτικές εκφράσεις της παραγράφου 3.2.1. Ο συντελεστής A_{no} ($A_{no} = \beta_n V_{DD} \tau / C_L$), βάσει του οποίου δίνονται οι κυματομορφές, είναι ένα εύστοχο μέτρο της σχέσης μεταξύ της κλίσης της κυματομορφής εισόδου και της κλίσης της κυματομορφής εξόδου, αφού λαμβάνει υπόψη το χρόνο μετάβασης της εισόδου, την ικανότητα οδήγησης του τρανζίστορ μέσω του οποίου εκφορτίζεται η έξοδος, την τάση τροφοδοσίας και τη χωρητικότητα εξόδου. Οι παράμετροι του μοντέλου MOS και για τα δύο τρανζίστορ, δίνονται στον Πίνακα 3.1. Οι διαστάσεις των τρανζίστορ έχουν επιλεγεί έτσι ώστε οι συντελεστές κέρδους τους να είναι ίσοι. Για να γίνει δυνατή η παρουσίαση κυματομορφών εξόδου για διάφορες τιμές του A_{no} στο ίδιο διάγραμμα, η τάση εξόδου δίνεται



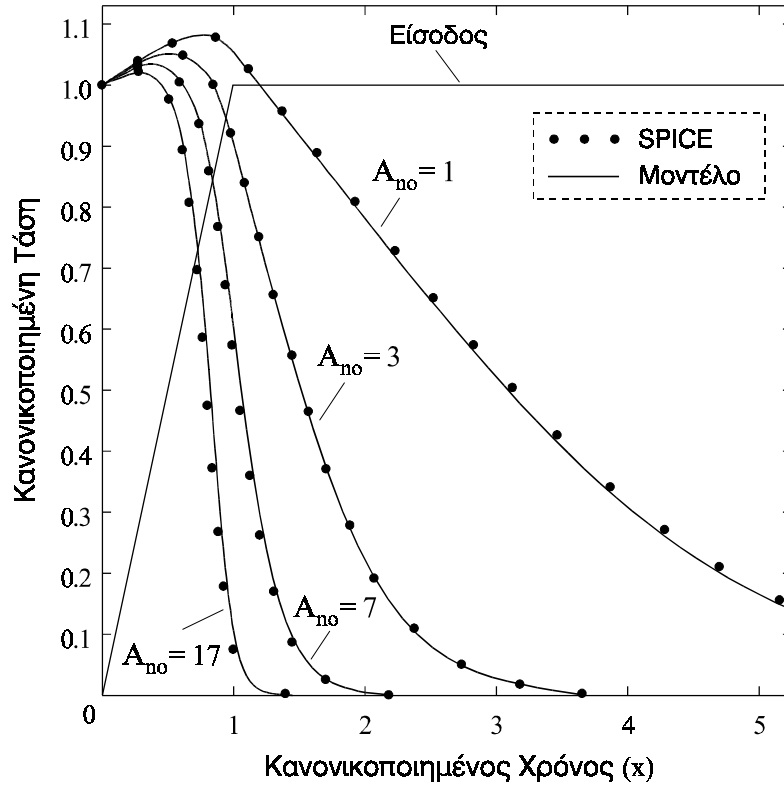
Σχήμα 3.8: Σύγκριση χρονικής απόκρισης μεταξύ αντιστροφέα με σταθερή χωρητικότητα εξόδου και αντιστροφέα που οδηγεί δύο αντιστροφεείς

ΠΑΡΑΜΕΤΡΟΙ	NMOS	PMOS
β (mA/V ²)	0.5	0.5
L (μm)	3.5	3.5
W (μm)	33	83.5
$ V_T $ (V)	0.85	0.85
δ	0.21	0.23

Πίνακας 3.1: Παράμετροι μοντέλου MOS για τα τρανζίστορ του αντιστροφέα

συναρτήσεως του κανονικοποιημένου χρόνου ($x = t / \tau$). Στο Σχήμα 3.9, έχουν προστεθεί και οι κυματομορφές εξόδου που παράγονται από εξομοιώσεις SPICE επιπέδου-3. Οι εξομοιώσεις έγιναν με βάση τις παραμέτρους μιας τεχνολογίας CMOS 2 μm [240] που έχει αναπτυχθεί στο Πανεπιστήμιο Stanford, οι οποίες δίνονται στο Πίνακα 3.2. Οι παράμετροι του Πίνακα 3.1 είναι επίσης βασισμένοι στην τεχνολογία αυτή. Οι τιμές του συντελεστή δ υπολογίστηκαν από την παρακάτω εμπειρική σχέση που προτείνεται στην [32]

$$\delta = \frac{\text{GAMMA}}{2\sqrt{1 + 2\text{PHI} + V_{SB}}}$$



Σχήμα 3.9: Κυματομορφές τάσης εξόδου του αντιστροφέα CMOS

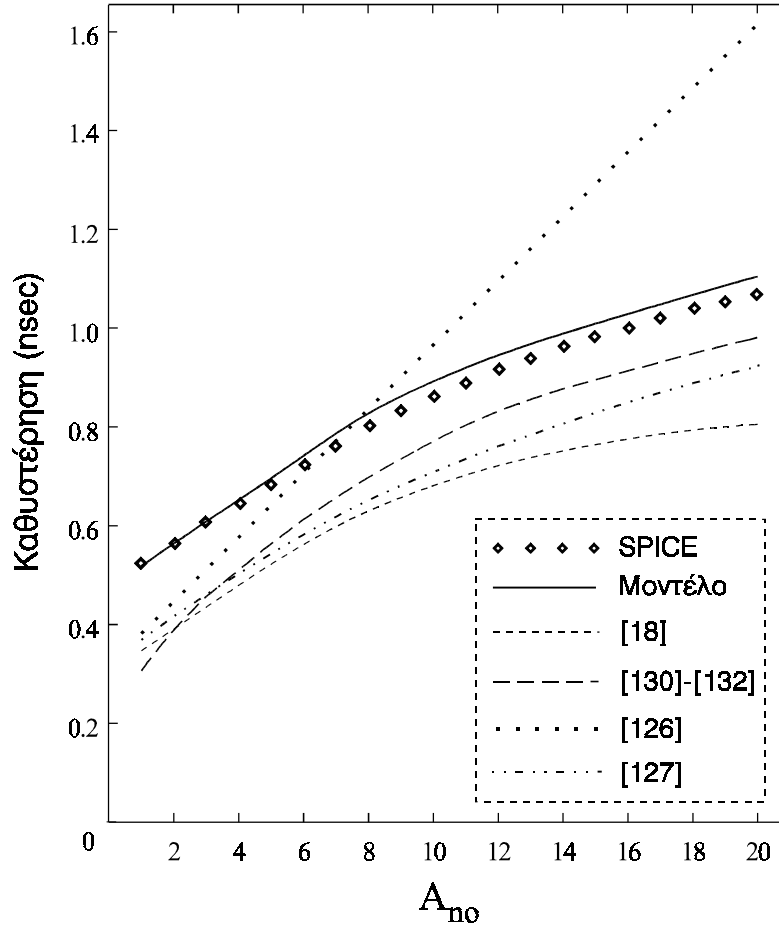
Οι χωρητικότητες που χρησιμοποιούνται κατά τον υπολογισμό της χρονικής απόκρισης με τις αναλυτικές εκφράσεις, υπολογίζονται με βάση τις παραμέτρους του Πίνακα 3.2. Στις εξομοιώσεις, η τάση τροφοδοσίας ήταν 5V, η χωρητικότητα εξόδου 0.5pF και οι χρόνοι μετάβασης εισόδου 0.2ns, 0.6ns, 1.4ns και 3.4ns. Οι κυματομορφές της τάσης εξόδου που προκύπτουν από τις αναλυτικές εκφράσεις είναι πολύ κοντά σε εκείνες που παράγονται από τις εξομοιώσεις με το SPICE. Για την περίπτωση όπου τα δύο τρανζίστορ παρουσιάζουν ίσο συντελεστή κέρδους, οι περιπτώσεις για $A_{no} \leq 2$ αντιστοιχούν στην *υποκατηγορία πολύ γρήγορων εισόδων* (A_1), για $2 < A_{no} \leq 5$ στην *κατηγορία γρήγορων εισόδων* (A), για $5 < A_{no} \leq 14$ στην *κατηγορία αργών εισόδων* (B) και για $A_{no} > 14$ στην *υποκατηγορία πολύ αργών εισόδων* (B_1).

Στο Σχήμα 3.10, δίνεται το διάγραμμα της καθυστέρησης του αντιστροφέα συναρτήσει του συντελεστή A_{no} . Η καθυστέρηση έχει προκύψει χρησιμοποιώντας τις αναλυτικές εκφράσεις που παράχθηκαν στην παράγραφο 3.2.2, για τρανζίστορ με ίσους συντελεστές κέρδους (Πίνακας 3.1). Στο ίδιο σχήμα δίνονται και αποτελέσματα που προκύπτουν από τις αναλυτικές εκφράσεις των [18],[130]-[132],[126]-[127] όπου χρησιμοποιούνται μοντέλα MOS τετραγωνικής μορφής. Στις αναλυτικές εκφράσεις της καθυστέρησης που προτείνονται στην [18], δε λαμβάνονται υπόψη οι επιδράσεις

ΠΑΡΑΜΕΤΡΟΙ	NMOS	PMOS
Παράμετρος ενδογενούς διαγωγιμότητας - KP (A/V^2)	5.3×10^{-5}	2.1×10^{-5}
Πάχος οξειδίου πύλης - TOX (m)	4×10^{-8}	4×10^{-8}
Μέγιστη ταχύτητα ολίσθησης φορέων - $VMAX$ (m/sec)	5×10^4	5×10^4
Εμπειρική παράμετρος που χρησιμοποιείται στην εξίσωση διαμόρφωσης μήκους καναλιού - $KAPPA$ (V^{-1})	0.022	0.067
Τάση κατωφλίου μηδενικής πόλωσης - VTO (V)	0.85	- 0.85
Δυναμικό αντιστροφής επιφάνειας υποστρώματος - PHI (V)	0.56	0.7
Παράγοντας φαινομένου σώματος - $GAMMA$ ($V^{1/2}$)	0.605	0.715
Επιφανειακή κινητικότητα φορέων - UO ($cm^2/V.sec$)	650	240
Νόθευση επιφάνειας υποστρώματος - $NSUB$ (cm^{-3})	7×10^{14}	1.1×10^{16}
Χωρητικότητα επικάλυψης πύλης-υποδοχής - $CGDO$ (F/m)	2.4×10^{-10}	3.4×10^{-10}
Χωρητικότητα επικάλυψης πύλης-πηγής - $CGSO$ (F/m)	2.4×10^{-10}	3.4×10^{-10}
Χωρητικότητα επικάλυψης πύλης-υποστρώματος - $CGBO$ (F/m)	2×10^{-10}	2×10^{-10}
Χωρητικότητα επιφάνειας επαφής διάχυσης-υποστρώματος για μηδενική πόλωση - CJ (F/m ²)	1.3×10^{-4}	2.3×10^{-4}
Χωρητικότητα περιφέρειας της επαφής διάχυσης-υποστρώματος για μηδενική πόλωση - $CJSW$ (F/m)	6.5×10^{-10}	15×10^{-10}
Συντελεστής διαβάθμισης χωρητικότητας επιφάνειας της επαφής διάχυσης-υποστρώματος - MJ	0.5	0.5
Συντελεστής διαβάθμισης χωρητικότητας περιφέρειας της επαφής διάχυσης-υποστρώματος - $MJSW$	0.33	0.33
Ενσωματωμένο (built-in) δυναμικό επαφής διάχυσης-υποστρώματος - PB (V)	0.8	0.8
Βάθος επαφής διάχυσης-υποστρώματος - XJ (m)	3.5×10^{-7}	5×10^{-7}

Πίνακας 3.2: Παράμετροι SPICE επιπέδου-3 τεχνολογίας CMOS 2μm

του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης. Στις [130]-[132], προτείνεται μια μέθοδος για τον υπολογισμό της καθυστέρησης του αντιστροφέα, η οποία βασίζεται σε μια γραμμική προσέγγιση της κυματομορφής εξόδου, μέσω δύο εμπειρικών συντελεστών που παράγονται από κυκλωματική εξομοίωση. Το ρεύμα της χωρητικότητας μεταξύ της εισόδου και της εξόδου θεωρείται ότι εξαρτάται μονάχα από την μεταβολή της εισόδου, αγνοώντας έτσι το φαινόμενο σύζευξης. Η μέθοδος υπολογισμού της καθυστέρησης του αντιστροφέα που προτείνεται στην [126] βασί-



Σχήμα 3.10: Καθυστέρηση του αντιστροφέα CMOS συναρτήσει του A_{no}

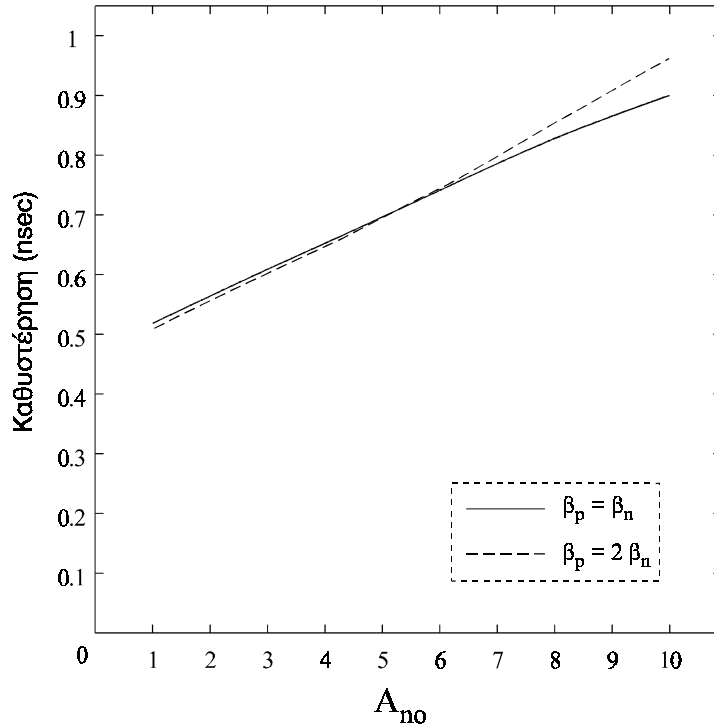
ζεται στην αρχή διατήρησης του μέσου φορτίου στον αντιστροφέα. Έτσι, χρησιμοποιείται το μέσο ρεύμα του τρανζίστορ NMOS (PMOS) κατά τη διάρκεια της φόρτισης (εκφόρτισης) της χωρητικότητας εξόδου. Η καθυστέρηση παρουσιάζει γραμμική εξάρτηση από το χρόνο μετάβασης της τάσης εισόδου, γεγονός που οδηγεί σε υπερεκτίμηση της για αργές μεταβάσεις εισόδου. Στην [127] τροποποιείται η έκφραση καθυστέρησης που προτείνεται στην [126], χρησιμοποιώντας έναν εμπειρικό συντελεστή που παράγεται από κυκλωματικές εξομοιώσεις, έτσι ώστε να βελτιωθεί η ακρίβειά της για περιπτώσεις αργών μεταβάσεων εισόδου.

Μια εργασία που επίσης χρησιμοποιεί τετραγωνικό μοντέλο MOS είναι η [36], όπου κατά την ανάλυση της κυματομορφής εξόδου λαμβάνονται υπόψη οι επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης. Δεν επιτυγχάνεται όμως αναλυτική λύση, αφού στην κατηγορία γρήγορων εισόδων δεν αναφέρεται πως υπολογίζεται η σταθερά ολοκλήρωσης μεταξύ της γραμμικής περιοχής και της περιοχής κόρου του τρανζίστορ PMOS (ίσως χρησιμοποιείται κάποια αριθμητική

μέθοδος), ενώ στην κατηγορία αργών εισόδων η σταθερά αυτή πρέπει να υπολογιστεί μέσω δύο συντελεστών προσαρμογής, οι τιμές των οποίων δε δίνονται. Έτσι, δεν είναι δυνατό να παρουσιαστούν αποτελέσματα από την εργασία αυτή στο Σχήμα 3.10.

Στο ίδιο σχήμα φαίνονται και οι τιμές της καθυστέρησης που παράγονται από εξομοιώσεις με το SPICE, χρησιμοποιώντας τις παραμέτρους του Πίνακα 3.2. Είναι λοιπόν προφανής η βελτίωση της ακρίβειας που επιτυγχάνεται με τον αναλυτικό υπολογισμό της χρονικής απόκρισης, όταν ληφθούν υπόψη οι επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου του αντιστροφέα. Το σφάλμα του προτεινόμενου αναλυτικού μοντέλου σε σχέση με το SPICE, όσον αφορά τον υπολογισμό της καθυστέρησης του αντιστροφέα για ανερχόμενη κυματομορφή εισόδου, είναι μικρότερο από 3.5 % και οφείλεται κυρίως στο ότι δε συμπεριλαμβάνεται η επίδραση του φαινομένου διαμόρφωσης του μήκους καναλιού των τρανζίστορ (channel-length modulation effect) [32],[241]. Στην περίπτωση της κατερχόμενης εισόδου το σφάλμα είναι λίγο μεγαλύτερο (≤ 5 %), επειδή η επίδραση του παραπάνω φαινομένου είναι μεγαλύτερη στο τρανζίστορ PMOS, μέσω του οποίου φορτίζεται η χωρητικότητα εξόδου στην περίπτωση αυτή.

Στο Σχήμα 3.11, δίνεται μια σύγκριση των τιμών καθυστέρησης του αντιστροφέα μεταξύ της περίπτωσης όπου τα δύο τρανζίστορ παρουσιάζουν ίδιο συντελεστή κέρδους (διαγωγιμότητα) και της περίπτωσης όπου το τρανζίστορ βραχυκυκλώματος (PMOS) παρουσιάζει διπλάσιο συντελεστή κέρδους. Για σχετικά γρήγορες εισόδους ($A_{no} \leq 6$) η καθυστέρηση είναι λίγο μικρότερη στην περίπτωση όπου το τρανζίστορ PMOS έχει διπλάσια αγωγιμότητα και μεγαλύτερη για αργότερες εισόδους. Αυτό συμβαίνει επειδή, όπως αναφέρθηκε και στην παράγραφο 3.2.1 (Περιοχές 1 & 2), το τρανζίστορ PMOS, λόγω της υπέρβασης της τάσης εξόδου που οφείλεται στο ρεύμα διαμέσου της χωρητικότητας σύζευξης, αρχικά βοηθάει στην εκφόρτιση του κόμβου εξόδου, άρα συντελεί στη μείωση της καθυστέρησης. Στη συνέχεια, αντιδρά στην εκφόρτιση του κόμβου εξόδου, οπότε προκαλεί επιπλέον καθυστέρηση. Στην περίπτωση των γρήγορων εισόδων ($A_{no} \leq 6$) όπου η υπέρβαση της τάσης εξόδου είναι μεγάλη, το πρώτο φαινόμενο υπερισχύει του δεύτερου με αποτέλεσμα η αύξηση της αγωγιμότητας του τρανζίστορ βραχυκυκλώματος να οδηγεί σε μείωση της καθυστέρησης του αντιστροφέα. Αντίθετα, για αργότερες εισόδους η υπέρβαση της τάσης εξόδου είναι μικρότερη και υπερισχύει η αντίδραση του ρεύματος του τρανζίστορ βρα-

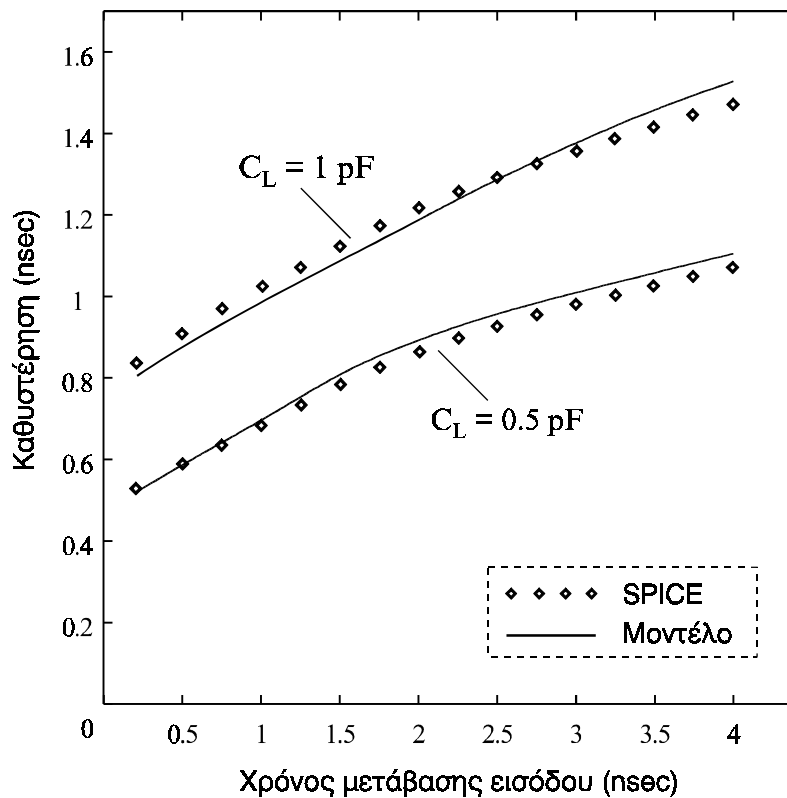


Σχήμα 3.11: Καθυστέρηση του αντιστροφέα για $\beta_p = \beta_n$ και $\beta_p = 2 \beta_n$

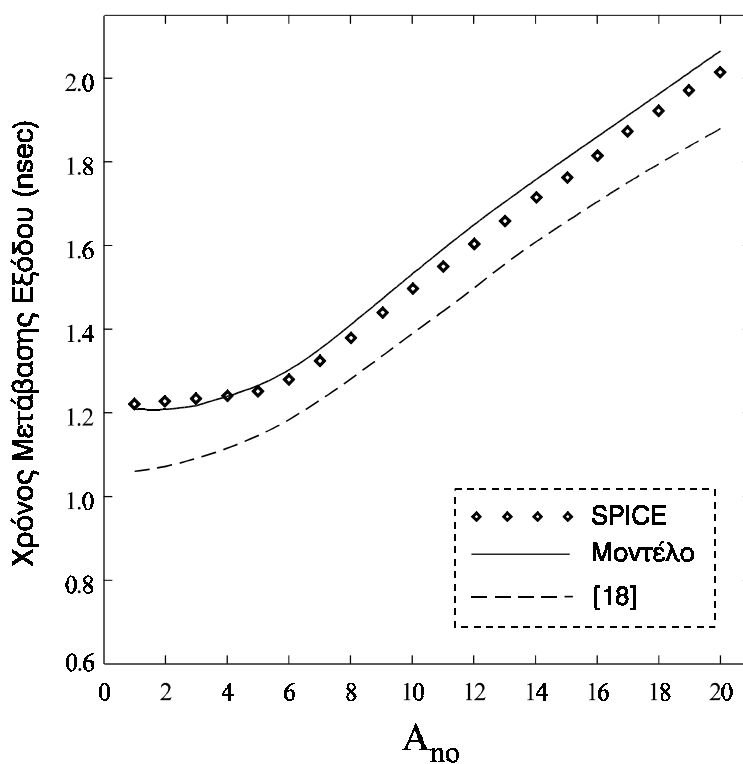
χυκυκλώματος στην εκφόρτιση του κόμβου εξόδου. Οπότε, αύξηση της αγωγιμότητας του τρανζίστορ βραχυκυκλώματος οδηγεί σε αύξηση της καθυστέρησης.

Στο Σχήμα 3.12, δίνεται το διάγραμμα της καθυστέρησης του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για δύο διαφορετικές τιμές της χωρητικότητας εξόδου. Η σύγκρισή των τιμών που προκύπτουν από το προτεινόμενο αναλυτικό μοντέλο με εκείνες που παράγονται από κυκλωματική εξομοίωση, επιβεβαιώνει την ακρίβεια υπολογισμού που παρέχει το μοντέλο.

Στο Σχήμα 3.13, δίνεται το διάγραμμα του ενεργού χρόνου μετάβασης εξόδου του αντιστροφέα CMOS (με τα στοιχεία του Πίνακα 3.1), συναρτήσει του A_{no} . Οι τιμές του χρόνου αυτού που παράγονται από εξομοιώσεις με το SPICE, καθώς και οι τιμές που υπολογίζονται από τις αναλυτικές εκφράσεις της [18], παραθέτονται στο ίδιο σχήμα. Το σφάλμα του προτεινόμενου μοντέλου σε σχέση με το SPICE είναι στα ίδια επίπεδα με το σφάλμα που αφορά τον υπολογισμό της καθυστέρησης. Στις [130]-[132], η κυματομορφή εξόδου θεωρείται ότι είναι γραμμική και ο χρόνος μετάβασης εξόδου υπολογίζεται από μια γραμμική συνάρτηση που περιέχει το χρόνο μετάβασης εισόδου, τη χωρητικότητα εξόδου, το μέγιστο ρεύμα του τρανζίστορ μέσω του οποίου φορτίζεται ή εκφορτίζεται ο κόμβος εξόδου, την τάση τροφοδοσίας και δύο εμπειρικούς συντελεστές. Οι συντελεστές αυτοί επιλέγονται με μοναδικό κριτή-



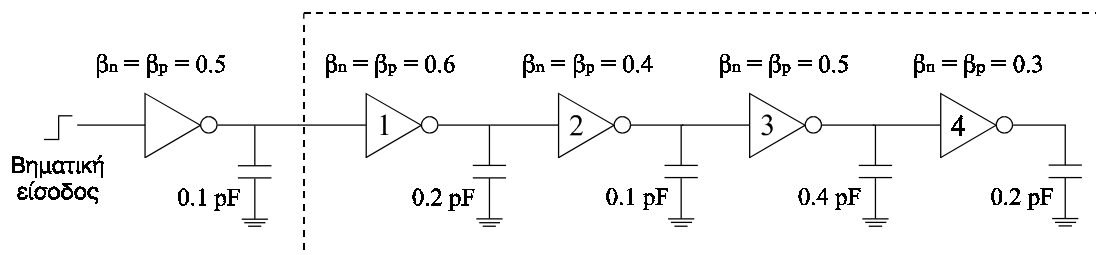
Σχήμα 3.12: Καθυστερήση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για δύο τιμές χωρητικότητας εξόδου



Σχήμα 3.13: Χρόνος μετάβασης εξόδου του αντιστροφέα CMOS συναρτήσει του A_{no}

ριο να προβλέπεται με ακρίβεια το χρονικό σημείο όπου το τρανζίστορ μέσω του οποίου φορτίζεται ή εκφορτίζεται η έξοδος αφήνει την περιοχή κόρου, με αποτέλεσμα να προκύπτουν χρόνοι μετάβασης εξόδου αρκετά μεγαλύτεροι από τους πραγματικούς (σφάλμα σε σχέση με το SPICE μεγαλύτερο από 50 %).

Στη συνέχεια, εξετάζεται ο υπολογισμός της καθυστέρησης σε μια αλυσίδα αντιστροφών CMOS (Σχήμα 3.14), με σκοπό την αξιολόγηση της συνδυασμένης εφαρμογής των αναλυτικών εκφράσεων της καθυστέρησης και του ενεργού χρόνου μετάβασης εξόδου που προτείνονται. Ο πρώτος αντιστροφέας (εκτός πλαισίου) χρησιμοποιείται για την παραγωγή μιας πραγματικής κυματομορφής εισόδου της αλυσίδας. Όλοι οι αντιστροφείς έχουν διαφορετική ικανότητα οδήγησης και διαφορετικά φορτία. Για κάθε αντιστροφή υπολογίζεται ο ενεργός χρόνος μετάβασης εισόδου, ο οποίος χρησιμοποιείται ως χρόνος μετάβασης εισόδου για τον επόμενο. Στον Πίνακα 3.3, δίνονται οι τιμές καθυστέρησης που παράγονται από το προτεινόμενο μοντέλο, μαζί με εκείνες που προκύπτουν από εξομοίωση με το SPICE. Το σφάλμα στη συνολική καθυστέρηση της αλυσίδας είναι 3.4 %.



Σχήμα 3.14: Αλυσίδα αντιστροφών CMOS (β_n και β_p σε mA / V²)

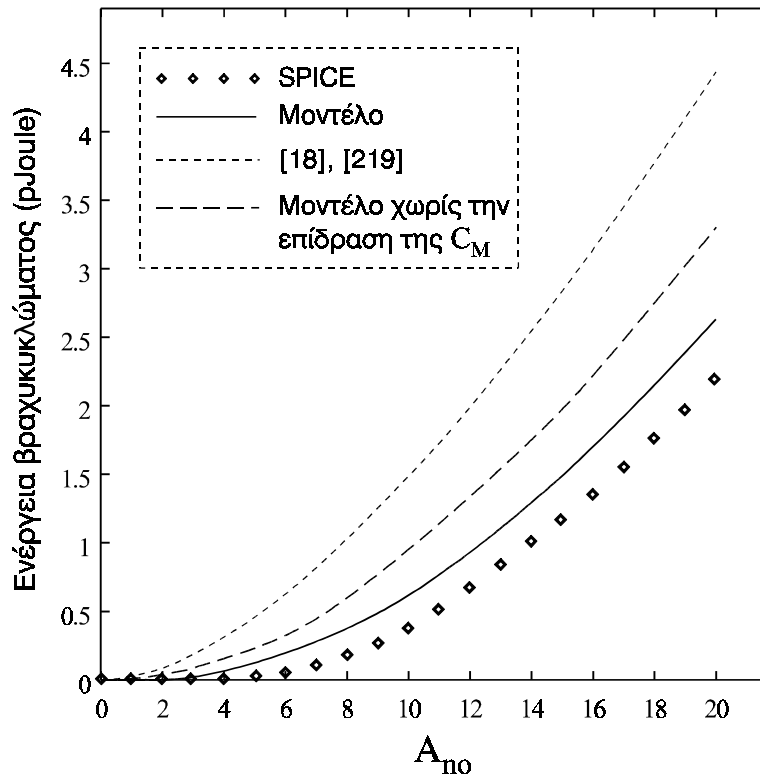
	ΚΑΘΥΣΤΕΡΗΣΗ (nsec)	
	ΜΟΝΤΕΛΟ	SPICE
Αντιστροφέας #1	0.7657	0.8016
Αντιστροφέας #2	0.9115	0.9390
Αντιστροφέας #3	1.0329	1.0591
Αντιστροφέας #4	0.7132	0.7441
Αλυσίδα	3.4233	3.5438

Πίνακας 3.3: Τιμές καθυστέρησης για την αλυσίδα αντιστροφών του Σχήματος 3.13

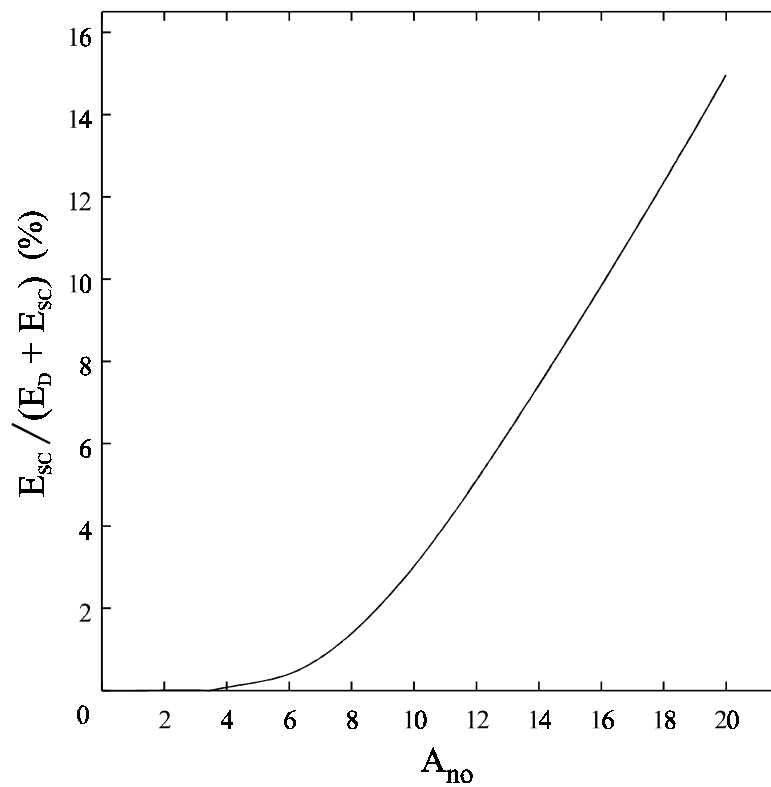
Στο Σχήμα 3.15, δίνεται το διάγραμμα της ενέργειας βραχυκυκλώματος του αντιστροφέα (με τα στοιχεία του Πίνακα 3.1) που καταναλώνεται σε ένα κύκλο μεταγωγής (switching cycle), συναρτήσει του A_{no} . Στο ίδιο σχήμα δίνονται τα διαγράμματα της ενέργειας βραχυκυκλώματος που παράγονται από κυκλωματική εξομοίωση με το SPICE, από τις αναλυτικές εκφράσεις που προτείνονται στις [18],[219] και από το αναλυτικό μοντέλο που προτείνεται στη δημοσιευμένη στο "International Symposium on Circuits and Systems (1996)" εργασία, η οποία αναφέρεται στη λίστα δημοσιεύσεων που παρατίθεται στο τέλος της διατριβής. Στην εργασία αυτή, ο υπολογισμός της ενέργειας βραχυκυκλώματος βασίζεται σε αναλυτικές εκφράσεις της κυματομορφής εξόδου του αντιστροφέα, οι οποίες λαμβάνουν υπόψη την επίδραση των ρευμάτων και των δύο τρανζίστορ, αλλά όχι και την επίδραση της χωρητικότητας σύζευξης. Η μέτρηση της ενέργειας βραχυκυκλώματος κατά την κυκλωματική εξομοίωση έγινε με τη βοήθεια του υποκυκλώματος που προτείνεται στις [27],[28] και φαίνεται στο Σχήμα 2.2. Από τα διαγράμματα του Σχήματος 3.15, εξάγεται το συμπέρασμα ότι η συμπερίληψη της επίδρασης του ρεύματος βραχυκυκλώματος στην κυματομορφή εξόδου του αντιστροφέα, είναι σημαντική για τον ακριβή υπολογισμό της ενέργειας βραχυκυκλώματος. Φαίνεται επίσης ότι η επίδραση της χωρητικότητας σύζευξης είναι εξίσου σημαντική.

Το αναλυτικό μοντέλο υπολογισμού της ενέργειας βραχυκυκλώματος που προτείνεται στην [26] δίνει απαισιόδοξα αποτελέσματα, λόγω κυρίως της θεώρησης μηδενικής χωρητικότητας εξόδου. Για παράδειγμα, σε έναν αντιστροφέα με ίσους χρόνους μετάβασης εισόδου και εξόδου ($A_{no} \cong 6$), η ενέργεια βραχυκυκλώματος σε ένα κύκλο μεταγωγής που υπολογίζεται από το προτεινόμενο μοντέλο είναι σχεδόν το 9 % της τιμής που υπολογίζεται από την έκφραση που προτείνεται στην [26]. Ο υπολογισμός της κατανάλωσης ενέργειας βραχυκυκλώματος μέσω της ισοδύναμης χωρητικότητας βραχυκυκλώματος, που προτείνεται στην [222], οδηγεί σε υπερεκτίμηση με τιμές που ξεπερνούν σε αρκετές περιπτώσεις μεταβάσεων εισόδων και εκείνες που προκύπτουν από την έκφραση που προτείνεται στην [26].

Στο Σχήμα 3.16, δίνεται το διάγραμμα του ποσοστού της συνολικής κατανάλωσης ενέργειας του αντιστροφέα (δυναμική και βραχυκυκλώματος) που καλύπτει η ενέργεια βραχυκυκλώματος, συναρτήσει του A_{no} . Το διάγραμμα αυτό δείχνει ότι η συμμετοχή της κατανάλωσης ενέργειας βραχυκυκλώματος στη συνολική κατανάλωση αυξάνεται, όταν ο χρόνος μετάβασης εισόδου αυξάνεται ή όταν το φορτίο εξό-



Σχήμα 3.15: Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του A_{no}



Σχήμα 3.16: Συμμετοχή της ενέργειας βραχυκυκλώματος στη συνολική κατανάλωση ενέργειας του αντιστροφέα

δου μειώνεται (δηλ. όταν η τιμή του A_{no} αυξάνεται). Έτσι λοιπόν, η συμμετοχή της ενέργειας βραχυκυκλώματος αυξάνεται όσο η μετάβαση του σήματος εισόδου γίνεται αργότερη από εκείνη του σήματος εξόδου.

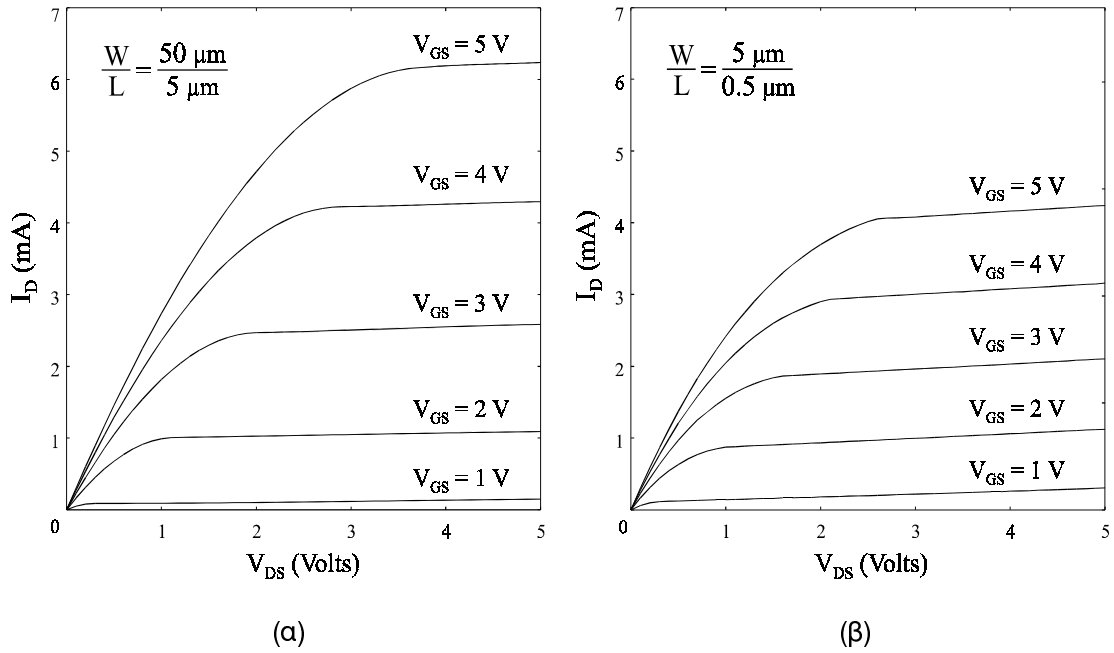
3.3 Μοντελοποίηση για τεχνολογίες υπομικρομέτρου

Στην παράγραφο αυτή, παρουσιάζεται αρχικά η ανάλυση της κυματομορφής της τάσης εξόδου του αντιστροφέα CMOS, με βάση ένα απλοποιημένο μοντέλο MOS [32],[135],[230] που αναπαριστά με ακρίβεια τις χαρακτηριστικές καμπύλες I-V των τρανζίστορ με μήκος καναλιού μικρότερου του ενός μικρομέτρου. Στη συνέχεια, με βάση τις αναλυτικές εκφράσεις της κυματομορφής εξόδου που προκύπτουν, παράγονται εκφράσεις κλειστής μορφής για τον υπολογισμό της καθυστέρησης, του χρόνου μετάβασης εξόδου και της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα.

3.3.1 Ανάλυση της κυματομορφής τάσης εξόδου του αντιστροφέα

Στη παράγραφο αυτή, υπολογίζεται αναλυτικά η κυματομορφή της τάσης εξόδου του αντιστροφέα CMOS (Σχήμα 3.1) σε όλες τις περιοχές λειτουργίας του. Η μοντελοποίηση της χωρητικότητας εξόδου και της χωρητικότητας σύζευξης του αντιστροφέα είναι η ίδια με αυτή που αναφέρθηκε στην παράγραφο 3.2.1. Η ανάλυση της κυματομορφής της τάσης εξόδου του αντιστροφέα γίνεται και σε αυτή την περίπτωση για ανερχόμενη είσοδο. Η κυματομορφή εισόδου εκφράζεται από την εξίσωση (3.7) και η χρονική μεταβολή της τάσης στον κόμβο εξόδου του αντιστροφέα εκφράζεται από την εξίσωση (3.9).

Το μοντέλο MOS νόμου του τετραγώνου εξάγονται με τη θεώρηση ότι η ταχύτητα των φορέων στο κανάλι των τρανζίστορ είναι γραμμική συνάρτηση του παράλληλου στη διεύθυνση του ρεύματος ηλεκτρικού πεδίου. Στα τρανζίστορ μικρού μήκους καναλιού όμως η γραμμικότητα αυτή δεν υπάρχει με αποτέλεσμα τα μοντέλα τετραγωνικής μορφής να μην αναπαριστούν σωστά τις χαρακτηριστικές τους καμπύλες I-V. Το φαινόμενο που σχετίζεται με τη μη γραμμική σχέση μεταξύ της ταχύτητας των φορέων και του ηλεκτρικού πεδίου στο κανάλι των τρανζίστορ μικρού μήκους καναλιού, αναφέρεται ως φαινόμενο κορεσμού της ταχύτητας των φορέων (carriers' velocity saturation effect) [32],[230]. Το φαινόμενο αυτό έχει δραστική επίδραση στις χαρακτηριστικές καμπύλες I-V των τρανζίστορ [242], όπως φαίνεται στο Σχήμα 3.17.



Σχήμα 3.17: Χαρακτηριστικές καμπύλες τρανζίστορ χωρίς την παρουσία του φαινομένου κορεσμού ταχύτητας (α) και με την παρουσία του φαινομένου κορεσμού ταχύτητας (β)

Παρατηρούμε ότι με την παρουσία του φαινομένου αυτού, για ίδιες τιμές της V_{GS} η περιοχή κόρου επιτυγχάνεται για μικρότερες τιμές της V_{DS} . Η πιο σημαντική επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων είναι ότι το διάστημα μεταξύ των καμπυλών στην περιοχή κόρου τείνει να γίνει ανάλογο της αύξησης της V_{GS} . Έτσι όπως θα δούμε στη συνέχεια, στο απλοποιημένο μοντέλο MOS που θα χρησιμοποιηθεί το ρεύμα κόρου των τρανζίστορ εξαρτάται γραμμικά από την τάση $V_{GS} - V_T$ (V_T : τάση κατωφλίου). Οι επιδράσεις του φαινομένου κορεσμού της ταχύτητας των φορέων γίνονται ισχυρότερες όταν το μήκος καναλιού των τρανζίστορ μικραίνει.

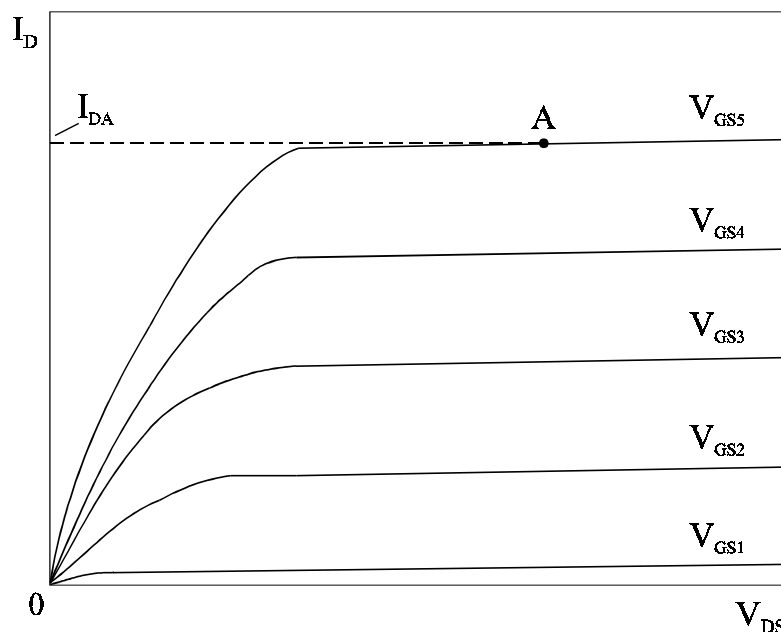
Με βάση το απλοποιημένο μοντέλο MOS για τρανζίστορ με μικρό μήκος καναλιού που αναφέρεται στις [32],[135],[230] και ανάλογα με την περιοχή λειτουργίας, το ρεύμα του τρανζίστορ NMOS εκφράζεται ως εξής

$$I_n = 0, \quad V_{in} < V_{TN}, \quad \text{Περιοχή αποκοπής} \quad (3.53)$$

$$I_n = \beta_n V_{0N} (V_{in} - V_{TN}), \quad V_{out} > V_{D-SATN}, \quad \text{Περιοχή κόρου} \quad (3.54)$$

$$I_n = \frac{\beta_n}{1 + V_{0N}^{-1} V_{out}} \left[(V_{in} - V_{TN}) V_{out} - \frac{V_{out}^2}{2} \right], \quad V_{out} \leq V_{D-SATN}, \quad \text{Γραμμική περιοχή} \quad (3.55)$$

όπου β_n είναι ο συντελεστής κέρδους (διαγωγιμότητα) του τρανζίστορ NMOS, V_{TN} η τάση κατωφλίου του και V_{0N} είναι η τάση που καθορίζει το φαινόμενο κορεσμού της



Σχήμα 3.18: Διάγραμμα για τον υπολογισμό της τάσης V_{0N}

ταχύτητας των ηλεκτρονίων [230]. Η τάση αυτή μπορεί να υπολογιστεί με εύκολο τρόπο από τις χαρακτηριστικές καμπύλες των τρανζίστορ (Σχήμα 3.18). Αρχικά επιλέγουμε ένα σημείο A στην περιοχή κόρου για μια συγκεκριμένη τιμή της V_{GS} (έστω V_{GS5}) και μετράμε το ρεύμα υποδοχής στο σημείο αυτό (I_{DA}). Έπειτα, από την απλή εξίσωση ρεύματος κόρου του μοντέλου υπολογίζουμε την τάση V_{0N}

$$V_{0N} = \frac{I_{DA}}{\beta_n (V_{GS5} - V_{TN})}. \quad (3.56)$$

Σημειώνεται εδώ, ότι η τιμή της παραπάνω τάσης είναι ανεξάρτητη από το πλάτος καναλιού των τρανζίστορ για μια δεδομένη τεχνολογία και εξαρτάται μόνο από το μήκος καναλιού, την κινητικότητα των φορέων και την μέγιστη ταχύτητα κόρου των φορέων [230]. Έτσι, για μια δεδομένη τεχνολογία, όπου χρησιμοποιείται πάντα το ελάχιστο δυνατό μήκος καναλιού, είναι αρκετό να εξαχθεί από τις χαρακτηριστικές καμπύλες μονάχα μια φορά.

V_{D-SATN} είναι η τάση κόρου του τρανζίστορ NMOS η οποία δίνεται ως εξής

$$V_{D-SATN} = V_{0N} \left[\sqrt{1 + 2 V_{0N}^{-1} (V_{in} - V_{TN})} - 1 \right]. \quad (3.57)$$

Οι εξισώσεις ρεύματος του τρανζίστορ PMOS έχουν ως εξής

$$I_p = \frac{\beta_p}{1 + V_{OP}^{-1} (V_{DD} - V_{out})} \left[(V_{DD} - V_{in} - |V_{TP}|) (V_{DD} - V_{out}) - \frac{(V_{DD} - V_{out})^2}{2} \right], \quad (3.58)$$

$$V_{DD} - V_{out} \leq V_{D-SATP}, \quad \text{Γραμμική περιοχή}$$

$$I_p = \beta_p V_{OP} (V_{DD} - V_{in} - |V_{TP}|), \quad V_{DD} - V_{out} > V_{D-SATP}, \quad \text{Περιοχή κόρου} \quad (3.59)$$

$$I_p = 0, \quad V_{in} > V_{DD} - |V_{TP}|, \quad \text{Περιοχή αποκοπής} \quad (3.60)$$

όπου β_p είναι ο συντελεστής κέρδους του τρανζίστορ PMOS, V_{TP} η τάση κατωφλίου του, και V_{OP} είναι η τάση που καθορίζει το φαινόμενο κορεσμού της ταχύτητας των οπών, η οποία υπολογίζεται από τις χαρακτηριστικές $I-V$ καμπύλες του τρανζίστορ PMOS με τον ίδιο τρόπο που περιγράφηκε παραπάνω για τον υπολογισμό της V_{ON} . V_{D-SATP} είναι η τάση κόρου του τρανζίστορ PMOS που δίνεται ως εξής

$$V_{D-SATP} = V_{OP} \left[\sqrt{1 + 2V_{OP}^{-1} (V_{DD} - V_{in} - |V_{TP}|)} - 1 \right]. \quad (3.61)$$

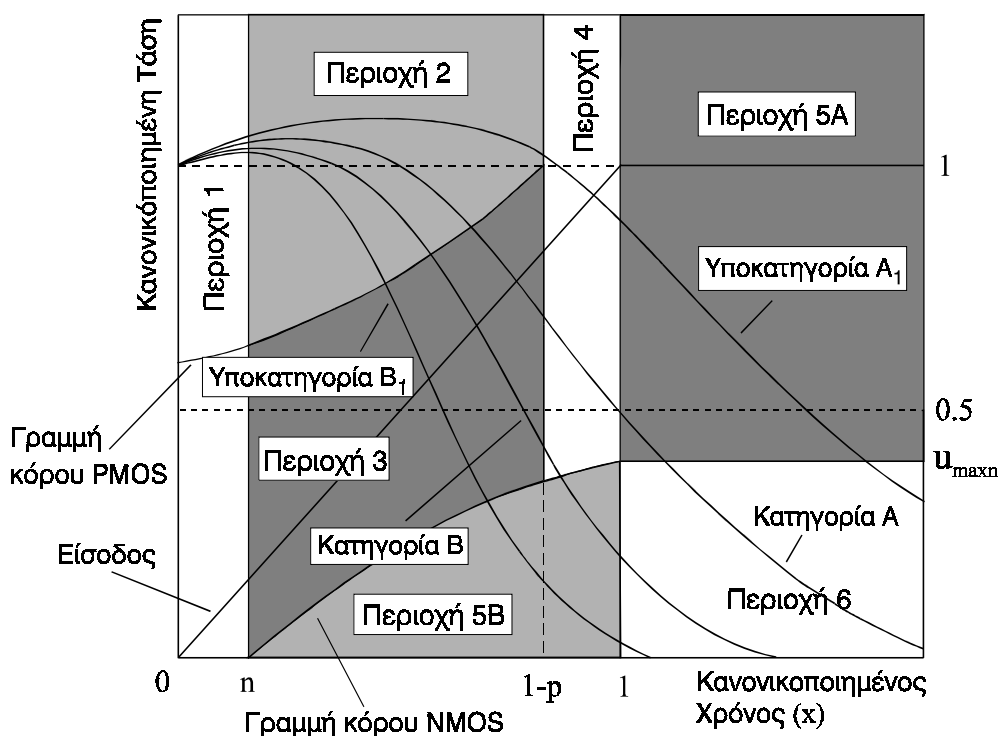
Για να παραχθεί μια ολοκληρωμένη ανάλυση της κυματομορφής εξόδου του αντιστροφέα, είναι αναγκαίο να εξεταστούν κι εδώ οι δύο κατηγορίες εισόδων (A και B) που ορίστηκαν στην παράγραφο 3.2.1, καθώς και οι δύο υποκατηγορίες A_1 και B_1 . Στο Σχήμα 3.19, φαίνονται οι περιοχές λειτουργίας του αντιστροφέα. Στις περισσότερες περιπτώσεις τρανζίστορ με μικρό μήκος καναλιού, η γραμμική περιοχή παρουσιάζεται περιορισμένη σε σχέση με την περιοχή κόρου, σε αντίθεση με τα τρανζίστορ μεγάλου μήκους καναλιού. Μια ακόμη διαφοροποίηση μεταξύ του τετραγωνικού μοντέλου MOS και του παραπάνω μοντέλου, είναι η καμπυλότητα που παρουσιάζει η γραμμή κόρου των τρανζίστορ. Στη συνέχεια της ανάλυσης χρησιμοποιείται η μεταβλητή $x = t / \tau$ και οι τάσεις κανονικοποιούνται ως προς την τάση τροφοδοσίας V_{DD} , δηλαδή: $u_{in} = V_{in} / V_{DD}$, $u_{out} = V_{out} / V_{DD}$, $n = V_{TN} / V_{DD}$, $p = |V_{TP}| / V_{DD}$, $v_{on} = V_{ON} / V_{DD}$, $v_{op} = V_{OP} / V_{DD}$.

Κατηγορία A – Γρήγορες εισοδοί

Η κατηγορία αυτή περιλαμβάνει τις περιπτώσεις εισόδων όπου το τρανζίστορ NMOS βρίσκεται στην περιοχή κόρου όταν η είσοδος φτάσει στην τελική της τιμή.

Περιοχή 1, $0 \leq x \leq n$:

Το τρανζίστορ NMOS βρίσκεται στην περιοχή αποκοπής και το τρανζίστορ PMOS στη γραμμική περιοχή λειτουργίας. Όπως αναφέρθηκε και στην παράγραφο 3.2.1, το ρεύμα φόρτισης διαμέσου της χωρητικότητας σύζευξης (C_M) προκαλεί την σημαντικότερη επίδραση σε αυτή την περιοχή λειτουργίας. Η διαφορική εξίσωση (3.9) χρησιμοποιώντας τις εξισώσεις ρεύματος (3.53) και (3.58), καταλήγει σε εξίσω-



Σχήμα 3.19: Περιοχές λειτουργίας αντιστροφέα για τεχνολογίες υπομικρομέτρου

ση τύπου Riccati [163]. Όπως και στην περίπτωση του τετραγωνικού μοντέλου, η λύση της παράγεται με τη μέθοδο που βασίζεται σε αναπτύγματα σειρών [230],[236] και δίνεται από την παρακάτω αναδρομική σχέση

$$u_{out} = 1 - \sum_{k=1}^{\infty} f_k x^k, \quad (3.62)$$

όπου $f_1 = -c_m$, $f_2 = \frac{A_p}{2} (p-1) f_1$, $A_p = \frac{\beta_p V_{DD} \tau}{C_L + C_M}$,

και $f_k = \frac{A_p}{k} \left[f_{k-2} + (p-1) f_{k-1} + \frac{1}{2} \sum_{i=1}^{k-2} (f_i f_{k-i-1}) \right] - \frac{1}{v_{op} k} \sum_{i=1}^{k-2} [(k-i) f_i f_{k-i}]$, για $k > 2$.

Ένα ικανοποιητικό όριο για την περικοπή της παραπάνω σειράς είναι η χρήση των οκτώ πρώτων όρων. Είναι η πρώτη φορά που δίνεται μια λύση της εξίσωσης Riccati που προκύπτει από την ανάλυση του αντιστροφέα για τεχνολογίες υπομικρομέτρου, αφού όλες οι προηγούμενες προσπάθειες [36],[129],[162],[230] είναι βασισμένες σε μοντέλα MOS τετραγωνικής μορφής.

Περιοχή 2, $n \leq x \leq x_{satp}$:

Το τρανζίστορ NMOS βρίσκεται στην περιοχή κόρου και το τρανζίστορ PMOS στην γραμμική περιοχή λειτουργίας. Το δεξί όριο της περιοχής 2 είναι η τιμή του κα-

νονικοποιημένου χρόνου (x_{satp}) όπου το τρανζίστορ PMOS εισέρχεται στην περιοχή κόρου, δηλαδή είναι το σημείο όπου: $V_{\text{DD}} - V_{\text{out}} = V_{\text{D-SATP}}$. Η τιμή αυτή στη περίπτωση όπου λαμβάνεται υπόψη το φαινόμενο κορεσμού της ταχύτητας των φορέων καθορίζεται από τη παρακάτω συνθήκη κόρου του τρανζίστορ PMOS

$$u_{\text{satp}} = 1 - v_{\text{op}} \left[\sqrt{1 + 2 v_{\text{op}}^{-1} (1 - x_{\text{satp}} - p)} - 1 \right], \quad (3.63)$$

όπου u_{satp} είναι η τιμή της κανονικοποιημένης τάσης εξόδου όταν το τρανζίστορ PMOS εισέρχεται στην περιοχή κόρου. Όπως στην περιοχή 1, η διαφορική εξίσωση (3.9) χρησιμοποιώντας τις εξισώσεις ρεύματος (3.54) και (3.58) καταλήγει σε μια εξίσωση τύπου Riccati. Στην περίπτωση αυτή η λύση της διαφορικής εξίσωσης επιτυγχάνεται αφού πρώτα γίνουν δύο προσεγγίσεις. Η πρώτη έχει να κάνει με το μηδενισμό του τετραγωνικού όρου του ρεύματος του τρανζίστορ PMOS, δηλαδή

$$I_p \approx \frac{\beta_p}{1 + V_{\text{OP}}^{-1} (V_{\text{DD}} - V_{\text{out}})} (V_{\text{DD}} - V_{\text{in}} - |V_{\text{TP}}|) (V_{\text{DD}} - V_{\text{out}}). \quad (3.64)$$

Αυτό γίνεται επειδή το φορτίο που συνεισφέρει ο όρος αυτός είναι πολύ μικρό λόγω των μικρών τιμών που λαμβάνει η τάση υποδοχής-πηγής ($V_{\text{DD}} - V_{\text{out}}$) στην περιοχή 2. Η ίδια προσέγγιση έχει χρησιμοποιηθεί και στην ανάλυση της κυματομορφής εξόδου του αντιστροφέα CMOS που προτείνεται στην [36]. Η δεύτερη προσέγγιση αφορά την αντικατάσταση της V_{out} στον παρανομαστή της εξίσωσης ρεύματος του τρανζίστορ PMOS, με μια μέση τάση της οποίας η κανονικοποιημένη τιμή έχει ως εξής

$$u_{\text{av}} = \frac{u_{[n]} + u'_{\text{satp}}}{2}, \quad (3.65)$$

όπου u'_{satp} είναι η τιμή της κανονικοποιημένης τάσης εξόδου στο τέλος της περιοχής 2, με τη θεώρηση ότι το ρεύμα του τρανζίστορ PMOS είναι αμελητέο και υπολογίζεται παρακάτω από την εξίσωση (3.69). $u_{[n]}$ είναι η τιμή της κανονικοποιημένης τάσης εξόδου στην αρχή της περιοχής 2 και υπολογίζεται από την εξίσωση (3.62) για $x = n$. Μετά τις παραπάνω προσεγγίσεις, η λύση της διαφορικής εξίσωσης (3.19) στην περιοχή 2 έχει ως εξής

$$u_{\text{out}} = 1 + \frac{A_n v_{\text{on}}}{G_p} + \left(u_{[n]} - \frac{A_n v_{\text{on}}}{G_p} - 1 \right) \frac{e^{y^2}}{e^{y_n^2}} + \sqrt{\pi} e^{y^2} \left(\frac{A_n y_n v_{\text{on}}}{G_p} + \sqrt{\frac{1}{2G_p}} c_m \right) (\text{erf}[y] - \text{erf}[y_n]), \quad (3.66)$$

όπου

$$A_n = \frac{\beta_n V_{DD} \tau}{C_L + C_M}, \quad G_p = \frac{A_p}{1 + v_{op}^{-1}(1 - u_{av})}, \quad y = \sqrt{\frac{G_p}{2}}(x - 1 + p), \quad y_n = \sqrt{\frac{G_p}{2}}(n - 1 + p).$$

$\text{erf}[y]$ και $\text{erf}[y_n]$ είναι οι συναρτήσεις σφάλματος [237] των y και y_n , αντίστοιχα.

Όπως θα δειχθεί παρακάτω στο κεφάλαιο αυτό, οι κυματομορφές της τάσης εξόδου του αντιστροφέα που προκύπτουν από την παραπάνω σχέση είναι πολύ κοντά στις κυματομορφές που παράγονται από κυκλωματική εξομοίωση με το SPICE, γεγονός που αποδεικνύει την ορθότητα των δύο προσεγγίσεων.

Για να συνεχιστεί η ανάλυση της κυματομορφής εξόδου του αντιστροφέα, θα πρέπει να υπολογιστούν οι οριακές κανονικοποιημένες τιμές τάσης και χρόνου (x_{satp} , u_{satp}) της περιοχής 2. Για το σκοπό αυτό χρησιμοποιείται μια μέθοδος (Σχήμα 3.20) παρόμοια με εκείνη που χρησιμοποιήθηκε στην περίπτωση του τετραγωνικού μοντέλου. Η αναλυτική λύση της διαφορικής εξίσωσης (3.9) στην περιοχή 2 με τη θεώρηση ότι το ρεύμα του τρανζίστορ PMOS είναι μηδενικό, δίνεται ως εξής

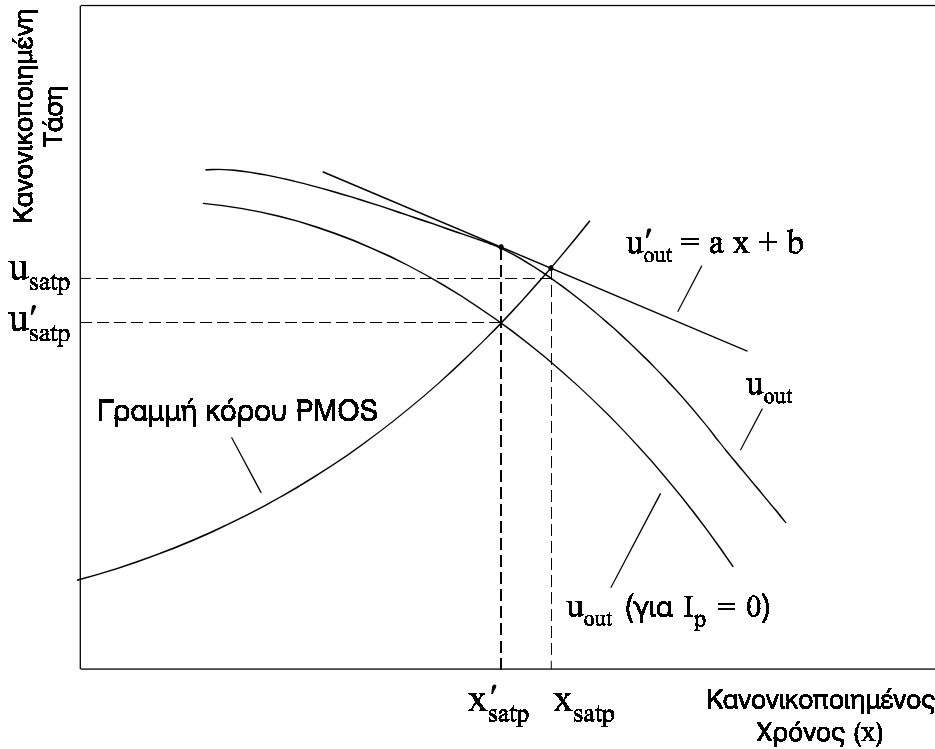
$$u_{\text{out}} = u_{12} + c_m x - \frac{A_n v_{on}}{2} (x - n)^2, \quad (3.67)$$

όπου $u_{12} = u_{[n]} - c_m n$, είναι η σταθερά ολοκλήρωσης που εισάγεται για την εξασφάλιση της συνέχειας σε σχέση με την περιοχή 1. Λύνοντας το σύστημα των εξισώσεων (3.63) και (3.67) υπολογίζεται η τιμή του κανονικοποιημένου χρόνου x'_{satp} , όπου ο αντιστροφέας αφήνει την περιοχή 2 με τη θεώρηση μηδενικού ρεύματος PMOS, ως η ρίζα μιας εξίσωσης τετάρτου βαθμού που ανήκει στο διάστημα $[n, 1-p]$. Η λύση της τεταρτοβάθμιας εξίσωσης, αντιστοιχεί στη λύση μιας τριτοβάθμιας και δύο δευτεροβάθμιων εξισώσεων [237]. Αν επιθυμείται η περαιτέρω μείωση της πολυπλοκότητας του μοντέλου μπορεί, αντί για την συνθήκη κόρου (3.63), να χρησιμοποιηθεί η παρακάτω απλοποιημένη συνθήκη κόρου που προτείνεται στην [243] και απαιτεί τη λύση μόνο μιας τριτοβάθμιας εξίσωσης για τον υπολογισμό του x'_{satp} .

$$u_{\text{satp}} = 1 - \frac{1 - x_{\text{satp}} - p}{1 + \frac{1}{2v_{op}}(1 - x_{\text{satp}} - p)}. \quad (3.68)$$

Η τιμή u'_{satp} , που χρησιμοποιείται στην εξίσωση (3.65) υπολογίζεται με απλή αντικατάσταση του x'_{satp} στην εξίσωση (3.67)

$$u'_{\text{satp}} = u_{12} + c_m x'_{\text{satp}} - \frac{A_n v_{on}}{2} (x'_{\text{satp}} - n)^2. \quad (3.69)$$



Σχήμα 3.20: Υπολογισμός του κανονικοποιημένου χρονικού σημείου x_{satp}

Στη συνέχεια καθορίζεται η εφαπτομένη στην κυματομορφή εξόδου που εκφράζεται από την εξίσωση (3.66) στο σημείο x'_{satp} .

$$u'_{out} = a x + b, \quad (3.70)$$

$$\text{όπου } a = \left. \frac{du_{out}}{dx} \right|_{x=x'_{satp}} = \left(u_{[n]} - 1 - \frac{A_n v_{on}}{G_p} \right) \frac{e^{y_s^2}}{e^{y_n^2}} \sqrt{2G_p} y_s + \left(c_m + \sqrt{\frac{2}{G_p}} A_n v_{on} y_n \right) \left[1 + \sqrt{\pi} e^{y_s^2} y_s (\text{erf}[y_s] - \text{erf}[y_n]) \right],$$

$$y_s = \sqrt{\frac{G_p}{2}} (x'_{satp} + p - 1) \quad \text{και} \quad b = (u_{out}|_{x=x'_{satp}}) - a x'_{satp}.$$

Από τις εξισώσεις (3.67) και (3.70) προκύπτει μια ακριβής προσέγγιση της τιμής x_{satp}

$$x_{satp} = \frac{-M + \sqrt{M^2 - 4a^2 v_{op}^{-1} N}}{2a^2 v_{op}^{-1}}, \quad (3.71)$$

$$\text{όπου } M = 2 \left[1 - a - a v_{op}^{-1} (1 + b) \right] \quad \text{και} \quad N = v_{op}^{-1} (b - 1)^2 - 2(b - p).$$

Ο υπολογισμός της τιμής u_{satp} επιτυγχάνεται με την αντικατάσταση του x_{satp} στην εξίσωση (3.66). Το σφάλμα που εισάγεται στον υπολογισμό του x_{satp} από την παραπάνω μέθοδο είναι μικρότερο από 0.3 %.

Όπως φαίνεται στο Σχήμα 3.19, στην υποκατηγορία A_1 , το τρανζίστορ PMOS αποκόπτεται μετά τη γραμμική περιοχή λειτουργίας χωρίς να εισαχθεί στην περιοχή κόρου. Έτσι, το δεξί όριο της περιοχής 2 για την υποπερίπτωση A_1 είναι το σημείο όπου το PMOS αποκόπτεται ($x = 1-p$). Εάν η τιμή της κανονικοποιημένης τάσης εξόδου που υπολογίζεται από την εξίσωση (3.66) για $x = 1-p$, είναι μεγαλύτερη ή ίση από 1 τότε η περίπτωση που αναλύεται υπόκειται στην υποκατηγορία A_1 και συνεχίζουμε με την περιοχή 4. Σε αντίθετη περίπτωση συνεχίζουμε με την ανάλυση της εξόδου στην περιοχή 3, που δίνεται παρακάτω.

Περιοχή 3, $x_{satp} \leq x \leq 1-p$:

Η διαφορική εξίσωση που προκύπτει από την εξίσωση (3.9) χρησιμοποιώντας τις εξισώσεις ρεύματος (3.54) και (3.59) λύνεται αναλυτικά και παράγεται η παρακάτω έκφραση για την κυματομορφή της τάσης εξόδου του αντιστροφέα

$$u_{out} = u_{23} + c_m x - \frac{A_n v_{on}}{2} (x-n)^2 - \frac{A_p v_{op}}{2} (1-x-p)^2, \quad (3.72)$$

όπου
$$u_{23} = u_{satp} - c_m x_{satp} + \frac{A_n v_{on}}{2} (x_{satp} - n)^2 + \frac{A_p v_{op}}{2} (1 - x_{satp} - p)^2. \quad (3.73)$$

Περιοχή 4, $1-p \leq x \leq 1$:

Το τρανζίστορ NMOS συνεχίζει να λειτουργεί στην περιοχή κόρου, ενώ το τρανζίστορ PMOS αποκόπτεται. Η αναλυτική λύση της διαφορικής εξίσωσης (3.9) στην περιοχή αυτή έχει ως εξής

$$u_{out} = u_{23} + c_m x - \frac{A_n v_{on}}{2} (x-n)^2. \quad (3.74)$$

Για την υποκατηγορία A_1 , η σταθερά ολοκλήρωσης u_{23} θα πρέπει να αντικατασταθεί από τη σταθερά ολοκλήρωσης u_{24}

$$u_{24} = u_{[1-p]} - c_m (1-p) + \frac{A_n v_{on}}{2} (1-p-n)^2, \quad (3.75)$$

όπου $u_{[1-p]}$ είναι η τιμή της κανονικοποιημένης τάσης εξόδου όταν το τρανζίστορ PMOS αποκόπτεται και προκύπτει από την εξίσωση (3.66) για $x = 1-p$.

Περιοχή 5A, $1 \leq x \leq x_{satn}$:

x_{satn} είναι η τιμή του κανονικοποιημένου χρόνου όπου το τρανζίστορ NMOS ε-ξέρχεται από την περιοχή κόρου, δηλαδή το σημείο όπου $V_{out} = V_{D-SATN}$. Η αναλυτική λύση της διαφορικής εξίσωσης (3.9) (για $t > \tau$), έχει ως εξής

$$u_{out} = u_{23} + c_m - \frac{A_n v_{on}}{2} (1-n)^2 - A_n v_{on} (1-n)(x-1), \quad (3.76)$$

όπου η σταθερά ολοκλήρωσης u_{23} πρέπει να αντικατασταθεί από την u_{24} , όταν πρόκειται για περιπτώσεις εισόδων που ανήκουν στην υποκατηγορία A_1 .

Περιοχή 6, $x \geq x_{satn}$:

Το τρανζίστορ NMOS εισέρχεται στην γραμμική περιοχή. Η αναλυτική λύση της εξίσωσης (3.9), έχει ως εξής

$$x - x_{satn} = \frac{1 + 2v_{on}^{-1}(1-n)}{A_n(1-n)} \ln \left[\frac{2(1-n) - u_{out}}{2(1-n) - u_{maxn}} \right] - \frac{1}{A_n(1-n)} \ln \left(\frac{u_{out}}{u_{maxn}} \right), \quad (3.77)$$

όπου $u_{maxn} = v_{on} \left[\sqrt{1 + 2v_{on}^{-1}(1-n)} - 1 \right]$ και το όριο x_{satn} υπολογίζεται από την εξίσωση (3.76), για $u_{out} = u_{maxn}$.

Κατηγορία B – Αργές εισοδοί

Η κατηγορία αυτή περιλαμβάνει τις περιπτώσεις εισόδων όπου το τρανζίστορ NMOS εισέρχεται στη γραμμική περιοχή κατά τη διάρκεια της μετάβασης της εισόδου (Σχήμα 3.19). Ο διαχωρισμός της κατηγορίας αυτής από την προηγούμενη μπορεί να γίνει εάν υπολογιστεί η u_{out} για $x = 1$ από την εξίσωση (3.74). Όπως φαίνεται στο Σχήμα 3.19, αν η τιμή αυτή είναι μεγαλύτερη από τη u_{maxn} τότε πρόκειται για περίπτωση εισόδου που ανήκει στην *κατηγορία A*, ενώ αν είναι μικρότερη πρόκειται για είσοδο που πρέπει να αναλυθεί με βάση την *κατηγορία B*. Όπως και στην περίπτωση του τετραγωνικού μοντέλου, οι εκφράσεις της κυματομορφής της τάσης εξόδου του αντιστροφέα για την *κατηγορία B* στις περιοχές 1, 2, 3 και 4 είναι ίδιες με εκείνες της *A*. Το δεξί όριο της περιοχής 4 στην *κατηγορία B* είναι η τιμή x_{satn} όπου το τρανζίστορ NMOS αφήνει την περιοχή κόρου και υπολογίζεται από την εξίσωση (3.74) για

$$u_{out} = v_{on} \left[\sqrt{1 + 2v_{on}^{-1}(x-n)} - 1 \right]. \quad (3.78)$$

Για τις περιπτώσεις εισόδων όπου το τρανζίστορ PMOS αποκόπτεται ενώ το NMOS είναι ήδη στην γραμμική περιοχή λειτουργίας (*υποκατηγορία B₁*) η τιμή x_{satn} υπολογίζεται από την εξίσωση (3.72) για την τιμή της u_{out} που δίνεται από την (3.78). Η διάκριση μεταξύ της *κατηγορίας B* και της *υποκατηγορίας B₁* γίνεται με τον υπολογισμό της τιμής της u_{out} στην περιοχή 3 για $x = 1-p$. Εάν η τιμή αυτή είναι μεγαλύτερη από

$$v_{on} \left[\sqrt{1 + 2v_{on}^{-1}(1-p-n)} - 1 \right],$$

τότε πρόκειται για περίπτωση εισόδου που ανήκει στην κατηγορία B, ενώ αν είναι μικρότερη πρόκειται για είσοδο που ανήκει στην υποκατηγορία B₁.

Περιοχή 5B, $x_{satn} \leq x \leq 1$:

Το τρανζίστορ PMOS είναι αποκομμένο στο διάστημα $1-p \leq x \leq 1$, αλλά λειτουργεί στην περιοχή κόρου στο διάστημα $x_{satn} \leq x \leq 1-p$. Ωστόσο, στο δεύτερο αυτό διάστημα η επίδραση του ρεύματος του τρανζίστορ PMOS στη κυματομορφή της τάσης εξόδου μπορεί να θεωρηθεί αμελητέα για τους λόγους που αναφέρθηκαν στην παράγραφο 3.2.1 (Περιοχή 5B). Για να δοθεί αναλυτική λύση της διαφορικής εξίσωσης (3.9) στην περιοχή αυτή, το ρεύμα διαμέσου της χωρητικότητας σύζευξης θεωρείται αμελητέο. Επίσης, στον παρανομαστή της εξίσωσης του ρεύματος γραμμικής περιοχής του τρανζίστορ NMOS χρησιμοποιείται μια μέση τάση με κανονικοποιημένη τιμή $u_{satn} / 2$. Έτσι, προκύπτει η παρακάτω έκφραση για την κανονικοποιημένη τάση εξόδου

$$u_{out} = e^{-y_1^2} \left[\frac{1}{u_{satn} e^{y_{satn}^2}} - \sqrt{\frac{\pi A_n}{4(2 + u_{satn} v_{on}^{-1})}} (\operatorname{erf}[y_1] - \operatorname{erf}[y_{satn}]) \right]^{-1}, \quad (3.79)$$

όπου:
$$y_1 = \sqrt{\frac{A_n}{2 + u_{satn} v_{on}^{-1}}} (x - n), \quad y_{satn} = \sqrt{\frac{A_n}{2 + u_{satn} v_{on}^{-1}}} (x_{satn} - n),$$

$$\text{και } u_{satn} = v_{on} \left[\sqrt{1 + 2v_{on}^{-1}(x_{satn} - n)} - 1 \right].$$

Περιοχή 6, $x \geq 1$:

Η κυματομορφή της τάσης εισόδου έχει φτάσει στην τελική της τιμή, το τρανζίστορ NMOS λειτουργεί ακόμη στη γραμμική του περιοχή και το τρανζίστορ PMOS είναι στην περιοχή αποκοπής. Η αναλυτική λύση της διαφορικής εξίσωσης (3.9) στην περιοχή αυτή δίνεται από την εξίσωση (3.77), εάν θέσουμε όπου x_{satn} την τιμή 1 και όπου u_{maxn} την τιμή $u_{[1]}$. Η τιμή $u_{[1]}$ υπολογίζεται από την εξίσωση (3.79) για $x = 1$.

3.3.2 Υπολογισμός της καθυστέρησης του αντιστροφέα

Όπως και στην περίπτωση της ανάλυσης που βασίστηκε στο τετραγωνικό μοντέλο MOS, για να υπολογιστεί η καθυστέρηση του αντιστροφέα (εξίσωση (3.33)), θα πρέπει κι εδώ να υπολογιστεί η τιμή του κανονικοποιημένου χρόνου ($x_{0.5}$) όπου $u_{out} = 0.5$, για όλες τις κατηγορίες κυματομορφών εισόδου.

Μια κρίσιμη παράμετρος για τον καθορισμό της περιοχής λειτουργίας στην ο-

ποία η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5 (Σχήμα 3.19), είναι η μέγιστη κανονικοποιημένη τάση κόρου $u_{\max n}$ του τρανζίστορ NMOS (ή του τρανζίστορ PMOS για την περίπτωση κατερχόμενης εισόδου). Αυτό συμβαίνει επειδή υπάρχουν περιπτώσεις τεχνολογιών υπομικρομέτρου όπου η τάση αυτή ξεπερνάει την τιμή 0.5 (Σχήμα 3.21). Έτσι, είναι απαραίτητο να διακρίνουμε δύο περιπτώσεις για τον υπολογισμό της τιμής $x_{0.5}$: $u_{\max n} \leq 0.5$ και $u_{\max n} \geq 0.5$.

1. $u_{\max n} \leq 0.5$:

Στην υποκατηγορία πολύ γρήγορων εισόδων (A_1) η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5 όταν ο αντιστροφέας λειτουργεί στην περιοχή 5A. Το ίδιο συμβαίνει και στην κατηγορία γρήγορων εισόδων (A), όταν $u_{[1]} \geq 0.5$. Εάν $u_{[1]} \leq 0.5$, η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5 όταν ο αντιστροφέας λειτουργεί στην περιοχή 4. Στην πρώτη περίπτωση η τιμή $x_{0.5}$ υπολογίζεται από την εξίσωση (3.76) για $u_{\text{out}} = 0.5$

$$x_{0.5} = \frac{n+1}{2} + \frac{u_{23} + c_m - 0.5}{A_n v_{\text{on}} (1-n)}, \quad (3.80)$$

ενώ στη δεύτερη περίπτωση υπολογίζεται από την εξίσωση (3.74)

$$x_{0.5} = \frac{A_n v_{\text{on}} n + c_m + \sqrt{c_m^2 + A_n v_{\text{on}} (2c_m n + 2u_{23} - 1)}}{A_n v_{\text{on}}}. \quad (3.81)$$

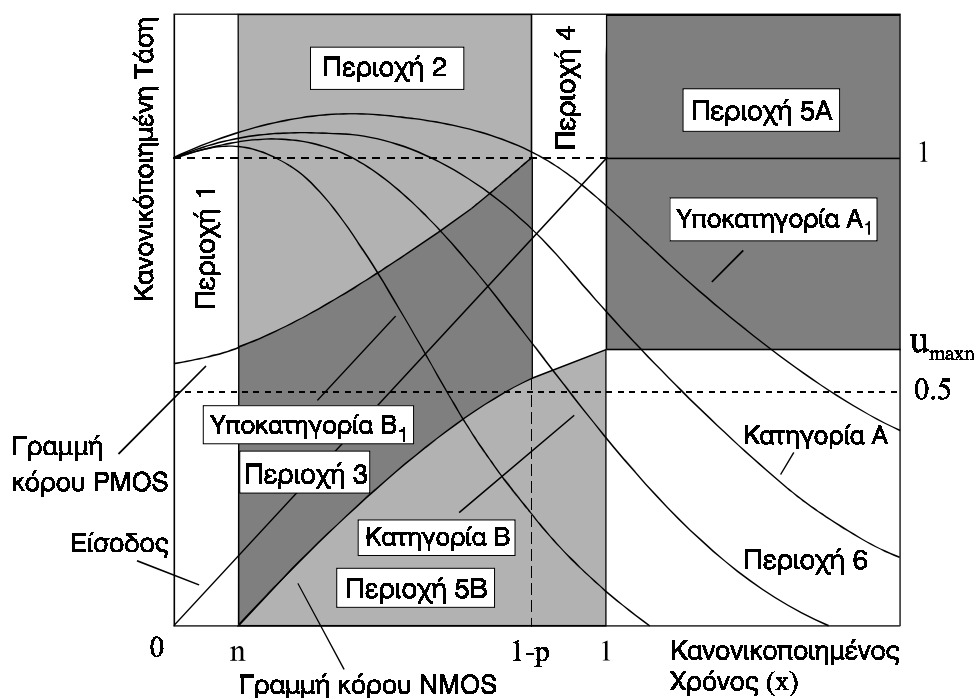
Στην κατηγορία αργών εισόδων (B) η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5 όταν ο αντιστροφέας λειτουργεί στην περιοχή 4 εάν $u_{[1-p]} \geq 0.5$ και στην περιοχή 3 εάν $u_{[1-p]} \leq 0.5$. Στην πρώτη περίπτωση η τιμή $x_{0.5}$ δίνεται από την εξίσωση (3.81), ενώ στη δεύτερη περίπτωση υπολογίζεται από την εξίσωση (3.72)

$$x_{0.5} = \frac{1}{E} \left[-2D + \sqrt{4D^2 - 2E(1 - 2u_{23} + A_p v_{\text{op}} (p-1)^2 + A_n v_{\text{on}} n^2)} \right], \quad (3.82)$$

όπου $D = A_p v_{\text{op}} (p-1) - A_n v_{\text{on}} n - c_m$ και $E = 2(A_n v_{\text{on}} + A_p v_{\text{op}})$. Από την παραπάνω εξίσωση υπολογίζεται η τιμή $x_{0.5}$ και στην υποκατηγορία B_1 .

2. $u_{\max n} \geq 0.5$:

Στην κατηγορία γρήγορων εισόδων (A), αλλά και στην υποκατηγορία πολύ γρήγορων εισόδων (A_1) η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5 όταν ο αντιστροφέας λειτουργεί στην περιοχή 6. Έτσι, η τιμή $x_{0.5}$ υπολογίζεται από την εξίσωση (3.77) για $u_{\text{out}} = 0.5$



Σχήμα 3.21: Περιοχές λειτουργίας του αντιστροφέα ($u_{\max n} > 0.5$)

$$x_{0.5} = x_{\text{satn}} + \frac{1 + 2v_{\text{on}}^{-1}(1-n)}{A_n(1-n)} \ln \left[\frac{2(1-n) - 0.5}{2(1-n) - u_{\max n}} \right] - \frac{1}{A_n(1-n)} \ln \left(\frac{0.5}{u_{\max n}} \right). \quad (3.83)$$

Στην *κατηγορία αργών εισόδων* (B) υπάρχουν δύο ενδεχόμενα για την περιοχή λειτουργίας στην οποία η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5. Εάν $u_{[1]} \geq 0.5$ αυτό συμβαίνει στην περιοχή 6, ενώ εάν $u_{[1]} \leq 0.5$ συμβαίνει στην περιοχή 5B. Στην πρώτη περίπτωση η τιμή $x_{0.5}$ από την εξίσωση (3.83), εάν θέσουμε όπου x_{satn} την τιμή 1 και όπου $u_{\max n}$ την τιμή $u_{[1]}$. Στη δεύτερη περίπτωση, επειδή η έκφραση της κυματομορφής εξόδου του αντιστροφέα στην περιοχή 5B δεν μπορεί να λυθεί αναλυτικά χρησιμοποιείται μια γραμμική προσέγγιση της κυματομορφής της κανονικοποιημένης τάσης εξόδου στην περιοχή του 0.5. Έτσι, η τιμή $x_{0.5}$ δίνεται από την παρακάτω σχέση

$$x_{0.5} = x_{\text{satn}} + \frac{0.5 - u_{\text{satn}}}{d}, \quad (3.84)$$

όπου d είναι η κλίση της κυματομορφής της κανονικοποιημένης εξόδου στην περιοχή του 0.5, η οποία προκύπτει από τη διαφορική εξίσωση (3.9) όπως αυτή διαμορφώνεται στην περιοχή 5B

$$d = \left. \frac{du_{\text{out}}}{dx} \right|_{x=x_{\text{satn}}} = c_m - \frac{A_n}{1 + v_{\text{on}}^{-1}u_{\text{satn}}} \left[(x_{\text{satn}} - n)u_{\text{satn}} - \frac{u_{\text{satn}}^2}{2} \right]. \quad (3.85)$$

Στην υποκατηγορία πολύ αργών εισόδων (B_1), αν η τιμή της κανονικοποιημένης τάσης εξόδου στο σημείο x_{satn} (u_{satn}) είναι μεγαλύτερη από 0.5 τότε η καθυστέρηση δίνεται από την εξίσωση (3.84). Εάν είναι μικρότερη τότε η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5 στην περιοχή 3 και η τιμή $x_{0.5}$ δίνεται από την (3.82).

3.3.3 Υπολογισμός του χρόνου μετάβασης εξόδου

Ο χρόνος μετάβασης εξόδου υπολογίζεται με τη μέθοδο που ακολουθήθηκε στην περίπτωση του τετραγωνικού μοντέλου (Παράγραφος 3.2.3 - Σχήμα 3.5). Σύμφωνα με την μέθοδο αυτή, ο χρόνος μετάβασης εξόδου υπολογίζεται αν η κλίση της κυματομορφής εξόδου προσεγγιστεί με το 70% της παραγώγου της τάσης εξόδου στο μισό του εύρους της τάσης τροφοδοσίας (εξίσωση (3.39)). Έτσι, πρέπει με βάση την ανάλυση της κυματομορφής εξόδου που περιγράφηκε στην παράγραφο 3.3.1, να υπολογιστεί η κλίση s της κυματομορφής της κανονικοποιημένης τάσης εξόδου στο σημείο $x_{0.5}$. Στον Πίνακα 3.4, δίνονται οι εξισώσεις υπολογισμού της κλίσης αυτής για κάθε κατηγορία εισόδων και για τα δύο ενδεχόμενα που αφορούν τη μέγιστη κανονικοποιημένη τάση κόρου του τρανζίστορ NMOS ($u_{\text{maxn}} \leq 0.5$ και $u_{\text{maxn}} \geq 0.5$). Οι εξισώσεις αυτές προκύπτουν από την διαφορική εξίσωση (3.9) όπως αυτή διαμορφώνεται στις περιοχές όπου η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5.

3.3.4 Υπολογισμός της κατανάλωσης ενέργειας βραχυκυκλώματος

Η δυναμική κατανάλωση ενέργειας λόγω της φόρτισης και εκφόρτισης της χωρητικότητας εξόδου υπολογίζεται όπως στην περίπτωση του τετραγωνικού μοντέλου MOS (Παράγραφος 3.2.4.1), αφού εξαρτάται μονάχα από την τάση τροφοδοσίας και το χωρητικό φορτίο και είναι ανεξάρτητη από την κυματομορφή της τάσης εξόδου του αντιστροφέα. Έτσι, στη συνέχεια εξετάζεται μόνο ο υπολογισμός της κατανάλωσης ενέργειας βραχυκυκλώματος για τεχνολογίες υπομικρομέτρου.

Η πρώτη προσπάθεια για τη συμπερίληψη του φαινομένου κορεσμού της ταχύτητας των φορέων στον υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος έγινε στις [19],[139], όπου προτείνεται μια απευθείας επέκταση της αναλυτικής έκφρασης που παράχθηκε από τον Veendrick [26], βασισμένη στο μοντέλο MOS δύναμης του α (α -power law MOS model). Ωστόσο, η θεώρηση μηδενικής χωρητικότητας εξόδου που είχε γίνει στην [26] διατηρείται, με αποτέλεσμα οι τιμές της ενέργειας

$u_{maxn} \leq 0.5$	$u_{maxn} \geq 0.5$
ΥΠΟΚΑΤΗΓΟΡΙΑ A₁	
Περιοχή 5A: $s = -A_n v_{on}(1-n)$	Περιοχή 6: $s = A_n(4n-3) / (4v_{on}^{-1} + 8)$
ΚΑΤΗΓΟΡΙΑ A	
Περιοχή 5A ($u_{[1]} \geq 0.5$): $s = -A_n v_{on}(1-n)$	Περιοχή 6: $s = A_n(4n-3) / (4v_{on}^{-1} + 8)$
Περιοχή 4 ($u_{[1]} \leq 0.5$): $s = c_m - A_n v_{on}(x_{0.5} - n)$	
ΚΑΤΗΓΟΡΙΑ B	
Περιοχή 4 ($u_{[1-p]} \geq 0.5$): $s = c_m - A_n v_{on}(x_{0.5} - n)$	Περιοχή 6 ($u_{[1]} \geq 0.5$): $s = A_n(4n-3) / (4v_{on}^{-1} + 8)$
Περιοχή 3 ($u_{[1-p]} \leq 0.5$): $s = c_m - A_n v_{on}(x_{0.5} - n) + A_p v_{op}(1 - x_{0.5} - p)$	Περιοχή 5B ($u_{[1]} \leq 0.5$): $s = c_m - [A_n(4x_{0.5} - 4n - 1) / (4v_{on}^{-1} + 8)]$
ΥΠΟΚΑΤΗΓΟΡΙΑ B₁	
Περιοχή 3: $s = c_m - A_n v_{on}(x_{0.5} - n) + A_p v_{op}(1 - x_{0.5} - p)$	Περιοχή 5B ($u_{satn} \geq 0.5$): $s = c_m - [A_n(4x_{0.5} - 4n - 1) / (4v_{on}^{-1} + 8)]$
	Περιοχή 3 ($u_{satn} \leq 0.5$): $s = c_m - A_n v_{on}(x_{0.5} - n) + A_p v_{op}(1 - x_{0.5} - p)$

Πίνακας 3.4: Εξισώσεις υπολογισμού της κλίσης s

βραχυκυκλώματος που προκύπτουν να είναι αρκετά μεγαλύτερες από τις πραγματικές. Στη [218], προτείνεται η αντικατάσταση του χρόνου μετάβασης εισόδου όπως δίνεται στις [19],[139] στην έκφραση υπολογισμού της κατανάλωσης ενέργειας βραχυκυκλώματος που επίσης δίνεται στις [19],[139]. Η αντικατάσταση αυτή έχει ως α-

ποτέλεσμα μια έκφραση υπολογισμού της ενέργειας βραχυκυκλώματος η οποία περιλαμβάνει και την χωρητικότητα εξόδου, γεγονός που όμως δε συμφωνεί με την αρχική θεώρηση μηδενικής χωρητικότητας εξόδου που έγινε στις [19],[139].

Στη [221] προτείνεται μια έκφραση για τον αναλυτικό υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα CMOS, η οποία βασίζεται στην αναλυτική λύση της διαφορικής εξίσωσης στον κόμβο εξόδου του αντιστροφέα. Ωστόσο, η έκφραση της κυματομορφής εξόδου παράγεται χωρίς να ληφθεί υπόψη η επίδραση του ρεύματος βραχυκυκλώματος. Επίσης, θεωρείται ότι το τρανζίστορ μέσω του οποίου φορτίζεται ή εκφορτίζεται η χωρητικότητα εξόδου, λειτουργεί στην περιοχή κόρου στο χρονικό διάστημα που υπάρχει το ρεύμα βραχυκυκλώματος. Η θεώρηση αυτή όμως δεν ισχύει στην περίπτωση όπου η είσοδος του αντιστροφέα μεταβάλλεται αρκετά αργότερα από την έξοδό του. Το ρεύμα υποδοχής των τρανζίστορ μοντελοποιείται με χρήση του μοντέλου MOS δύναμης του α .

Στη [223], η κυματομορφή του ρεύματος βραχυκυκλώματος του αντιστροφέα προσεγγίζεται μέσω μιας χρονικής συνάρτησης γραμμικών τμημάτων με σκοπό να υπολογιστεί η κατανάλωση ενέργειας βραχυκυκλώματος. Το ρεύμα υποδοχής των τρανζίστορ μοντελοποιείται με το μοντέλο MOS δύναμης του n (n -power law MOS model) [134]. Οι τιμές της κυματομορφής ρεύματος που απαιτούνται για την εκτίμηση της ενέργειας βραχυκυκλώματος υπολογίζονται μέσω προσεγγιστικών λύσεων της διαφορικής εξίσωσης στον κόμβο εξόδου του αντιστροφέα όπου λαμβάνεται υπόψη και η επίδραση της χωρητικότητας σύζευξης. Ωστόσο, η ενέργεια του αναστροφου ρεύματος που προκαλείται λόγω της χωρητικότητας σύζευξης αφαιρείται από την ενέργεια βραχυκυκλώματος. Το ρεύμα αυτό παρέχεται από την είσοδο, οπότε η ενέργεια που του αντιστοιχεί δεν μπορεί να συμπεριληφθεί στην ενέργεια βραχυκυκλώματος η οποία οφείλεται στο ρεύμα που ρέει από την τροφοδοσία στη γείωση. Στη [224], προτείνεται μια μεθοδολογία για τον αναλυτικό υπολογισμό της ενέργειας βραχυκυκλώματος του αντιστροφέα, όπου η κυματομορφή του ρεύματος βραχυκυκλώματος προσεγγίζεται με ένα τριγωνικό παλμό. Η επίδραση της χωρητικότητας σύζευξης στην ενέργεια βραχυκυκλώματος λαμβάνεται με ορθότερο τρόπο σε σχέση με τη [223]. Ωστόσο, προτείνονται μονάχα τα βήματα της μεθοδολογίας υπολογισμού, χωρίς να δίνονται συγκεκριμένοι τρόποι για τη λύση των εξισώσεων που προκύπτουν κατά τον υπολογισμό των χαρακτηριστικών του παλμού του ρεύματος βραχυκυκλώματος.

Στις [225],[226], η κατανάλωση ενέργειας βραχυκυκλώματος υπολογίζεται μέσω μιας υποθετικής ισοδύναμης χωρητικότητας βραχυκυκλώματος. Κατά τη μοντελοποίηση χρησιμοποιείται μια έκφραση για το ρεύμα κόρου των τρανζίστορ παρόμοια με αυτή της εξίσωσης (3.54), καθώς επίσης και το μοντέλο καθυστέρησης που προτείνεται στην [142]. Η κυματομορφή του ρεύματος βραχυκυκλώματος θεωρείται συμμετρική ως προς το χρονικό σημείο όπου το ρεύμα λαμβάνει τη μέγιστη τιμή του, το οποίο υπολογίζεται θεωρώντας ότι η κυματομορφή εξόδου του αντιστροφέα είναι γραμμική. Αν και στις εργασίες αυτές λαμβάνεται υπόψη η απουσία ρεύματος βραχυκυκλώματος κατά τη διάρκεια της υπέρβασης της τάσης εξόδου, από την τελική έκφραση προκύπτουν τιμές ενέργειας βραχυκυκλώματος αρκετά μεγαλύτερες από τις πραγματικές.

Όπως προέκυψε από την ανάλυση της παραγράφου 3.2.4.2, ενέργεια βραχυκυκλώματος καταναλώνεται στον αντιστροφέα CMOS (για ανερχόμενη είσοδο - Σχήμα 3.7) από το τέλος της υπέρβασης της τάσης εξόδου ($x = x_1$) έως ότου το τρανζίστορ PMOS εισέλθει στην περιοχή αποκοπής ($x = 1-p$). Στην *υποκατηγορία πολύ γρήγορων εισόδων* (A_1), το τρανζίστορ PMOS αποκόπτεται πριν το τέλος της υπέρβασης της τάσης εξόδου, οπότε δεν υπάρχει κατανάλωση ενέργειας βραχυκυκλώματος.

Για τις υπόλοιπες κατηγορίες ο υπολογισμός της ενέργειας βραχυκυκλώματος ξεκινάει με την εξίσωση (3.47). Στο πρώτο ολοκλήρωμα της εξίσωσης (3.47), χρησιμοποιείται για το ρεύμα του τρανζίστορ PMOS η σχέση που προκύπτει από την εφαρμογή του πρώτου κανόνα Kirchoff (εξίσωση (3.8)) στον κόμβο εξόδου

$$I_p = \beta_n V_{DD}^2 v_{on} (x-n) - \frac{C_M V_{DD}}{\tau} + \frac{(C_M + C_L) V_{DD}}{\tau} \frac{du_{out}}{dx}. \quad (3.86)$$

Στο δεύτερο ολοκλήρωμα της εξίσωσης (3.47) χρησιμοποιείται η εξίσωση ρεύματος κόρου (3.59) του τρανζίστορ PMOS. Αντικαθιστώντας λοιπόν τις εξισώσεις (3.86) και (3.59) στα ολοκληρώματα της εξίσωσης (3.47), η ενέργεια βραχυκυκλώματος του αντιστροφέα CMOS για κατερχόμενη κυματομορφή εξόδου δίνεται ως εξής

$$E_{SC}^{1 \rightarrow 0} = \frac{\beta_n V_{DD}^3 v_{on} \tau}{2} \left[(x_{satp} - x_1)(x_{satp} + x_1 - 2n) \right] - V_{DD}^2 C_M (x_{satp} - x_1) + V_{DD}^2 (C_L + C_M) (u_{satp} - 1) + \frac{\beta_p V_{DD}^3 v_{op} \tau}{2} (1 - x_{satp} - p)^2. \quad (3.87)$$

Η τιμή του κανονικοποιημένου χρόνου x_1 , όπου συμβαίνει το τέλος της υπέρβασης της τάσης εξόδου υπολογίζεται από τη δεύτερη περιοχή λειτουργίας του αντιστρο-

φέα, λύνοντας την εξίσωση $u_{out} = 1$. Επειδή η εξίσωση αυτή δεν μπορεί να λυθεί αναλυτικά, χρησιμοποιείται μια μέθοδος παρόμοια με εκείνη που χρησιμοποιήθηκε για τον υπολογισμό της τιμής x_{satp} . Από την εξίσωση (3.67) για $u_{out} = 1$ προκύπτει η τιμή x'_1 όπου τελειώνει η υπέρβαση της τάσης εξόδου, με τη θεώρηση ότι το ρεύμα του τρανζίστορ PMOS είναι μηδενικό. Η εφαπτομένη της κυματομορφής εξόδου (περιοχή 2) στο σημείο x'_1 , δίνεται ως εξής

$$u_{out} = m x + q, \quad (3.88)$$

$$\begin{aligned} \text{όπου} \quad m = \frac{du_{out}}{dx} \Big|_{x=x'_1} &= \left(u_{[n]} - 1 - \frac{A_n v_{on}}{G_p} \right) \frac{e^{y_1^2}}{e^{y_n^2}} \sqrt{2G_p} y_1 \\ &+ \left(c_m + \sqrt{\frac{2}{G_p}} A_n v_{on} y_n \right) \left[1 + \sqrt{\pi} e^{y_1^2} y_1 (\text{erf}[y_1] - \text{erf}[y_n]) \right], \\ y_1 &= \sqrt{\frac{G_p}{2}} (x'_1 + p - 1), \quad \text{και} \quad q = \left(u_{out} \Big|_{x=x'_1} \right) - d x'_1. \end{aligned}$$

Από την εξίσωση (3.88) για $u_{out} = 1$, προκύπτει μια ακριβής προσέγγιση της τιμής x_1

$$x_1 = \frac{1 - q}{m}. \quad (3.89)$$

Το σφάλμα που εισάγεται στον υπολογισμό της τιμής x_1 , λόγω της παραπάνω προσέγγισης είναι μικρότερο από 0.3 %.

Η ανάλυση για τον υπολογισμό της ενέργειας βραχυκυκλώματος του αντιστροφέα για ανερχόμενη κυματομορφή εξόδου, είναι συμμετρική και καταλήγει στην παρακάτω αναλυτική έκφραση

$$\begin{aligned} E_{SC}^{0 \rightarrow 1} &= \frac{\beta_p V_{DD}^3 v_{op} \tau}{2} \left[(x_{satn} - x_1)(x_{satn} + x_1 - 2p) \right] - V_{DD}^2 C_M (x_{satn} - x_1) \\ &- V_{DD}^2 (C_L + C_M) u_{satn} + \frac{\beta_n V_{DD}^3 v_{on} \tau}{2} (1 - x_{satn} - n)^2. \end{aligned} \quad (3.90)$$

όπου τ είναι στην περίπτωση αυτή ο χρόνος μετάβασης της κατερχόμενης εισόδου, x_1 το σημείο όπου η ανερχόμενη τάση εξόδου παίρνει την τιμή 0 και x_{satn} , u_{satn} οι τιμές του κανονικοποιημένου χρόνου και της κανονικοποιημένης τάσης εξόδου αντίστοιχα, όταν το τρανζίστορ NMOS εισέρχεται στην περιοχή κόρου.

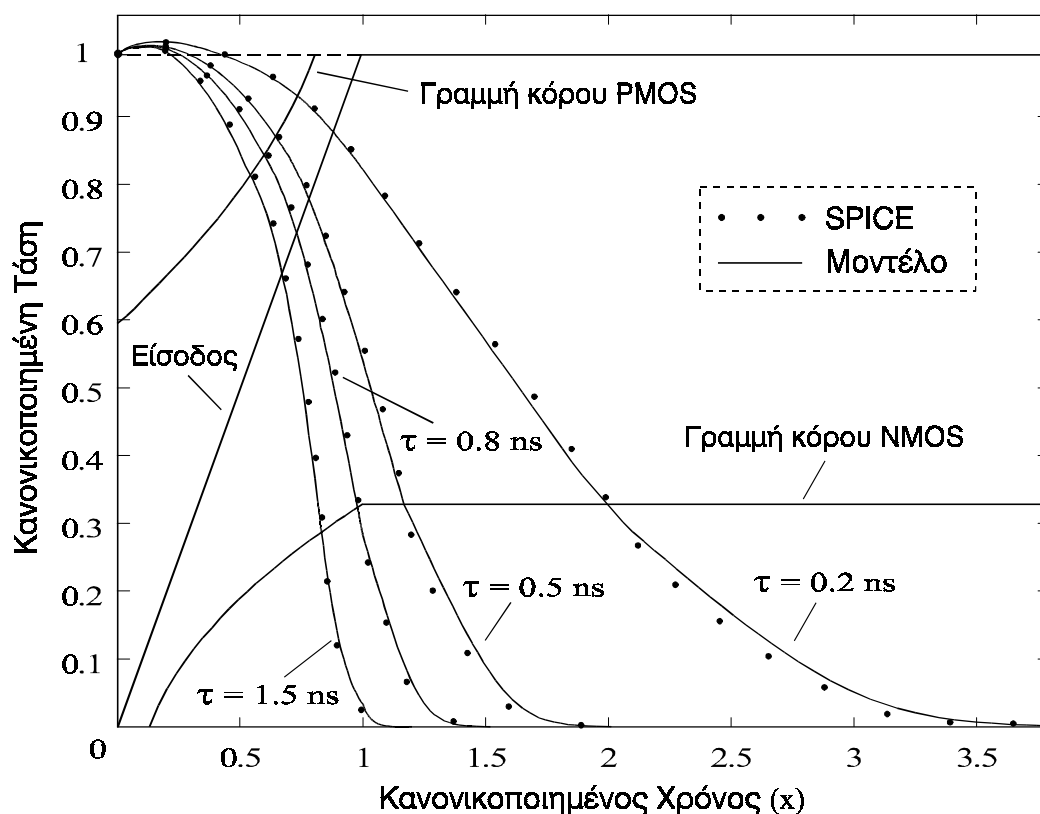
Οι αναλυτικές εκφράσεις (3.87) και (3.90) που παράχθηκαν για τον υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα CMOS, περιλαμβάνουν τις επιδράσεις του φαινομένου κορεσμού της ταχύτητας των φορέων, καθώς

και των υπόλοιπων χαρακτηριστικών και των δύο τρανζίστορ, του χωρητικού φορτίου της κλίσης της κυματομορφής εισόδου και της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου.

3.3.5 Αξιολόγηση, αποτελέσματα και συγκρίσεις

Στην παράγραφο αυτή, παρουσιάζεται μια αξιολόγηση των αναλυτικών μοντέλων χρονικής απόκρισης και κατανάλωσης ενέργειας του αντιστροφέα CMOS, τα οποία περιλαμβάνουν την επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων που είναι σημαντική στα τρανζίστορ τεχνολογιών υπομικρομέτρου.

Στο Σχήμα 3.22, δίνονται οι κυματομορφές της τάσης εξόδου του αντιστροφέα που αντιστοιχούν σε τέσσερις διαφορετικές τιμές του χρόνου μετάβασης εισόδου. Οι κυματομορφές αυτές έχουν παραχθεί χρησιμοποιώντας τις αναλυτικές εκφράσεις της παραγράφου 3.3.1, για τις παραμέτρους του μοντέλου που δίνονται στον Πίνακα 3.5. Οι διαστάσεις των τρανζίστορ έχουν επιλεγεί έτσι ώστε να παρουσιάζουν ίδιο ρεύμα υποδοχής όταν $V_{GS} = V_{DS} = V_{DD}$. Το ρεύμα αυτό χρησιμοποιείται από τους περισσότερους σχεδιαστές ως μέτρο ικανότητας οδήγησης των τρανζίστορ, για τε-



Σχήμα 3.22: Κυματομορφές τάσης εξόδου του αντιστροφέα CMOS

ΠΑΡΑΜΕΤΡΟΙ	NMOS	PMOS
β (mA/V ²)	1.18	0.63
L (μ m)	0.5	0.5
W (μ m)	3	6.5
V _T (V)	0.657	0.921
V ₀ (V)	0.49	0.96

Πίνακας 3.5: Παράμετροι μοντέλου MOS για τα τρανζίστορ του αντιστροφέα

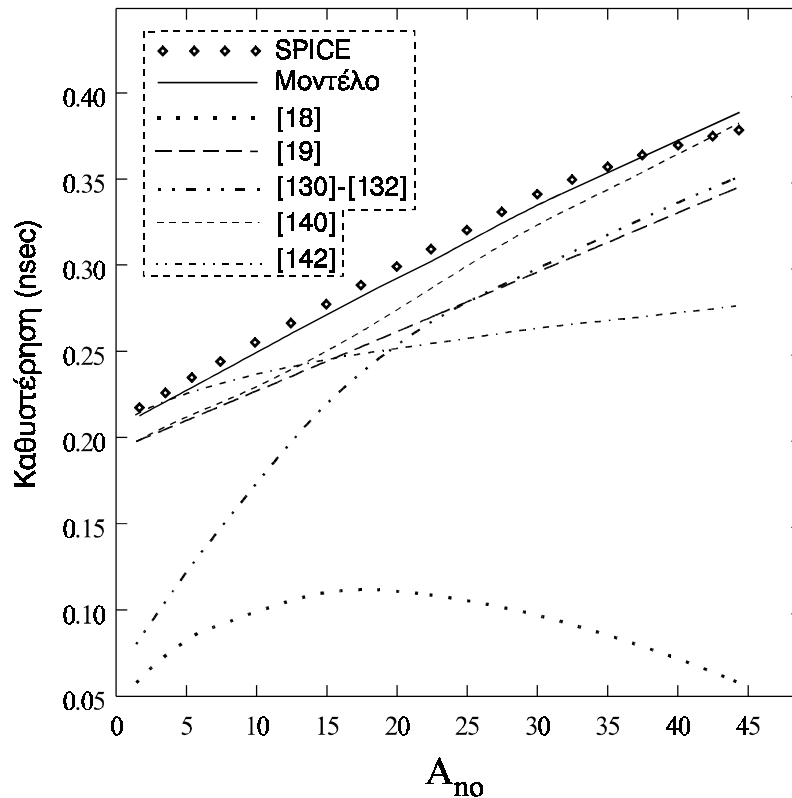
χνολογίες υπομικρομέτρου [19]. Η τάση τροφοδοσίας που χρησιμοποιήθηκε κατά την εξαγωγή των κυματομορφών ήταν 5V και η χωρητικότητα εξόδου 0.2pF. Στο ίδιο σχήμα έχουν προστεθεί και οι κυματομορφές εξόδου που προκύπτουν από εξομοιώσεις με το SPICE, οι οποίες έγιναν με βάση τις παραμέτρους μιας τεχνολογίας CMOS 0.5 μ m που έχει αναπτυχθεί από την εταιρία HP (Πίνακας 3.6). Όπως και στην περίπτωση της ανάλυσης που βασίστηκε στο τετραγωνικό μοντέλο MOS, οι κυματομορφές εξόδου που προκύπτουν από τις αναλυτικές εκφράσεις, είναι πολύ κοντά σε εκείνες που παράγονται από τις κυκλωματικές εξομοιώσεις.

Στο Σχήμα 3.23 δίνεται το διάγραμμα της καθυστέρησης του αντιστροφέα συναρτήσει του συντελεστή A_{no} . Το όριο μεταξύ της κατηγορίας γρήγορων εισόδων (A) και της κατηγορίας αργών εισόδων (B), στην περίπτωση τεχνολογιών υπομικρομέτρου βρίσκεται περίπου στην τιμή $A_{no} = 15$. Οι τιμές καθυστέρησης που έχουν προκύψει από τις εξισώσεις της παραγράφου 3.3.2 συγκρίνονται με εκείνες που παράγονται από κυκλωματική εξομοίωση, καθώς επίσης και με τις τιμές καθυστέρησης που προκύπτουν από τις αναλυτικές εκφράσεις των [18],[19],[130]-[132],[140],[142]. Είναι φανερό ότι οι εκφράσεις που παράγονται με βάση τετραγωνικά μοντέλα [18],[130]-[132] παρουσιάζουν αρκετά μεγάλο σφάλμα στον υπολογισμό της καθυστέρησης. Τα αποτελέσματα που προκύπτουν από τις [130]-[132] είναι ακριβέστερα επειδή η χρήση του τετραγωνικού μοντέλου συνδυάζεται με εμπειρικούς συντελεστές που προκύπτουν από κυκλωματικές εξομοιώσεις του αντιστροφέα τεχνολογίας υπομικρομέτρου.

Αν και στην [19] λαμβάνεται υπόψη η επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων (μέσω του μοντέλου MOS δύναμης του α), η ανακρίβεια στις τιμές καθυστέρησης που προκύπτουν οφείλεται στο ότι δε συμπεριλαμβάνονται οι ε-

ΠΑΡΑΜΕΤΡΟΙ	NMOS	PMOS
Παράμετρος ενδογενούς διαγωγιμότητας - KP (A/V^2)	1.965×10^{-4}	4.874×10^{-5}
Πάχος οξειδίου πύλης - TOX (m)	9.6×10^{-9}	9.6×10^{-9}
Μέγιστη ταχύτητα ολίσθησης φορέων - $VMAX$ (m/sec)	2.008×10^4	2.542×10^4
Εμπειρική παράμετρος που χρησιμοποιείται στην εξίσωση διαμόρφωσης μήκους καναλιού - $KAPPA$ (V^{-1})	0.015	0.055
Τάση κατωφλίου μηδενικής πόλωσης - VTO (V)	0.657	- 0.921
Δυναμικό αντιστροφής επιφάνειας υποστρώματος - PHI (V)	0.7	0.7
Παράγοντας φαινομένου σώματος - $GAMMA$ ($V^{1/2}$)	0.5976	0.4673
Επιφανειακή κινητικότητα φορέων - UO ($cm^2/V \cdot sec$)	546.2	135.5
Νόθευση επιφάνειας υποστρώματος - $NSUB$ (cm^{-3})	1.392×10^{17}	8.512×10^{16}
Πυκνότητα γρήγορης επιφανειακής κατάστασης υποστρώματος - NFS (cm^{-2})	5.909×10^{11}	6.5×10^{11}
Χωρητικότητα επικάλυψης πύλης-υποδοχής - $CGDO$ (F/m)	3.05×10^{-10}	2.4×10^{-10}
Χωρητικότητα επικάλυψης πύλης-πηγής - $CGSO$ (F/m)	3.05×10^{-10}	2.4×10^{-10}
Χωρητικότητα επικάλυψης πύλης-υποστρώματος - $CGBO$ (F/m)	4.02×10^{-10}	3.76×10^{-10}
Χωρητικότητα επιφάνειας επαφής διάχυσης-υποστρώματος για μηδενική πόλωση - CJ (F/m ²)	5.62×10^{-4}	9.35×10^{-4}
Χωρητικότητα περιφέρειας της επαφής διάχυσης-υποστρώματος για μηδενική πόλωση - $CJSW$ (F/m)	5×10^{-11}	2.89×10^{-10}
Συντελεστής διαβάθμισης χωρητικότητας επιφάνειας της επαφής διάχυσης-υποστρώματος - MJ	0.559	0.468
Συντελεστής διαβάθμισης χωρητικότητας περιφέρειας της επαφής διάχυσης-υποστρώματος - $MJSW$	0.521	0.505
Ενσωματωμένο (built-in) δυναμικό επαφής διάχυσης-υποστρώματος - PB (V)	0.99	0.99
Βάθος επαφής διάχυσης-υποστρώματος - XJ (m)	0.2×10^{-6}	0.2×10^{-6}
Παράγοντας διαμόρφωσης κινητικότητας φορέων - $THETA$ (V^{-1})	0.1521	0.1369
Παράγοντας επίδρασης στενού πλάτους καναλιού στην τάση κατωφλίου - $DELTA$	0.6910	0.2875
Παράγοντας επίδρασης στατικής ανάδρασης στην τάση κατωφλίου - ETA	3.718×10^{-2}	2.45×10^{-2}

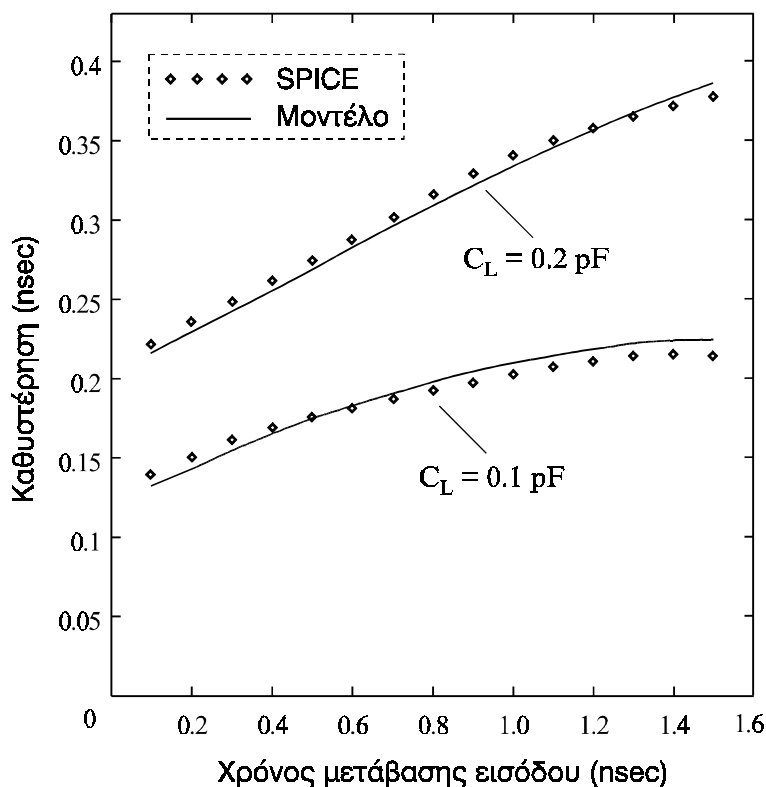
Πίνακας 3.6: Παράμετροι SPICE επιπέδου-3 τεχνολογίας CMOS 0.5μm



Σχήμα 3.23: Καθυστέρηση του αντιστροφέα CMOS συναρτήσει του A_{no}

πιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης στον υπολογισμό της χρονικής απόκρισης του αντιστροφέα. Επίσης, η έκφραση της καθυστέρησης που χρησιμοποιείται, έχει προκύψει μόνο από την ανάλυση της κατηγορίας γρήγορων εισόδων. Το αναλυτικό μοντέλο που προτείνεται στην [140] αποτελεί μια επέκταση εκείνου που προτείνεται στην [19], έτσι ώστε να συμπεριληφθεί η επίδραση του ρεύματος βραχυκυκλώματος. Αυτό γίνεται μέσω μιας επαναληπτικής μεθόδου δύο βημάτων, όπου όμως η τάση εξόδου του αντιστροφέα και το ρεύμα των τρανζίστορ προσεγγίζονται με χρονικές συναρτήσεις γραμμικών τμημάτων. Κατά τον υπολογισμό της καθυστέρησης στην [142], χρησιμοποιείται μια εξίσωση για το ρεύμα κόρου του τρανζίστορ παρόμοια με την εξίσωση (3.54). Η διαφορική εξίσωση στον κόμβο εξόδου λύνεται μόνο για την κατηγορία πολύ γρήγορων εισόδων με τη θεώρηση αμελητέου ρεύματος βραχυκυκλώματος και στη συνέχεια η έκφραση καθυστέρησης που προκύπτει προσαρμόζεται στις υπόλοιπες περιπτώσεις με χρήση τριών εμπειρικών συντελεστών. Επειδή στην εργασία αυτή δεν αναφέρεται ο τρόπος εξαγωγής των συντελεστών αυτών, κατά τη σύγκριση χρησιμοποιούνται οι τιμές των συντελεστών που δίνονται στην [142] για μια τεχνολογία 0.65 μ m.

Στο Σχήμα 3.24, δίνεται επίσης το διάγραμμα της καθυστέρησης του αντιστρο-

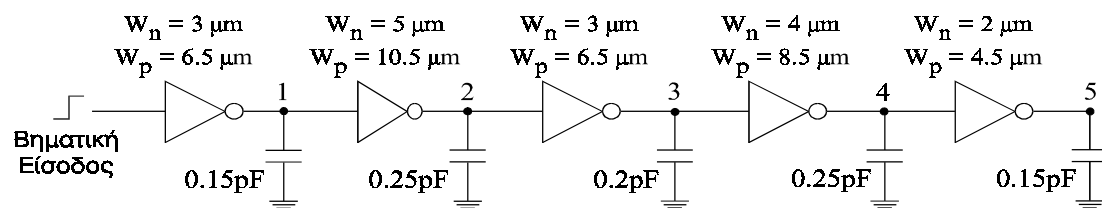


Σχήμα 3.24: Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για χωρητικότητα εξόδου 0.2pF και 0.1pF

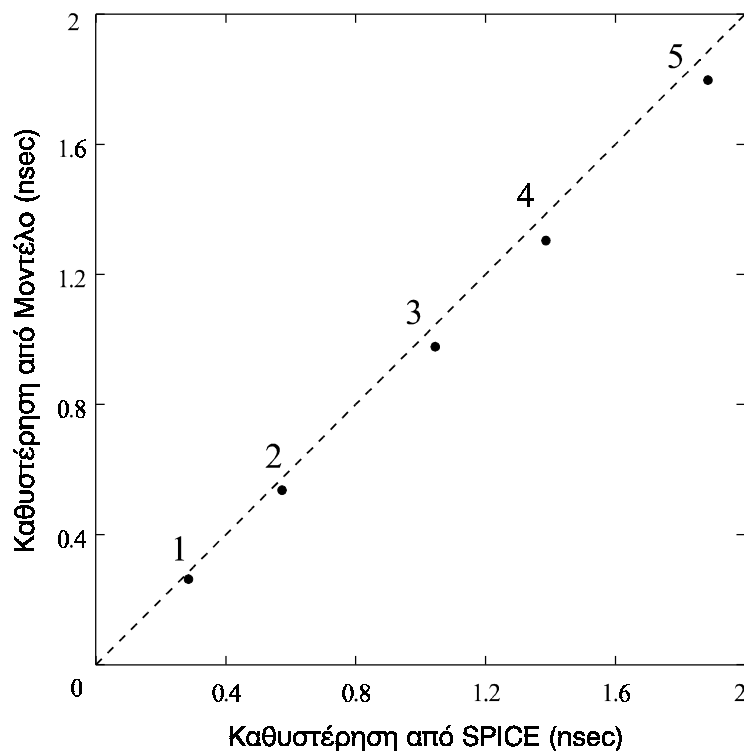
φέα συναρτήσει του χρόνου μετάβασης ανερχόμενης εισόδου, για δύο διαφορετικές τιμές της χωρητικότητας εξόδου (0.2pF και 0.1pF). Το σφάλμα του προτεινόμενου μοντέλου σε σχέση με το SPICE, όσον αφορά τον υπολογισμό της καθυστέρησης για ανερχόμενη κυματομορφή εισόδου, είναι μικρότερο από 3.5%. Το σφάλμα αυτό οφείλεται στις προσεγγίσεις που έγιναν κατά την ανάλυση της χρονικής απόκρισης του αντιστροφέα, αλλά και στο ότι δε συμπεριλαμβάνεται η επίδραση του φαινομένου διαμόρφωσης του μήκους καναλιού των τρανζίστορ. Βέβαια στις σύγχρονες τεχνολογίες υπομικρομέτρου χρησιμοποιούνται τεχνικές έτσι ώστε να ελαχιστοποιείται το φαινόμενο αυτό [149]. Ωστόσο, για να μειωθεί η επίδραση του στην ακρίβεια του προτεινόμενου μοντέλου, το σημείο A στο οποίο υπολογίζεται η παράμετρος V_0 (Σχήμα 3.18) επιλέγεται στη μέση της περιοχής κόρου των τρανζίστορ. Μια άλλη αιτία σφάλματος είναι το ότι στο μοντέλο MOS που χρησιμοποιήθηκε, το ρεύμα κόρου των τρανζίστορ εξαρτάται απολύτως γραμμικά από την τάση $V_{GS} - V_T$, ενώ στην πραγματικότητα εξαρτάται από την τάση αυτή υψωμένη σε έναν εκθέτη που λαμβάνει τιμές μεγαλύτερες από 1. Βέβαια όσο το μήκος καναλιού μικραίνει η τιμή του εκθέτη αυτού τείνει προς το 1, οπότε στην περίπτωση της τεχνολογίας 0.5μm που χρη-

σιμοποιήθηκε το σφάλμα λόγω του φαινομένου αυτού είναι μικρό. Σε τεχνολογίες όμως κοντά στο $1\mu\text{m}$, οι τιμές του εκθέτη φτάνουν αρκετές φορές μέχρι την τιμή 1.5, με αποτέλεσμα το σφάλμα που οφείλεται στη γραμμική σχέση του ρεύματος κόρου και της τάσης $V_{GS} - V_T$ να είναι μεγαλύτερο. Το πρόβλημα αυτό αντιμετωπίζεται στο επόμενο κεφάλαιο όπου η χρονική απόκριση του αντιστροφέα αναλύεται με βάση το μοντέλο MOS δύναμης του α [19].

Για να ελεγχθεί συνολικά η ακρίβεια του αναλυτικού μοντέλου, δηλαδή του υπολογισμού της καθυστέρησης για ανερχόμενη και κατερχόμενη είσοδο καθώς και του υπολογισμού του χρόνου μετάβασης εξόδου (Πίνακας 3.4), για τεχνολογίες υπο-



Σχήμα 3.25: Αλυσίδα αντιστροφέν CMOS

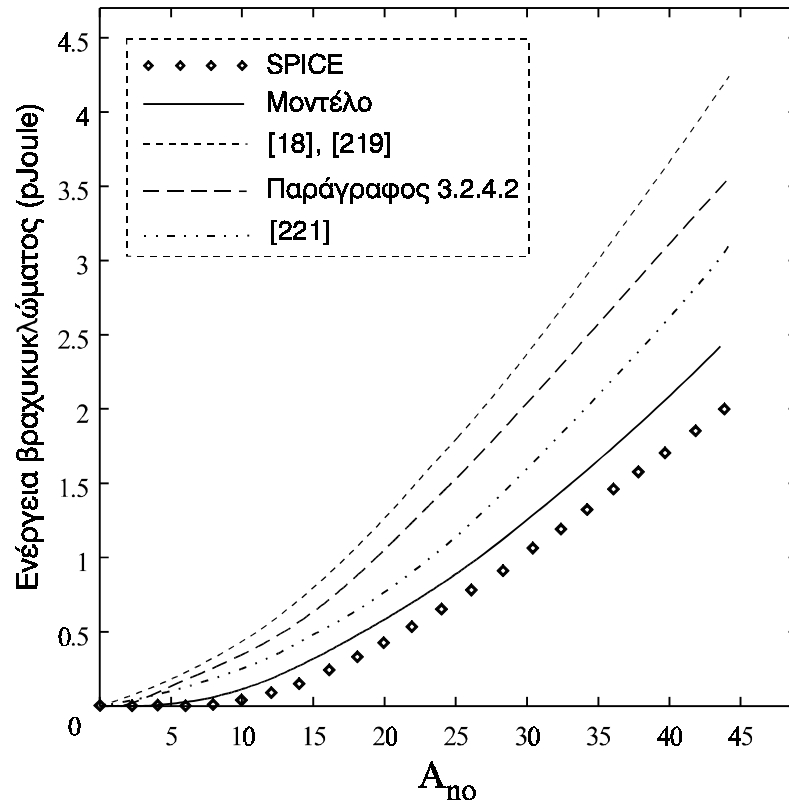


Σχήμα 3.26: Σύγκριση μεταξύ των υπολογισμένων τιμών καθυστέρησης και αυτών που παράγονται από εξομίωση για την αλυσίδα αντιστροφέν του Σχήματος 3.25

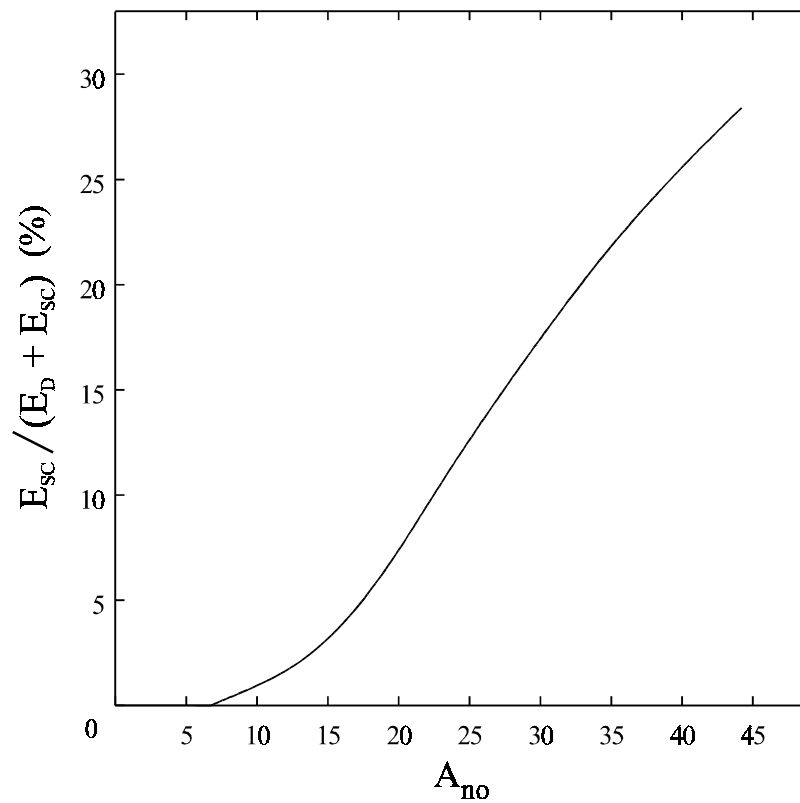
μικρομέτρου, εξετάζεται η αλυσίδα αντιστροφών που φαίνεται στο Σχήμα 3.25. Στο Σχήμα 3.26, δίνεται η σύγκριση μεταξύ των υπολογισμένων τιμών καθυστέρησης και εκείνων που προκύπτουν από εξομοίωση με το SPICE, σε κάθε σημείο της αλυσίδας. Το σφάλμα υπολογισμού σε σχέση με το SPICE είναι μικρότερο από 6 %.

Στο Σχήμα 3.27, δίνεται το διάγραμμα της ενέργειας βραχυκυκλώματος του αντιστροφέα που καταναλώνεται σε έναν κύκλο μεταγωγής, συναρτήσει του A_{no} . Στο ίδιο σχήμα δίνονται τα αντίστοιχα διαγράμματα που παράγονται από εξομοιώσεις με το SPICE, καθώς και εκείνα που προκύπτουν από το αναλυτικό μοντέλο που αναπτύχθηκε στην παράγραφο 3.2.4.2 και τις εργασίες [18],[219],[221]. Όπως και στην περίπτωση της καθυστέρησης, είναι και εδώ φανερό ότι οι αναλυτικές εκφράσεις που προκύπτουν με βάση μοντέλα MOS τετραγωνικής μορφής δίνουν ανακριβή αποτελέσματα. Η απόκλιση των τιμών ενέργειας που υπολογίζονται από τις αναλυτικές εκφράσεις της [221] από εκείνες που παράγονται από το SPICE, οφείλεται κυρίως στο ότι δεν λαμβάνουν υπόψη τις επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητα σύζευξης στην κυματομορφή εξόδου του αντιστροφέα. Η έκφραση υπολογισμού της ενέργειας βραχυκυκλώματος που προτείνεται στις [19],[139] δίνει τιμές πολύ μεγαλύτερες από τις πραγματικές, λόγω κυρίως της θεώρησης μηδενικής χωρητικότητας εξόδου. Σε έναν αντιστροφέα με ίσους χρόνους μετάβασης εισόδου και εξόδου ($A_{no} \cong 12.5$), η ενέργεια βραχυκυκλώματος σε έναν κύκλο μεταγωγής που υπολογίζεται από το προτεινόμενο μοντέλο είναι περίπου το 20 % της τιμής που υπολογίζεται από την έκφραση των [19],[139]. Η μέθοδος υπολογισμού της κατανάλωσης ενέργειας βραχυκυκλώματος που προτείνεται στις [225],[226], αν και λαμβάνει υπόψη την απουσία ρεύματος βραχυκυκλώματος κατά τη διάρκεια της υπέρβασης της τάσης εξόδου, οδηγεί σε τιμές ενέργειας βραχυκυκλώματος αρκετά μεγαλύτερες από τις πραγματικές (σφάλμα σε σχέση με το SPICE μεγαλύτερο του 60%).

Στο Σχήμα 3.28, δίνεται το διάγραμμα του ποσοστού της συνολικής κατανάλωσης ενέργειας του αντιστροφέα που καλύπτει η ενέργεια βραχυκυκλώματος, συναρτήσει του A_{no} . Η συμμετοχή της ενέργειας βραχυκυκλώματος αυξάνεται όταν αυξάνεται και η τιμή του A_{no} , δηλαδή όταν το σήμα εισόδου γίνεται αργότερο από το σήμα εξόδου του αντιστροφέα. Συγκρίνοντας τα διαγράμματα των Σχημάτων 3.16 και 3.28, παρατηρούμε ότι η συμμετοχή της ενέργειας βραχυκυκλώματος είναι μεγαλύτερη για τεχνολογίες υπομικρομέτρου, γεγονός που αναγάγει την ενέργεια βραχυκυκλώματος σε κρίσιμη σχεδιαστική παράμετρο για τα σύγχρονα κυκλώματα CMOS VLSI.



Σχήμα 3.27: Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του A_{no}



Σχήμα 3.28: Συμμετοχή της ενέργειας βραχυκυκλώματος στη συνολική κατανάλωση ενέργειας του αντιστροφέα

3.4 Συμπεράσματα

Στο κεφάλαιο αυτό, αρχικά παρουσιάστηκαν αναλυτικά μοντέλα υπολογισμού της χρονικής απόκρισης και της κατανάλωσης ενέργειας του αντιστροφέα CMOS, που είναι βασισμένα στο προσεγγιστικό μοντέλο φορτίου-υποστρώματος νόμου του τετραγώνου (approximated bulk-charge square-law model) [32],[49],[235]. Επειδή όμως τα μοντέλα MOS τετραγωνικής μορφής δεν αναπαριστούν με ακρίβεια τη συμπεριφορά των τρανζίστορ με μικρό μήκος καναλιού, στη συνέχεια αναπτύχθηκαν μοντέλα για τον υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας του αντιστροφέα, που λαμβάνουν υπόψη την επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων η οποία είναι ιδιαίτερα σημαντική στις τεχνολογίες υπομικρομέτρου [19],[32]. Ουσιαστικά, πρόκειται για μια επέκταση των μοντέλων που αναπτύχθηκαν αρχικά, η οποία είναι βασισμένη σε ένα απλό μοντέλο MOS [32],[230], για τεχνολογίες υπομικρομέτρου.

Τα αναλυτικά μοντέλα που προτείνονται στο κεφάλαιο αυτό, αξιολογήθηκαν στις Παραγράφους 3.2.5 και 3.3.5, όπου γίνονται και συγκρίσεις των αποτελεσμάτων που προέκυψαν από τα προτεινόμενα μοντέλα, με εκείνα που προέκυψαν από κυκλωματικές εξομοιώσεις και από αναλυτικά μοντέλα που έχουν αναπτυχθεί σε προηγούμενες εργασίες. Το σφάλμα των προτεινόμενων μοντέλων σε σχέση με το SPICE είναι μικρότερο από 6 % όσον αφορά τον υπολογισμό της χρονικής καθυστέρησης και μικρότερο του 20 % όσον αφορά την κατανάλωση ενέργειας βραχυκυκλώματος. Τα αποτελέσματα που προκύπτουν είναι ακριβέστερα από εκείνα προηγούμενων μοντέλων. Αυτό συμβαίνει κυρίως επειδή τα προτεινόμενα μοντέλα λαμβάνουν υπόψη τις επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου, στη χρονική απόκριση και την κατανάλωση ενέργειας του αντιστροφέα. Η αναλυτική φύση των προτεινόμενων μοντέλων οδηγεί σε μικρή υπολογιστική πολυπλοκότητα, με αποτέλεσμα η ταχύτητα υπολογισμού να είναι πολύ μικρότερη από εκείνη του κυκλωματικού εξομοιωτή SPICE.

Κεφάλαιο 4

Χρονική απόκριση και κατανάλωση ενέργειας αντιστροφέα CMOS με βάση το μοντέλο MOS δύναμης α

4.1 Εισαγωγή

Στο κεφάλαιο αυτό παρουσιάζονται αναλυτικά μοντέλα για τον υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα CMOS, που είναι βασισμένες στο μοντέλο MOS δύναμης του α (α -power law MOS model) [19],[139]. Το μοντέλο αυτό λαμβάνει υπόψη την επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων που όπως προαναφέρθηκε είναι ιδιαίτερα σημαντική στα τρανζίστορ με μικρό μήκος καναλιού (short-channel transistors).

Όπως αναφέρθηκε και στην παράγραφο 3.3.1, η πιο σημαντική επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων στις χαρακτηριστικές καμπύλες $I-V$ των τρανζίστορ, είναι το ότι στην περιοχή κόρου το ρεύμα υποδοχής τείνει να γίνει ανάλογο της τάσης $V_{GS} - V_T$ όσο το μήκος καναλιού των τρανζίστορ μικραίνει. Εξετάζοντας τις χαρακτηριστικές καμπύλες τρανζίστορ με διάφορα μήκη καναλιού παρατηρούμε ότι στην περιοχή κόρου το ρεύμα υποδοχής είναι ανάλογο της τάσης $V_{GS} - V_T$ υψωμένης σε έναν εκθέτη α [19] του οποίου η τιμή κινείται από το 2 προς το 1 όταν η επίδραση του φαινομένου ταχύτητας κόρου γίνεται ισχυρότερη (δηλ. όταν το μήκος καναλιού μικραίνει). Σε τρανζίστορ με μεγάλο μήκος καναλιού ($\geq 3\mu\text{m}$) η εξάρτηση αυτή είναι τετραγωνική, οπότε οι χαρακτηριστικές τους καμπύλες $I-V$ αναπαριστώνται με ακρίβεια από το μοντέλο MOS νόμου του τετραγώνου, ενώ για τρανζί-

στον με μήκος καναλιού γύρω στο $1\mu\text{m}$ ο εκθέτης α λαμβάνει τιμές από 1.2 έως 1.4. Επίσης, για μήκος καναλιού κάτω από $0.5\mu\text{m}$, η τιμή του α είναι περίπου 1 [19].

Οι Sakurai και Newton [19],[139] πρότειναν το μοντέλο MOS δύναμης του α (α -power law MOS model), έτσι ώστε να ληφθεί υπόψη η εξάρτηση του ρεύματος κόρου των τρανζίστορ που αναλύθηκε παραπάνω. Οι εξισώσεις του ρεύματος υποδοχής για κάθε περιοχή λειτουργίας σύμφωνα με το μοντέλο αυτό, έχουν ως εξής

$$I_D = 0, \quad V_{GS} < V_T, \quad \text{Περιοχή αποκοπής} \quad (4.1)$$

$$I_D = I_{DO} \left(\frac{V_{GS} - V_T}{V_{DD} - V_T} \right)^\alpha, \quad V_{DS} > V'_{DO}, \quad \text{Περιοχή κόρου} \quad (4.2)$$

$$I_D = \frac{I_{DO}}{V_{DO}} \left(\frac{V_{GS} - V_T}{V_{DD} - V_T} \right)^{\alpha/2} V_{DS}, \quad V_{DS} \leq V'_{DO}, \quad \text{Γραμμική περιοχή}, \quad (4.3)$$

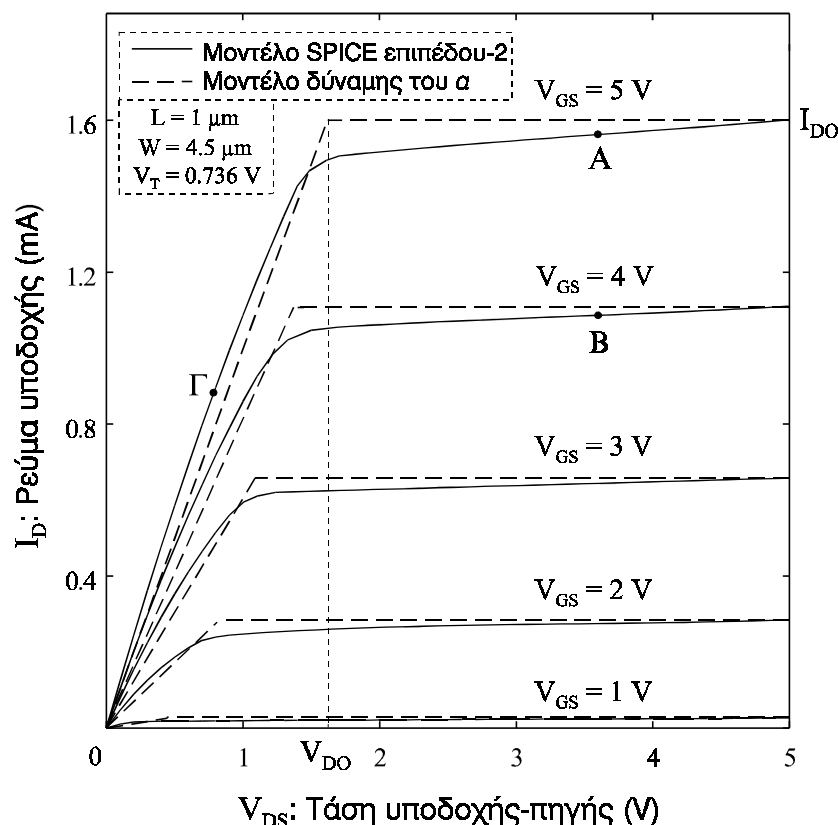
όπου I_{DO} είναι το ρεύμα υποδοχής για $V_{GS} = V_{DS} = V_{DD}$, V_{DO} είναι η τάση υποδοχής κόρου για $V_{GS} = V_{DD}$, V_T η τάση κατωφλίου και ο εκθέτης α αναφέρεται ως δείκτης κορεσμού της ταχύτητας των φορέων (velocity saturation index). V'_{DO} είναι η τάση κόρου του τρανζίστορ που δίνεται ως εξής

$$V'_{DO} = V_{DO} \left(\frac{V_{GS} - V_T}{V_{DD} - V_T} \right)^{\alpha/2}. \quad (4.4)$$

Η τιμή I_{DO} θεωρείται σημαντική παράμετρος από τους σχεδιαστές σύγχρονων κυκλωμάτων VLSI αφού χρησιμοποιείται ως μέτρο για την ικανότητα οδήγησης των τρανζίστορ. Στο Σχήμα 4.1, δίνονται οι χαρακτηριστικές καμπύλες I-V για ένα τρανζίστορ NMOS με μήκος καναλιού $1\mu\text{m}$. Οι συνεχείς καμπύλες έχουν παραχθεί χρησιμοποιώντας το μοντέλο MOS επιπέδου-2 που χρησιμοποιεί το SPICE και οι διακεκομμένες έχουν παραχθεί από το μοντέλο MOS δύναμης του α . Οι τιμές των παραμέτρων του μοντέλου (I_{DO} , V_{DO} και α) εξαγονται από τις χαρακτηριστικές καμπύλες των τρανζίστορ [19]. Όπως φαίνεται στο Σχήμα 4.1, η τιμή I_{DO} λαμβάνεται απευθείας από τις χαρακτηριστικές καμπύλες για $V_{GS} = V_{DS} = V_{DD}$. Για τον υπολογισμό των υπόλοιπων παραμέτρων επιλέγουμε αρχικά τρία σημεία A, B και Γ (Σχήμα 4.1). Ο δείκτης κορεσμού της ταχύτητας α , υπολογίζεται από την παρακάτω εξίσωση [19]

$$\alpha = \frac{\ln(I_{DA}/I_{DB})}{\ln[(V_{GSA} - V_T)/(V_{GSB} - V_T)]}. \quad (4.5)$$

Συνδυάζοντας τις εξισώσεις (4.3) και (4.4) στο σημείο Γ ($V_{GS\Gamma} = V_{DD}$), προκύπτει η



Σχήμα 4.1: Χαρακτηριστικές καμπύλες I-V τρανζίστορ NMOS με μήκος καναλιού 1 μm

παρακάτω εξίσωση για τον υπολογισμό της τιμής V_{DO}

$$V_{DO} = \frac{V_{DSΓ} I_{DO}}{I_{DSΓ}} \quad (4.6)$$

Για το παράδειγμα του Σχήματος 4.1, οι τιμές των παραμέτρων του μοντέλου που προκύπτουν με βάση τα παραπάνω, είναι: $I_{DO} = 1.6 \text{ mA}$, $V_{DO} = 1.63 \text{ V}$ και $\alpha = 1.31$. Σημειώνεται εδώ ότι όταν αυξάνεται το πλάτος καναλιού του τρανζίστορ αυξάνεται και η τιμή του I_{DO} , ενώ μειώνεται ελαφρώς η τιμή του α . Η τάση V_{DO} δεν επηρεάζεται από την αλλαγή της τιμής του πλάτους καναλιού.

Στις επόμενες παραγράφους του κεφαλαίου αυτού, παράγονται αναλυτικές εκφράσεις για την κυματομορφή της τάσης εξόδου, την καθυστέρηση, το χρόνο μετάβασης εξόδου, καθώς και την κατανάλωση ενέργειας βραχυκυκλώματος του αντιστροφέα CMOS, οι οποίες βασίζονται στο μοντέλο MOS δύναμης του α . Κατά την ανάλυση λαμβάνονται υπόψη οι επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου, οι οποίες όπως δείχθηκε και στο προηγούμενο κεφάλαιο είναι αρκετά σημαντικές. Για την εξαγωγή των αναλυτικών εκφράσεων, δε χρησιμοποιούνται αριθμητικές μέθοδοι, με αποτέλεσμα να

εξασφαλίζεται ταχύτητα αρκετά μεγαλύτερη από εκείνη των τυπικών κυκλωματικών εξομοιωτών. Επίσης, δεν χρησιμοποιείται προεξομίωση, σε αντίθεση με τους περισσότερους εξομοιωτές σε επίπεδο πύλης και διακόπτη όπου απαιτείται χρονοβόρα προεξομίωση για την παραγωγή πινάκων αναφοράς ή συντελεστών για τις εμπειρικές εξισώσεις καθυστέρησης και κατανάλωσης ενέργειας.

Μέχρι σήμερα, αρκετοί ερευνητές έχουν βασιστεί στο μοντέλο δύναμης του α , αλλά και σε ένα παρόμοιο μοντέλο που αναφέρεται ως μοντέλο δύναμης του n [134], με σκοπό να υπολογίσουν την χρονική απόκριση του αντιστροφέα CMOS. Στις [19] και [139] όπου και προτείνεται το μοντέλο MOS δύναμης του α , η διαφορική εξίσωση στον κόμβο εξόδου του αντιστροφέα λύνεται, χωρίς όμως να συμπεριλαμβάνεται η επίδραση του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης. Επίσης, η έκφραση της καθυστέρησης που παράγεται ισχύει μόνο για γρήγορες εισόδους. Στην [134] όπου προτείνεται το μοντέλο MOS δύναμης του n , για την εξαγωγή των εκφράσεων της κυματομορφής εξόδου και της καθυστέρησης χρησιμοποιείται μια πλασματική γραμμική είσοδος η οποία μηδενίζεται (στην ανερχόμενη περίπτωση) για τιμές μικρότερες του λογικού κατωφλίου τάσης, με σκοπό να προσεγγιστεί ο αντιστροφέας CMOS με ένα κύκλωμα NMOS. Στη [47], προτείνεται μια επέκταση του αναλυτικού μοντέλου καθυστέρησης της [19], για την περίπτωση αργών εισόδων. Η φιλοσοφία της μεθόδου αυτής έγκειται στο ότι όσο η μετάβαση εισόδου γίνεται βραδύτερη από την μετάβαση εξόδου, η κυματομορφή εξόδου προσεγγίζει τη χαρακτηριστική μεταφοράς του αντιστροφέα. Με βάση το γεγονός αυτό παράγονται εμπειρικές σχέσεις για την καθυστέρηση και το χρόνο μετάβασης εξόδου του αντιστροφέα που βασίζονται σε ένα σύνολο εμπειρικών συντελεστών που παράγονται από προεξομίωση. Το αναλυτικό μοντέλο καθυστέρησης που προτείνεται στην [140] βασίζεται στο μοντέλο MOS δύναμης του α και λαμβάνει υπόψη την επίδραση του ρεύματος βραχυκυκλώματος μέσω μιας επαναληπτικής μεθόδου δύο βημάτων. Ωστόσο, κατά τη μέθοδο αυτή, η κυματομορφή εξόδου και τα ρεύματα των τρανζίστορ του αντιστροφέα θεωρούνται ως χρονικές συναρτήσεις γραμμικών τμημάτων. Στην [141], όπου χρησιμοποιείται το μοντέλο δύναμης του n , το ρεύμα βραχυκυκλώματος προσεγγίζεται μέσω μιας χρονικής συνάρτησης γραμμικών τμημάτων, με σκοπό την εκτίμηση της κατανάλωσης ενέργειας βραχυκυκλώματος. Στη συνέχεια, χρησιμοποιώντας την ενέργεια βραχυκυκλώματος που προκύπτει, προτείνεται ένα μοντέλο για τον υπολογισμό της καθυστέρησης, όπου όμως χρησιμοποιείται και η επαναληπτική

αριθμητική μέθοδος Newton-Raphson [56].

Ένα μοντέλο MOS που βασίζεται στην ίδια φιλοσοφία με τα μοντέλα δύναμης α και η , είναι το μοντέλο της υπερβολικής εφαιπτομένης (*tanh-law MOS model*) [138]. Στον υπολογισμό της καθυστέρησης του αντιστροφέα με χρήση του μοντέλου αυτού λαμβάνεται υπόψη το ρεύμα και των δύο τρανζίστορ, αλλά οι εξισώσεις λύνονται με χρήση αριθμητικών μεθόδων και όχι αναλυτικά. Στη [232], προτείνεται ένα μοντέλο MOS για τρανζίστορ με μικρό μήκος καναλιού που βασίζεται σε τρεις εμπειρικές παραμέτρους και αποτελεί επέκταση του τετραγωνικού μοντέλου. Η επίδραση του ρεύματος βραχυκυκλώματος λαμβάνεται υπόψη μέσω μιας εικονικής αύξησης του φορτίου εξόδου του αντιστροφέα. Ωστόσο, κατά τον υπολογισμό της καθυστέρησης με βάση το μοντέλο αυτό χρησιμοποιούνται αριθμητικές μέθοδοι για τη λύση των εξισώσεων που προκύπτουν. Στην [143], προτείνεται ένα μοντέλο υπολογισμού της χρονικής απόκρισης του αντιστροφέα CMOS που είναι βασισμένο στο μοντέλο MOS BSIM [59]. Στην ανάλυση λαμβάνεται υπόψη μόνο το ρεύμα του τρανζίστορ μέσω του οποίου φορτίζεται ή εκφορτίζεται η έξοδος του αντιστροφέα, ενώ θεωρείται αμελητέα η επίδραση του ρεύματος βραχυκυκλώματος. Επίσης, στο μοντέλο αυτό συμπεριλαμβάνεται η επίδραση της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου. Στις [46] και [144], οι Kong και Overhauser πρότειναν ένα μοντέλο για τον υπολογισμό της χρονικής απόκρισης του αντιστροφέα, όπου για τη μοντελοποίηση των τρανζίστορ χρησιμοποιείται το επιπέδου-2 μοντέλο MOS του SPICE [57]. Η αλλαγή στην τάση εξόδου σε ένα χρονικό διάστημα υπολογίζεται μέσω του υπολογισμού του μέσου ρεύματος στο διάστημα αυτό. Κατά την ανάλυση λαμβάνεται υπόψη η επίδραση της χωρητικότητας σύζευξης, αλλά χρησιμοποιούνται προσεγγίσεις όπως θεωρήση αμελητέου ρεύματος βραχυκυκλώματος, κυματομορφή εξόδου αποτελούμενη από γραμμικά τμήματα και αντικατάσταση του τρανζίστορ φόρτισης ή εκφόρτισης με ισοδύναμη αντίσταση όταν αυτό λειτουργεί στην γραμμική περιοχή.

Μια διαφορετική προσέγγιση του θέματος επιχειρείται στην [145], όπου προτείνεται ο μετασχηματισμός του αντιστροφέα σε ένα γραμμικό σύστημα το οποίο στη συνέχεια λύνεται χρησιμοποιώντας τη θεωρία συνέλιξης. Για τον μετασχηματισμό όμως του μη γραμμικής φύσης αντιστροφέα σε ένα γραμμικό σύστημα απαιτούνται αρκετές προσεγγίσεις οι οποίες οδηγούν σε μείωση της ακρίβειας υπολογισμού.

Στη συνέχεια, παρουσιάζεται η ανάλυση της κυματομορφής εξόδου του αντιστροφέα CMOS που βασίζεται στο μοντέλο MOS δύναμης του α (Παράγραφος 4.2),

και παράγονται αναλυτικές εκφράσεις για την καθυστέρηση και το χρόνο μετάβασης εξόδου (Παράγραφος 4.3), καθώς και για την κατανάλωση ενέργειας βραχυκυκλώματος (Παράγραφος 4.4). Στην Παράγραφο 4.5, γίνεται μια αξιολόγηση των προτεινόμενων αναλυτικών μοντέλων και παρέχονται συγκρίσεις με αρκετά από τα μοντέλα που αναφέρθηκαν παραπάνω.

4.2 Ανάλυση της κυματομορφής τάσης εξόδου του αντιστροφέα

Στη παράγραφο αυτή, υπολογίζεται αναλυτικά η κυματομορφή της τάσης εξόδου του αντιστροφέα CMOS (Σχήμα 3.1) σε όλες τις περιοχές λειτουργίας του. Η μοντελοποίηση της χωρητικότητας εξόδου και της χωρητικότητας σύζευξης του αντιστροφέα είναι η ίδια με αυτή που αναφέρθηκε στην παράγραφο 3.2.1. Η ανάλυση της κυματομορφής της τάσης εξόδου του αντιστροφέα γίνεται και σε αυτή την περίπτωση για ανερχόμενη είσοδο. Η κυματομορφή εισόδου δίνεται από την εξίσωση (3.7) και η χρονική μεταβολή της τάσης στον κόμβο εξόδου του αντιστροφέα από την εξίσωση (3.9).

Με βάση τις εξισώσεις (4.1) – (4.4) και μετά από την κανονικοποίηση των τάσεων ως προς την τάση τροφοδοσίας και του χρόνου ως προς το χρόνο μετάβασης εισόδου, δηλαδή: $u_{in} = V_{in} / V_{DD}$, $u_{out} = V_{out} / V_{DD}$, $n = V_{TN} / V_{DD}$, $p = |V_{TP}| / V_{DD}$, $u_{don} = V_{D0n} / V_{DD}$, $u_{dop} = |V_{D0p}| / V_{DD}$ και $x = t / \tau$, το ρεύμα των δύο τρανζίστορ του αντιστροφέα δίνεται από τις παρακάτω εξισώσεις

$$I_n = 0, \quad x < n, \quad \text{Περιοχή αποκοπής} \quad (4.7)$$

$$I_n = k_{sn} (x - n)^{\alpha_n}, \quad u_{out} > u'_{don}, \quad \text{Περιοχή κόρου} \quad (4.8)$$

$$I_n = k_{ln} (x - n)^{\alpha_n/2} u_{out}, \quad u_{out} \leq u'_{don}, \quad \text{Γραμμική περιοχή}, \quad (4.9)$$

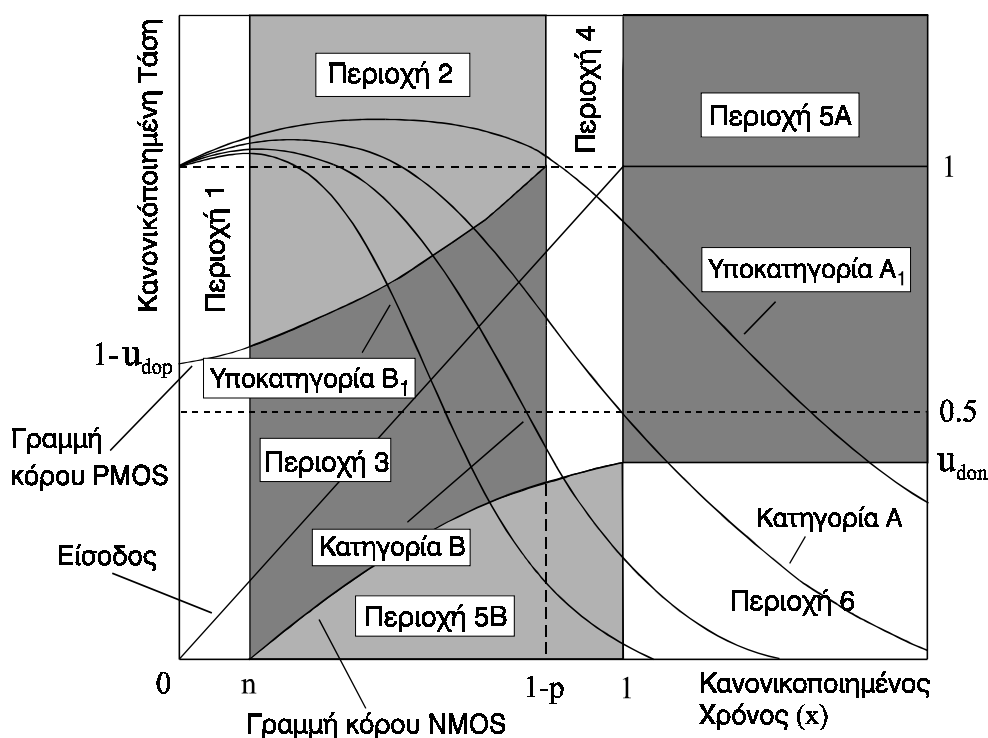
$$\text{όπου } k_{sn} = \frac{I_{D0n}}{(1-n)^{\alpha_n}}, \quad k_{ln} = \frac{I_{D0n}}{u_{don} (1-n)^{\alpha_n/2}} \quad \text{και} \quad u'_{don} = u_{don} \left(\frac{x-n}{1-n} \right)^{\frac{\alpha_n}{2}},$$

$$I_p = k_{lp} (1-x-p)^{\alpha_p/2} (1-u_{out}), \quad 1-u_{out} \leq u'_{dop}, \quad \text{Γραμμική περιοχή} \quad (4.10)$$

$$I_p = k_{sp} (1-x-p)^{\alpha_p}, \quad 1-u_{out} > u'_{dop}, \quad \text{Περιοχή κόρου} \quad (4.11)$$

$$I_p = 0, \quad x > 1-p, \quad \text{Περιοχή αποκοπής}, \quad (4.12)$$

$$\text{όπου } k_{sp} = \frac{I_{D0p}}{(1-p)^{\alpha_p}}, \quad k_{lp} = \frac{I_{D0p}}{u_{dop} (1-p)^{\alpha_p/2}} \quad \text{και} \quad u'_{dop} = u_{dop} \left(\frac{1-x-p}{1-p} \right)^{\frac{\alpha_p}{2}}.$$



Σχήμα 4.2: Περιοχές λειτουργίας αντιστροφέα CMOS για τρανζίστορ μικρού μήκους καναλιού

Για να παραχθεί μια ολοκληρωμένη ανάλυση της κυματομορφής εξόδου του αντιστροφέα, εξετάζονται κι εδώ οι δύο κατηγορίες εισόδων (A και B) που ορίστηκαν στην παράγραφο 3.2.1, καθώς και οι δύο υποκατηγορίες A_1 και B_1 . Στο Σχήμα 4.2, φαίνονται οι περιοχές λειτουργίας του αντιστροφέα, στις οποίες θα αναλυθεί στη συνέχεια η κυματομορφή της τάσης εξόδου.

Κατηγορία A – Γρήγορες εισοδοι

Η κατηγορία αυτή περιλαμβάνει τις περιπτώσεις εισόδων όπου το τρανζίστορ NMOS βρίσκεται στην περιοχή κόρου όταν η είσοδος φτάνει στην τελική της τιμή.

Περιοχή 1, $0 \leq x \leq n$:

Το τρανζίστορ NMOS δεν άγει, ενώ το PMOS βρίσκεται στη γραμμική περιοχή λειτουργίας. Όπως αναφέρθηκε και στην παράγραφο 3.2.1, το ρεύμα φόρτισης διαμέσου της χωρητικότητας σύζευξης (C_M) προκαλεί τη σημαντικότερη επίδραση σε αυτή την περιοχή λειτουργίας. Η διαφορική εξίσωση (3.9) χρησιμοποιώντας τις εξισώσεις ρεύματος (4.7) και (4.10), καταλήγει σε μια μορφή που δε λύνεται αναλυτικά. Γι' αυτό χρησιμοποιούμε μια μέση τιμή του κανονικοποιημένου χρόνου x ($x_{av} = n / 2$) στην εξίσωση ρεύματος του τρανζίστορ PMOS. Έτσι παράγεται η παρακάτω έκφραση

ση για την κανονικοποιημένη τάση εξόδου του αντιστροφέα

$$u_{\text{out}} = 1 + c_m y_n^{-1} (1 - e^{-y_n x}), \quad (4.13)$$

$$\text{όπου } y_n = A_{lp} \left(1 - p - \frac{n}{2}\right)^{\frac{\alpha_p}{2}} \quad \text{και} \quad A_{lp} = \frac{k_{lp} \tau}{V_{DD} (C_L + C_M)}.$$

Περιοχή 2, $n \leq x \leq x_{\text{satp}}$:

Το τρανζίστορ NMOS βρίσκεται στην περιοχή κόρου και το τρανζίστορ PMOS στη γραμμική περιοχή λειτουργίας. Το δεξί όριο της περιοχής αυτής (x_{satp}) όπου το τρανζίστορ PMOS εισέρχεται στην περιοχή κόρου, καθορίζεται από τη συνθήκη: $1 - u_{\text{out}} = u'_{\text{dop}}$. Για να δοθεί αναλυτική λύση στη διαφορική εξίσωση (3.9), όπως αυτή διαμορφώνεται στην περιοχή 2, χρησιμοποιείται μια προσέγγιση που αφορά το ρεύμα του τρανζίστορ PMOS (Σχήμα 4.3). Αρχικά θεωρούμε ότι η ελάχιστη τιμή του ρεύματος PMOS συμβαίνει όταν η τάση εισόδου φθάνει στην τάση κατωφλίου του τρανζίστορ NMOS ($x = n$). Η θεώρηση αυτή χρησιμοποιείται και στις [141],[223]. Όπως φαίνεται στο Σχήμα 4.4, το χρονικό σημείο όπου το ρεύμα του τρανζίστορ PMOS λαμβάνει την ελάχιστη τιμή του είναι αρκετά κοντά σε εκείνο όπου η τάση εισόδου φθάνει στην τάση κατωφλίου του τρανζίστορ NMOS. Μετά την παραπάνω θεώρηση, το ρεύμα του τρανζίστορ PMOS στην περιοχή 2, μπορεί να προσεγγιστεί από μια γραμμική συνάρτηση του κανονικοποιημένου χρόνου, ως εξής

$$I_p = I_{p\text{min}} + S(x - n). \quad (4.14)$$

Η ελάχιστη τιμή του ρεύματος του τρανζίστορ PMOS ($I_{p\text{min}}$) υπολογίζεται από την εξίσωση (4.10) για $x = n$ χρησιμοποιώντας την έκφραση της κανονικοποιημένης τάσης εξόδου (4.13)

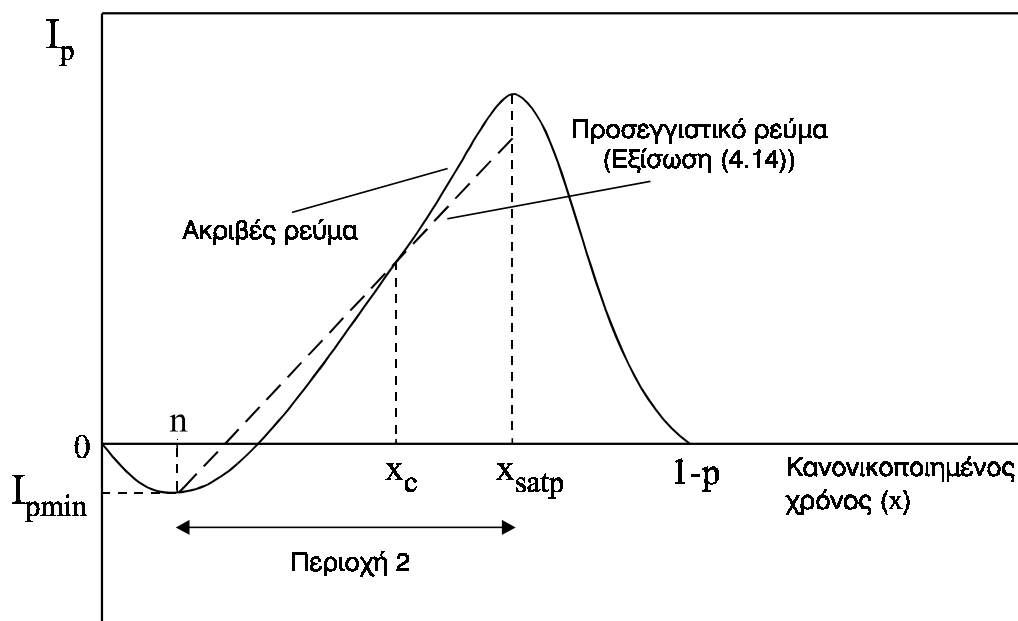
$$I_{p\text{min}} = -k_{lp} (1 - n - p)^{\alpha_p/2} R c_m, \quad (4.15)$$

$$\text{όπου } R = y_n^{-1} (1 - e^{-ny_n}).$$

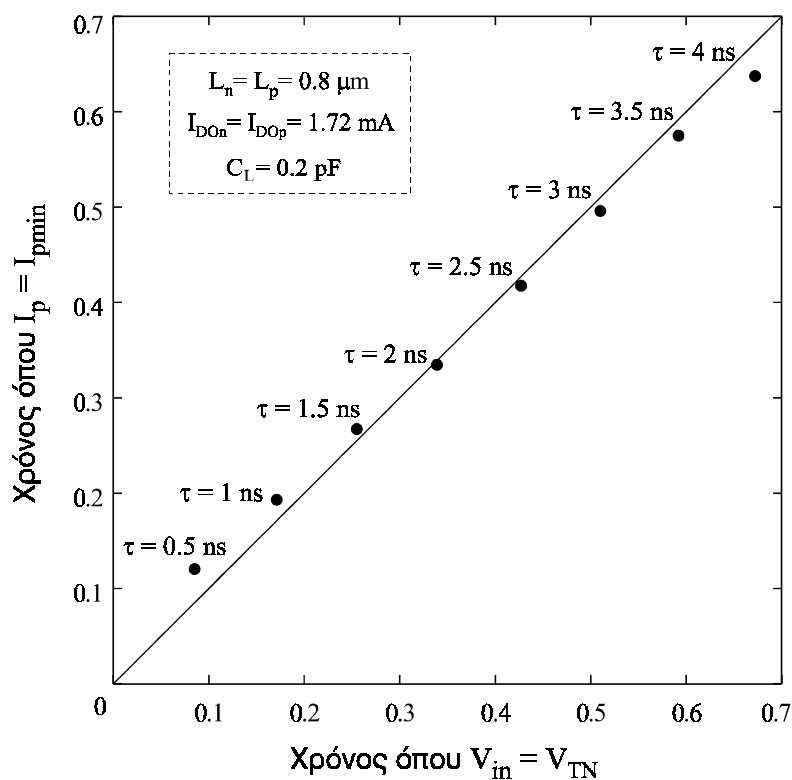
S είναι η κλίση της κυματομορφής του ρεύματος του τρανζίστορ PMOS, η οποία υπολογίζεται παρακάτω από την εξίσωση (4.17). Μετά την παραπάνω προσέγγιση, η λύση της διαφορικής εξίσωσης (3.9) στην περιοχή 2 έχει ως εξής

$$u_{\text{out}} = 1 + c_m (x - n + R) + I_{p\text{min}} d (x - n) + \frac{S d (x - n)^2}{2} - \frac{A_{sn} (x - n)^{\alpha_n + 1}}{\alpha_n + 1}, \quad (4.16)$$

$$\text{όπου } A_{sn} = \frac{k_{sn} \tau}{V_{DD}(C_L + C_M)} \quad \text{και} \quad d = \frac{\tau}{V_{DD}(C_L + C_M)}.$$



Σχήμα 4.3: Γραμμική προσέγγιση του ρεύματος του PMOS στην περιοχή 2



Σχήμα 4.4: Σύγκριση μεταξύ του χρονικού σημείου όπου το ρεύμα του PMOS λαμβάνει την ελάχιστη τιμή του και εκείνου όπου η τάση εισόδου φθάνει στην τάση κατωφλίου του NMOS.

Όπως θα δειχθεί στην παράγραφο 4.5, η εξίσωση (4.16) δίνει κυματομορφές πολύ κοντά σε εκείνες που παράγονται από εξομοιώσεις με το SPICE, γεγονός που αποδεικνύει την εγκυρότητα της γραμμικής προσέγγισης του ρεύματος του τρανζίστορ PMOS που χρησιμοποιήθηκε.

Η κλίση S της κυματομορφής του ρεύματος του τρανζίστορ PMOS υπολογίζεται, εάν εξισώσουμε το ακριβές ρεύμα του τρανζίστορ PMOS, όπως αυτό δίνεται από την εξίσωση (4.10), με το προσεγγιστικό ρεύμα της εξίσωσης (4.14), στο σημείο $x_c = (1-p)/2$ που είναι κοντά στο μέσο της περιοχής 2

$$k_{lp} (1 - x_c - p)^{\alpha_p/2} (1 - u_{out}) = I_{pmin} + S(x_c - n). \quad (4.17)$$

Χρησιμοποιώντας την έκφραση της u_{out} από την εξίσωση (4.16), η λύση της παραπάνω εξίσωσης έχει ως εξής

$$S = \frac{2k_{lp} x_c^{\alpha_p/2} \left[c_m (n - x_c - R) + A_{sn} (\alpha_n + 1)^{-1} (x_c - n)^{\alpha_n + 1} - I_{pmin} d(x_c - n) \right] - 2I_{pmin}}{(x_c - n) \left[2 + A_{lp} (x_c - n) x_c^{\alpha_p/2} \right]}.$$

Για να συνεχιστεί η ανάλυση της κυματομορφής εξόδου του αντιστροφέα, θα πρέπει να υπολογιστούν οι οριακές κανονικοποιημένες τιμές τάσης και χρόνου (x_{satp} , u_{satp}) της περιοχής 2. Οι τιμές αυτές ικανοποιούν τη συνθήκη κόρου του τρανζίστορ PMOS: $1 - u_{out} = u'_{dop}$. Για να λυθεί η εξίσωση αυτή χρησιμοποιείται το ανάπτυγμα δεύτερης τάξης της σειράς Taylor της u_{out} και της u'_{dop} στο σημείο $x = 1 - p - n$. Έτσι, η συνθήκη κόρου του τρανζίστορ PMOS λαμβάνει την παρακάτω μορφή

$$1 - (z_0 + z_1 x + z_2 x^2) = m_0 + m_1 [x - (1 - p - n)] + m_2 [x - (1 - p - n)]^2, \quad (4.18)$$

όπου z_0, z_1, z_2 και m_0, m_1, m_2 είναι οι συντελεστές των αναπτυγμάτων Taylor [237] των u_{out} και u'_{dop} , αντίστοιχα, που υπολογίζονται στο Παράρτημα 4A στο τέλος του κεφαλαίου. Η ρίζα της δευτεροβάθμιας εξίσωσης (4.18) που ανήκει στο διάστημα $[n, 1-p]$, αποτελεί την τιμή x_{satp} . Το σφάλμα που εισάγεται στον υπολογισμό του x_{satp} λόγω της παραπάνω μεθόδου στις περισσότερες περιπτώσεις δεν ξεπερνά το 0.3 %. Στις ακραία περίπτωση εισόδων όπου η τιμή x_{satp} είναι αρκετά κοντά στο $1-p$ το σφάλμα φτάνει μέχρι το 0.8 %. Τέλος, η τιμή u_{satp} υπολογίζεται με αντικατάσταση της τιμής x_{satp} στην εξίσωση (4.16).

Όπως φαίνεται στο Σχήμα 4.2, στην υποκατηγορία A_1 , το τρανζίστορ PMOS αποκόπτεται μετά τη γραμμική περιοχή λειτουργίας χωρίς να εισαχθεί στην περιοχή

κόρου. Έτσι, το δεξί όριο της περιοχής 2 για την υποπερίπτωση A_1 είναι το σημείο όπου το PMOS αποκόπτεται ($x = 1-p$). Εάν η τιμή της κανονικοποιημένης τάσης εξόδου που υπολογίζεται από την εξίσωση (4.16) για $x = 1-p$, είναι μεγαλύτερη ή ίση από 1 τότε η περίπτωση που αναλύεται υπόκειται στην υποκατηγορία A_1 και συνεχίζουμε με την περιοχή 4. Σε αντίθετη περίπτωση συνεχίζουμε με την ανάλυση της εξόδου στην περιοχή 3.

Περιοχή 3, $x_{satp} \leq x \leq 1-p$:

Η διαφορική εξίσωση που προκύπτει από την εξίσωση (3.9) χρησιμοποιώντας τις εξισώσεις ρεύματος (4.8) και (4.11) λύνεται αναλυτικά και παράγεται η παρακάτω έκφραση για την κυματομορφή της τάσης εξόδου του αντιστροφέα

$$u_{out} = u_{23} + c_m x - \frac{A_{sn}}{\alpha_n + 1} (x - n)^{\alpha_n + 1} - \frac{A_{sp}}{\alpha_p + 1} (1 - x - p)^{\alpha_p + 1}, \quad (4.19)$$

$$\text{όπου } u_{23} = u_{satp} - c_m x_{satp} + \frac{A_{sn}}{\alpha_n + 1} (x_{satp} - n)^{\alpha_n + 1} + \frac{A_{sp}}{\alpha_p + 1} (1 - x_{satp} - p)^{\alpha_p + 1} \quad (4.20)$$

$$\text{και } A_{sp} = \frac{k_{sp} \tau}{V_{DD}(C_L + C_M)}.$$

Περιοχή 4, $1-p \leq x \leq 1$:

Το τρανζίστορ NMOS συνεχίζει να λειτουργεί στην περιοχή κόρου, ενώ το τρανζίστορ PMOS αποκόπτεται. Η αναλυτική λύση της διαφορικής εξίσωσης (3.9) στην περιοχή αυτή έχει ως εξής

$$u_{out} = u_{23} + c_m x - \frac{A_{sn}}{\alpha_n + 1} (x - n)^{\alpha_n + 1}. \quad (4.21)$$

Για την υποκατηγορία A_1 , η σταθερά ολοκλήρωσης u_{23} θα πρέπει να αντικατασταθεί από τη σταθερά ολοκλήρωσης u_{24}

$$u_{24} = u_{[1-p]} - c_m (1-p) + \frac{A_{sn}}{\alpha_n + 1} (1-p - n)^{\alpha_n + 1}, \quad (4.22)$$

όπου $u_{[1-p]}$ είναι η τιμή της κανονικοποιημένης τάσης εξόδου όταν το τρανζίστορ PMOS αποκόπτεται και προκύπτει από την εξίσωση (4.16) για $x = 1-p$.

Περιοχή 5A, $1 \leq x \leq x_{satn}$:

Η τάση εισόδου έχει φτάσει την τελική της τιμή, με το τρανζίστορ NMOS να

συνεχίζει να λειτουργεί στην περιοχή κόρου και το τρανζίστορ PMOS στην αποκοπή. x_{satn} είναι η τιμή του κανονικοποιημένου χρόνου όπου το τρανζίστορ NMOS εξέρχεται από την περιοχή κόρου, δηλαδή το σημείο όπου $u_{\text{out}} = u'_{\text{don}}$. Η αναλυτική λύση της διαφορικής εξίσωσης (3.9) (για $t > \tau$), έχει ως εξής

$$u_{\text{out}} = u_{23} + c_m - \frac{A_{\text{sn}}}{\alpha_n + 1} (1-n)^{\alpha_n+1} - A_{\text{sn}} (1-n)^{\alpha_n} (x-1), \quad (4.23)$$

όπου η σταθερά ολοκλήρωσης u_{23} πρέπει να αντικατασταθεί από την u_{24} , όταν πρόκειται για περιπτώσεις εισόδων που ανήκουν στην υποκατηγορία A_1 .

Περιοχή 6, $x \geq x_{\text{satn}}$:

Το τρανζίστορ NMOS εισέρχεται στην γραμμική περιοχή. Η αναλυτική λύση της εξίσωσης (3.9), έχει ως εξής

$$u_{\text{out}} = u_{\text{don}} e^{-A_{\text{ln}} (1-n)^{\alpha_n/2} (x-x_{\text{satn}})}, \quad \text{όπου } A_{\text{ln}} = \frac{k_{\text{ln}} \tau}{V_{\text{DD}} (C_L + C_M)}. \quad (4.24)$$

Το όριο x_{satn} υπολογίζεται από την εξίσωση (4.23) για $u_{\text{out}} = u_{\text{don}}$

$$x_{\text{satn}} = \frac{c_m + u_{23} - u_{\text{don}}}{A_{\text{sn}} (1-n)^{\alpha_n}} + \frac{\alpha_n + n}{\alpha_n + 1}. \quad (4.25)$$

Κατηγορία B – Αργές εισοδοί

Η κατηγορία αυτή περιλαμβάνει τις περιπτώσεις εισόδων όπου το τρανζίστορ NMOS εισέρχεται στη γραμμική περιοχή κατά τη διάρκεια της μετάβασης της εισόδου (Σχήμα 4.2). Ο διαχωρισμός της κατηγορίας αυτής από την προηγούμενη μπορεί να γίνει εάν υπολογιστεί η u_{out} για $x = 1$ από την εξίσωση (4.21). Όπως φαίνεται στο Σχήμα 4.2, αν η τιμή αυτή είναι μεγαλύτερη από τη u_{don} τότε πρόκειται για περίπτωση εισόδου που ανήκει στην *κατηγορία A*, ενώ αν είναι μικρότερη πρόκειται για είσοδο που πρέπει να αναλυθεί με βάση την *κατηγορία B*. Οι εκφράσεις της κυματομορφής της τάσης εξόδου του αντιστροφέα για την *κατηγορία B* στις περιοχές 1, 2, 3 και 4 είναι ίδιες με εκείνες της *κατηγορίας A*. Το δεξί όριο της περιοχής 4 στην *κατηγορία B* είναι η τιμή x_{satn} , η οποία θα πρέπει να υπολογιστεί από την εξίσωση (4.21) για $u_{\text{out}} = u'_{\text{don}}$. Για τις περιπτώσεις εισόδων όπου το τρανζίστορ PMOS αποκόπτεται ενώ το NMOS είναι ήδη στην γραμμική περιοχή λειτουργίας (*υποκατηγορία B₁*) η τιμή x_{satn} θα πρέπει να υπολογιστεί από την εξίσωση (4.19) για $u_{\text{out}} = u'_{\text{don}}$. Για να λυθούν οι δύο παραπάνω εξισώσεις χρησιμοποιείται το ανάπτυγμα δεύτερης τάξης της σειράς Taylor της u'_{don} στο σημείο $x = 1 - p$ και το ανάπτυγμα της u_{out} στο σημείο

$x = 1 - p - n$. Οι συντελεστές των δύο αναπτυγμάτων δίνονται στο Παράρτημα 4B στο τέλος του κεφαλαίου.

Η διάκριση μεταξύ της κατηγορίας B και της υποκατηγορίας B_1 γίνεται με τον υπολογισμό της τιμής της u_{out} στην περιοχή 3 για $x = 1 - p$. Εάν η τιμή αυτή είναι μεγαλύτερη από

$$u_{don} \left[(1 - p - n) / (1 - n) \right]^{\alpha_n / 2},$$

τότε πρόκειται για περίπτωση εισόδου που ανήκει στην κατηγορία B , ενώ αν είναι μικρότερη πρόκειται για είσοδο που ανήκει στην υποκατηγορία B_1 .

Περιοχή 5B, $x_{satn} \leq x \leq 1$:

Το τρανζίστορ PMOS είναι αποκομμένο στο διάστημα $1 - p \leq x \leq 1$, ενώ στο διάστημα $x_{satn} \leq x \leq 1 - p$ άγει τόσο λίγο ώστε η επίδρασή του μπορεί να θεωρηθεί αμελητέα. Κυκλωματικές εξομοιώσεις έχουν δείξει ότι στο δεύτερο αυτό διάστημα το ρεύμα του τρανζίστορ PMOS δεν ξεπερνά το 2–3 % του ρεύματος του τρανζίστορ NMOS. Για να δοθεί αναλυτική λύση της διαφορικής εξίσωσης (3.9) στην περιοχή αυτή, το ρεύμα διαμέσου της χωρητικότητας σύζευξης θεωρείται αμελητέο. Έτσι, προκύπτει η παρακάτω έκφραση για την κανονικοποιημένη τάση εξόδου

$$u_{out} = u_{satn} e^{-\frac{2A_{in}}{\alpha_n + 2} \left[(x - n)^{(\alpha_n + 2)/2} - (x_{satn} - n)^{(\alpha_n + 2)/2} \right]}, \quad (4.26)$$

$$\text{όπου} \quad u_{satn} = u_{don} \left[(x_{satn} - n) / (1 - n) \right]^{\alpha_n / 2} \quad (4.27)$$

είναι η τιμή της κανονικοποιημένης τάσης εξόδου όταν το τρανζίστορ NMOS εξέρχεται από την περιοχή κόρου.

Περιοχή 6, $x \geq 1$:

Η αναλυτική λύση της διαφορικής εξίσωσης (3.9) στην περιοχή αυτή δίνεται από την εξίσωση (4.24), εάν θέσουμε όπου x_{satn} την τιμή 1 και όπου u_{don} την τιμή $u_{[1]}$. $u_{[1]}$ είναι η τιμή της κανονικοποιημένης τάσης εξόδου όταν η είσοδος φτάνει στην τελική της τιμή και υπολογίζεται από την εξίσωση (4.26) για $x = 1$.

4.3 Υπολογισμός της καθυστέρησης και του χρόνου μετάβασης εξόδου του αντιστροφέα

Όπως αναφέρθηκε στο προηγούμενο κεφάλαιο, για να υπολογιστεί η καθυστέρηση του αντιστροφέα (εξίσωση (3.33)), θα πρέπει να υπολογιστεί η τιμή του κανονι-

κοποποιημένου χρόνου ($x_{0.5}$) όπου $u_{out} = 0.5$, για όλες τις κατηγορίες κυματομορφών εισόδου. Στην περίπτωση της ανάλυσης με βάση το μοντέλο MOS δύναμης του α , μια κρίσιμη παράμετρος για τον καθορισμό της περιοχής λειτουργίας στην οποία η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5 (Σχήμα 4.2), είναι η κανονικοποιημένη τάση υποδοχής κόρου για $V_{GS} = V_{DD}$ (u_{don}) του τρανζίστορ NMOS (ή η u_{dop} για κατερχόμενη είσοδο). Η τιμή αυτή είναι αντίστοιχη με την τιμή της κανονικοποιημένης τάσης u_{maxn} του απλού μοντέλου για τεχνολογίες υπομικρομέτρου που χρησιμοποιήθηκε στο κεφάλαιο 3. Έτσι, είναι κι εδώ απαραίτητο να διακρίνουμε δύο περιπτώσεις για τον υπολογισμό της τιμής $x_{0.5}$: $u_{don} \leq 0.5$ και $u_{don} \geq 0.5$. Στον Πίνακα 4.1, δίνονται οι εξισώσεις υπολογισμού της τιμής $x_{0.5}$ που προκύπτουν για κάθε κατηγορία εισόδων και για τις δύο παραπάνω περιπτώσεις. Η εξαγωγή των εξισώσεων αυτών γίνεται με βάση την έκφραση της κυματομορφής της κανονικοποιημένης τάσης εξόδου στην περιοχή όπου αυτή φτάνει στην τιμή 0.5. Για να λυθούν οι εξισώσεις που προκύπτουν για τον υπολογισμό της τιμής $x_{0.5}$ στις περιοχές 3 και 4, χρησιμοποιείται το ανάπτυγμα δεύτερης τάξης της σειράς Taylor [237] για την κανονικοποιημένη τάση εξόδου στις περιοχές αυτές. Οι συντελεστές y_1, y_2, y_3 αφορούν το ανάπτυγμα της u_{out} στην περιοχή 4, ενώ οι συντελεστές w_1, w_2, w_3 το ανάπτυγμα της u_{out} στην περιοχή 3. Ο υπολογισμός τους γίνεται στο Παράρτημα 4B στο τέλος του κεφαλαίου.

Ο χρόνος μετάβασης εξόδου του αντιστροφέα υπολογίζεται αν η κλίση της κυματομορφής εξόδου προσεγγιστεί με το 70% της παραγώγου της (κλίσης) στο μισό του εύρους της τάσης τροφοδοσίας (εξίσωση (3.39)). Έτσι, με βάση την ανάλυση της κυματομορφής εξόδου που περιγράφηκε στην παράγραφο 4.2, πρέπει να υπολογιστεί η κλίση s της κυματομορφής της κανονικοποιημένης τάσης εξόδου στο σημείο $x_{0.5}$. Στον Πίνακα 4.2, δίνονται οι εξισώσεις υπολογισμού της κλίσης αυτής για κάθε κατηγορία εισόδων και για τα δύο ενδεχόμενα που αφορούν την τιμή της κανονικοποιημένης τάσης u_{don} του τρανζίστορ NMOS ($u_{don} \leq 0.5$ και $u_{don} \geq 0.5$). Οι εξισώσεις αυτές προκύπτουν από τη βασική διαφορική εξίσωση (3.9) όπως αυτή διαμορφώνεται στις περιοχές όπου η κανονικοποιημένη τάση εξόδου φτάνει στην τιμή 0.5. Οι τιμές του κανονικοποιημένου χρόνου $x_{0.5}$ που απαιτούνται για τον υπολογισμό της κλίσης s υπολογίζονται από τις εξισώσεις που δίνονται στον Πίνακα 4.1, για κάθε κατηγορία εισόδων και σε κάθε περιοχή λειτουργίας του αντιστροφέα.

$u_{don} \leq 0.5$	$u_{don} \geq 0.5$
ΥΠΟΚΑΤΗΓΟΡΙΑ A₁	
Περιοχή 5A: $x_{0.5} = \frac{c_m + u_{23} - 0.5}{A_{sn}(1-n)^{\alpha_n}} + \frac{\alpha_n + n}{\alpha_n + 1}$	Περιοχή 6: $x_{0.5} = x_{satn} - \frac{\ln(0.5/u_{don})}{A_{ln}(1-n)^{\alpha_n/2}}$
ΚΑΤΗΓΟΡΙΑ A	
Περιοχή 5A ($u_{[1]} \geq 0.5$): $x_{0.5} = \frac{c_m + u_{23} - 0.5}{A_{sn}(1-n)^{\alpha_n}} + \frac{\alpha_n + n}{\alpha_n + 1}$	Περιοχή 6: $x_{0.5} = x_{satn} - \frac{\ln(0.5/u_{don})}{A_{ln}(1-n)^{\alpha_n/2}}$
Περιοχή 4 ($u_{[1]} \leq 0.5$): $x_{0.5} = \frac{-y_1 - \sqrt{y_1^2 - 2y_2(2y_0 - 1)}}{2y_2}$	
ΚΑΤΗΓΟΡΙΑ B	
Περιοχή 4 ($u_{[1-p]} \geq 0.5$): $x_{0.5} = \frac{-y_1 - \sqrt{y_1^2 - 2y_2(2y_0 - 1)}}{2y_2}$	Περιοχή 6 ($u_{[1]} \geq 0.5$): $x_{0.5} = x_{satn} - \frac{\ln(0.5/u_{don})}{A_{ln}(1-n)^{\alpha_n/2}}$
Περιοχή 3 ($u_{[1-p]} \leq 0.5$): $x_{0.5} = \frac{-w_1 - \sqrt{w_1^2 - 2w_2(2w_0 - 1)}}{2w_2}$	Περιοχή 5B ($u_{[1]} \leq 0.5$): Εξίσωση (4.28)
ΥΠΟΚΑΤΗΓΟΡΙΑ B₁	
Περιοχή 3: $x_{0.5} = \frac{-w_1 - \sqrt{w_1^2 - 2w_2(2w_0 - 1)}}{2w_2}$	Περιοχή 5B ($u_{satn} \geq 0.5$): Εξίσωση (4.28)
	Περιοχή 3 ($u_{satn} \leq 0.5$): $x_{0.5} = \frac{-w_1 - \sqrt{w_1^2 - 2w_2(2w_0 - 1)}}{2w_2}$

$$x_{0.5} = n + \left[(x_{satn} - n)^{(\alpha_n+2)/2} - \frac{(\alpha_n + 2) \ln(0.5/u_{satn})}{2A_{ln}} \right]^{\frac{2}{\alpha_n+2}} \quad (4.28)$$

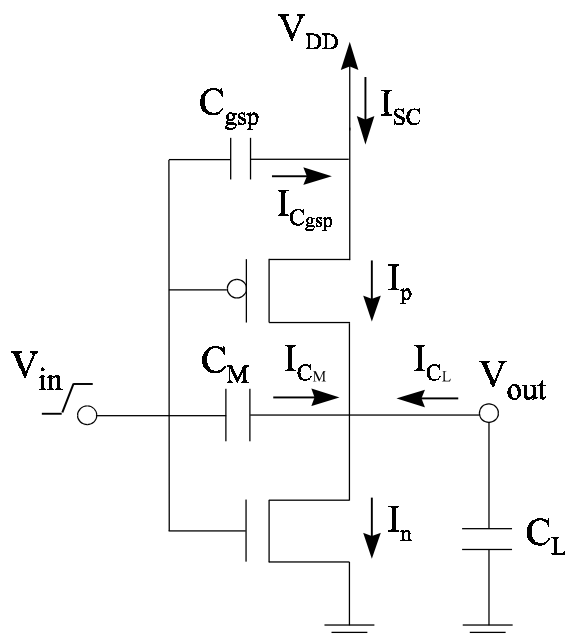
Πίνακας 4.1: Εξισώσεις υπολογισμού της τιμής $x_{0.5}$

$u_{don} \leq 0.5$	$u_{don} \geq 0.5$
ΥΠΟΚΑΤΗΓΟΡΙΑ A ₁	
Περιοχή 5A: $s = -A_{sn}(1-n)^{\alpha_n}$	Περιοχή 6: $s = A_n(4n-3) / (4v_{on}^{-1} + 8)$
ΚΑΤΗΓΟΡΙΑ A	
Περιοχή 5A ($u_{[1]} \geq 0.5$): $s = -A_{sn}(1-n)^{\alpha_n}$	Περιοχή 6: $s = -(A_{ln}/2)(1-n)^{\alpha_n/2}$
Περιοχή 4 ($u_{[1]} \leq 0.5$): $s = c_m - A_{sn}(x_{0.5} - n)^{\alpha_n}$	
ΚΑΤΗΓΟΡΙΑ B	
Περιοχή 4 ($u_{[1-p]} \geq 0.5$): $s = c_m - A_{sn}(x_{0.5} - n)^{\alpha_n}$	Περιοχή 6 ($u_{[1]} \geq 0.5$): $s = -(A_{ln}/2)(1-n)^{\alpha_n/2}$
Περιοχή 3 ($u_{[1-p]} \leq 0.5$): $s = c_m - A_{sn}(x_{0.5} - n)^{\alpha_n} + A_{sp}(1-x_{0.5}-p)^{\alpha_p}$	Περιοχή 5B ($u_{[1]} \leq 0.5$): $s = c_m - (A_{ln}/2)(x_{0.5} - n)^{\alpha_n/2}$
ΥΠΟΚΑΤΗΓΟΡΙΑ B ₁	
Περιοχή 3: $s = c_m - A_{sn}(x_{0.5} - n)^{\alpha_n} + A_{sp}(1-x_{0.5}-p)^{\alpha_p}$	Περιοχή 5B ($u_{satn} \geq 0.5$): $s = c_m - (A_{ln}/2)(x_{0.5} - n)^{\alpha_n/2}$
	Περιοχή 3 ($u_{satn} \leq 0.5$): $s = c_m - A_{sn}(x_{0.5} - n)^{\alpha_n} + A_{sp}(1-x_{0.5}-p)^{\alpha_p}$

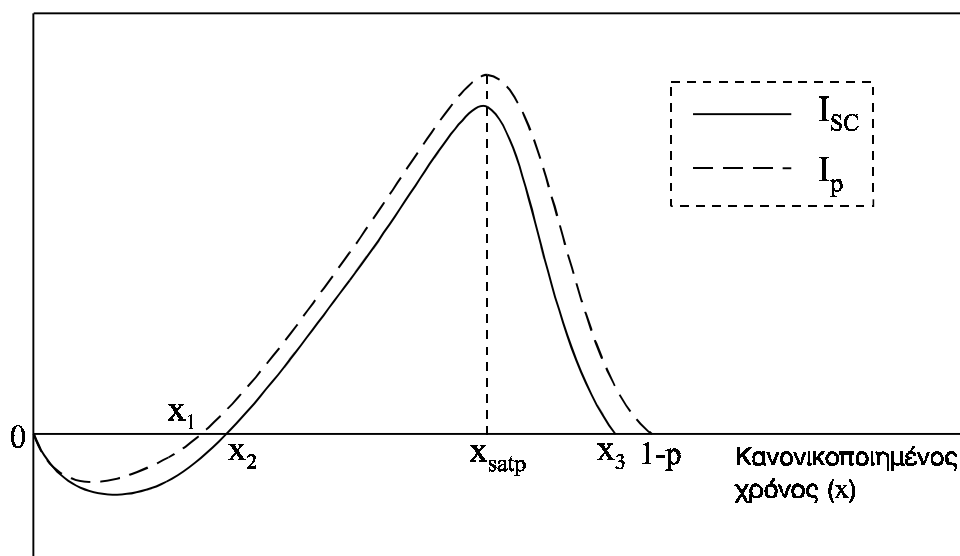
Πίνακας 4.2: Εξισώσεις υπολογισμού της κλίσης s

4.4 Υπολογισμός της κατανάλωσης ενέργειας βραχυκυκλώματος

Στην παράγραφο αυτή, παράγονται αναλυτικές εκφράσεις για τον υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα, οι οποίες βασίζονται στο μοντέλο MOS δύναμης του α . Οι εκφράσεις αυτές, όπως και εκείνες που προτάθηκαν στο προηγούμενο κεφάλαιο, λαμβάνουν υπόψη την επίδραση του ρεύ-



Σχήμα 4.5: Ανάλυση ρευμάτων του αντιστροφέα για ανερχόμενη είσοδο



Σχήμα 4.6: Διαφοροποίηση του ρεύματος βραχυκυκλώματος από το ρεύμα του PMOS λόγω της επίδρασης του ρεύματος διαμέσου της χωρητικότητας πύλης-πηγής του PMOS

ματος βραχυκυκλώματος στην κυματομορφή της τάσης εξόδου του αντιστροφέα, καθώς και την επίδραση της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου. Επιπλέον, στις αναλυτικές εκφράσεις που προτείνονται συμπεριλαμβάνεται και η επίδραση του ρεύματος διαμέσου της χωρητικότητας πύλης-πηγής του τρανζίστορ βραχυκυκλώματος (PMOS για ανερχόμενη είσοδο - Σχήματα 4.5 και 4.6), η ο-

ποία δεν έχει ληφθεί υπόψη σε κανένα από τα αναλυτικά μοντέλα που έχουν αναπτυχθεί μέχρι σήμερα (Παράγραφος 3.3.4).

Η ενέργεια βραχυκυκλώματος στην περίπτωση ανερχόμενης εισόδου είναι η ενέργεια του ρεύματος (I_{SC}) που παρέχεται από την τροφοδοσία (Σχήμα 4.5). Το ανάστροφο ρεύμα που ρέει στο διάστημα $[0, x_2]$ (Σχήμα 4.6) οφείλεται στην παρουσία της χωρητικότητας σύζευξης (C_M) και της χωρητικότητας πύλης-πηγής (C_{gsp}) του τρανζίστορ PMOS. Το ρεύμα διαμέσου των χωρητικοτήτων αυτών παρέχεται από την είσοδο (ή την τροφοδοσία της προηγούμενης πύλης) κατά τη διάρκεια της μετάβασής της. Όπως φαίνεται στο Σχήμα 4.6, το ρεύμα διαμέσου της C_{gsp} προκαλεί συρρίκνωση του θετικού παλμού του ρεύματος βραχυκυκλώματος με αποτέλεσμα τη μείωση της ενέργειας βραχυκυκλώματος.

Με βάση λοιπόν το Σχήμα 4.6, η ενέργεια βραχυκυκλώματος του αντιστροφέα για κατερχόμενη έξοδο θα πρέπει να υπολογιστεί από την παρακάτω σχέση

$$E_{SC}^{1 \rightarrow 0} = V_{DD} \int_{x_2}^{x_3} I_{SC} \tau dx = V_{DD} \left(\int_{x_2}^{x_{satp}} I_{SC} \tau dx + \int_{x_{satp}}^{x_3} I_{SC} \tau dx \right), \quad (4.29)$$

όπου $I_{SC} = I_p - I_{C_{gsp}}$.

Το ρεύμα διαμέσου της χωρητικότητας πύλης-πηγής του τρανζίστορ PMOS που ρέει κατά τη διάρκεια της μετάβασης εισόδου δίνεται ως εξής

$$I_{C_{gsp}} = C_{gsp} \frac{dV_{in}}{dt} = C_{gsp} \frac{V_{DD}}{\tau}, \quad (4.30)$$

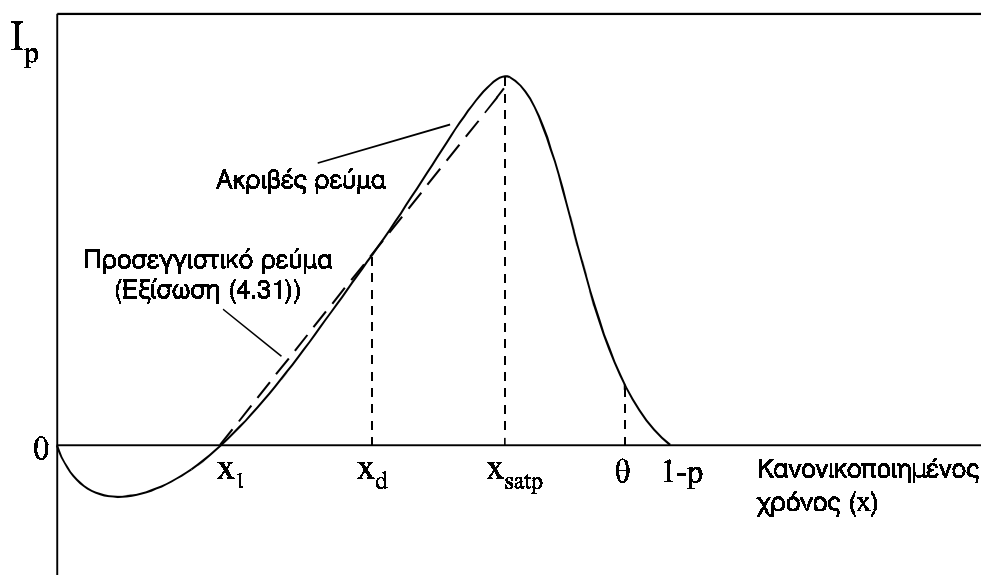
όπου $C_{gsp} = \begin{cases} C_{gsp1} = (1/2) W_p L_p C_{ox} + C_{gso} W_p, & 0 < x \leq x_{satp} \\ C_{gsp2} = (3/2) W_p L_p C_{ox} + C_{gso} W_p, & x_{satp} < x < 1-p \end{cases}$, [8], [233].

Στο πρώτο ολοκλήρωμα της εξίσωσης (4.29) χρησιμοποιείται μια γραμμική προσέγγιση για το ρεύμα του τρανζίστορ PMOS (Σχήμα 4.7) που εκφράζεται ως εξής

$$I_p = S' (x - x_1). \quad (4.31)$$

S' είναι η κλίση της κυματομορφής του I_p και υπολογίζεται εάν εξισώσουμε το ρεύμα του PMOS όπως αυτό δίνεται από την εξίσωση (4.10) με το παραπάνω προσεγγιστικό ρεύμα, στο σημείο $x_d = (x_1 + x_{satp}) / 2$,

$$S' = \frac{k_{lp} (1 - x_d - p)^{\alpha_p/2} (1 - u_{out}|_{x=x_d})}{x_d - x_1}. \quad (4.32)$$



Σχήμα 4.7: Προσέγγιση του I_p για τον υπολογισμό της ενέργειας βραχυκυκλώματος

Η τιμή του κανονικοποιημένου χρόνου x_1 , όπου συμβαίνει και το τέλος της υπέρβασης της τάσης εξόδου, υπολογίζεται εξισώνοντας την έκφραση της κυματομορφής της τάσης εξόδου στη δεύτερη περιοχή λειτουργίας με την τιμή 1. Για να λυθεί η εξίσωση αυτή χρησιμοποιείται το ανάπτυγμα Taylor της u_{out} στο σημείο $x = 2\pi$, που δίνεται στο Παράρτημα 4A στο τέλος του κεφαλαίου. Έτσι, η τιμή x_1 είναι η ρίζα μιας απλής δευτεροβάθμιας εξίσωσης που εκφράζεται ως εξής

$$x_1 = \frac{-z_1 - \sqrt{z_1^2 - 4z_2(z_0 - 1)}}{2z_2}, \quad (4.33)$$

όπου z_0 , z_1 , z_2 είναι οι συντελεστές του αναπτύγματος Taylor. Το σφάλμα που εισάγεται στον υπολογισμό του x_1 λόγω της παραπάνω μεθόδου δεν ξεπερνά το 0.2 %.

Στο δεύτερο ολοκλήρωμα της εξίσωσης (4.29) χρησιμοποιείται η εξίσωση ρεύματος κόρου του τρανζίστορ PMOS (4.11). Αυτό που μένει για να γίνει εφικτός ο υπολογισμός της ενέργειας βραχυκυκλώματος, είναι ο καθορισμός των οριακών τιμών (x_2 , x_3) του θετικού παλμού του ρεύματος βραχυκυκλώματος (Σχήμα 4.6). Η τιμή x_2 υπολογίζεται από την παρακάτω εξίσωση

$$S'(x_2 - x_1) - C_{gsp1} \frac{V_{DD}}{\tau} = 0 \Rightarrow x_2 = x_1 + \frac{C_{gsp1} V_{DD}}{S' \tau}. \quad (4.34)$$

Αντίστοιχα η τιμή x_3 θα πρέπει να υπολογιστεί από την παρακάτω εξίσωση

$$k_{sp}(1 - x - p)^{\alpha_p} - C_{gsp2} \frac{V_{DD}}{\tau} = 0. \quad (4.35)$$

Για να λυθεί η εξίσωση (4.35), χρησιμοποιείται το ανάπτυγμα Taylor δεύτερης τάξης του όρου $k_{sp}(1-x-p)^{\alpha_p}$ στο σημείο $x = \theta = [x_{satp} + 3(1-p)]/4$ (Σχήμα 4.7)

$$k_{sp}(1-x-p)^{\alpha_p} = \ell_0 + \ell_1(x-\theta) + \ell_2(x-\theta)^2, \quad (4.36)$$

όπου $\ell_0 = k_{sp}(1-\theta-p)^{\alpha_p}$, $\ell_1 = -\ell_0 \alpha_p (1-\theta-p)^{-1}$,

$$\text{και } \ell_2 = -\frac{\ell_1}{2} (\alpha_p - 1)(1-\theta-p)^{-1}.$$

Λύνοντας την εξίσωση (4.36), προκύπτει η τιμή του κανονικοποιημένου χρόνου x_3

$$x_3 = \frac{2\theta\ell_2 - \ell_1 - \sqrt{\ell_1^2 + 4\ell_2 \left[(C_{gsp2} V_{DD} / \tau) - \ell_0 \right]}}{2\ell_2}. \quad (4.37)$$

Το σφάλμα που εισάγεται στον υπολογισμό της τιμής x_3 λόγω της χρήσης του αναπτύγματος Taylor δεν ξεπερνά το 0.1 %.

Ξεκινώντας από την εξίσωση (4.29), η τελική έκφραση για τον υπολογισμό της ενέργειας βραχυκυκλώματος του αντιστροφέα στην περίπτωση κατερχόμενης εξόδου έχει ως εξής

$$E_{SC}^{1 \rightarrow 0} = \frac{V_{DD} \tau}{2} (x_{satp} - x_2) \left[(x_{satp} + x_2 - 2x_1) S' - \frac{2C_{gsp1} V_{DD}}{\tau} \right] + \frac{V_{DD} k_{sp} \tau}{(\alpha_p + 1)} \left[(1-p-x_{satp})^{\alpha_p+1} - (1-p-x_3)^{\alpha_p+1} \right] - C_{gsp2} V_{DD}^2 (x_3 - x_{satp}). \quad (4.38)$$

Η ανάλυση για τον υπολογισμό της ενέργειας βραχυκυκλώματος του αντιστροφέα για ανερχόμενη κυματομορφή εξόδου είναι συμμετρική και καταλήγει στην παρακάτω αναλυτική έκφραση

$$E_{SC}^{0 \rightarrow 1} = \frac{V_{DD} \tau}{2} (x_{satn} - x_2) \left[(x_{satn} + x_2 - 2x_1) S' - \frac{2C_{gsn1} V_{DD}}{\tau} \right] + \frac{V_{DD} k_{sn} \tau}{(\alpha_n + 1)} \left[(1-n-x_{satn})^{\alpha_n+1} - (1-n-x_3)^{\alpha_n+1} \right] - C_{gsn2} V_{DD}^2 (x_3 - x_{satn}). \quad (4.39)$$

όπου τ είναι στην περίπτωση αυτή ο χρόνος μετάβασης της κατερχόμενης εισόδου, S' είναι η κλίση της κυματομορφής ρεύματος του τρανζίστορ NMOS και τα σημεία x_1 , x_2 και x_3 αφορούν το παλμό του ρεύματος όταν το ρόλο του τρανζίστορ βραχυκυκλώματος έχει το τρανζίστορ NMOS.

4.5 Αξιολόγηση, αποτελέσματα και συγκρίσεις

Στην παράγραφο αυτή, παρουσιάζεται μια αξιολόγηση των αναλυτικών μοντέλων χρονικής απόκρισης και κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα CMOS, που βασίζονται στο μοντέλο MOS δύναμης του α .

Για την αξιολόγηση των αναλυτικών εκφράσεων της κυματομορφής της τάσης εξόδου του αντιστροφέα που παράχθηκαν στην Παράγραφο 4.2, χρησιμοποιήθηκαν δύο τεχνολογίες CMOS (0.8 και 1.2 μm). Στα Σχήματα 4.8 και 4.9, δίνονται οι κυματομορφές της τάσης εξόδου του αντιστροφέα που αντιστοιχούν σε διάφορες τιμές του χρόνου μετάβασης εισόδου. Οι παράμετροι του μοντέλου για κάθε τεχνολογία δίνονται στον Πίνακα 4.3. Οι διαστάσεις των τρανζίστορ έχουν επιλεγεί έτσι ώστε να παρουσιάζουν ίδιο ρεύμα υποδοχής I_{DO} . Η τάση τροφοδοσίας που χρησιμοποιήθηκε κατά την εξαγωγή των κυματομορφών ήταν 5V και η χωρητικότητα εξόδου 0.2pF. Στα Σχήματα 4.8 και 4.9 φαίνονται επίσης οι κυματομορφές εξόδου που έχουν προκύψει από εξομοιώσεις με το SPICE, οι οποίες έγιναν με βάση τις παραμέτρους των τεχνολογιών 0.8 και 1.2 μm (επιπέδου-2) που έχουν αναπτυχθεί από την εταιρία AMS (Πίνακες 4.4 και 4.5). Παρατηρούμε ότι, οι κυματομορφές εξόδου που προκύπτουν από τις αναλυτικές εκφράσεις είναι πολύ κοντά σε εκείνες που παράγονται από τις κυκλωματικές εξομοιώσεις.

ΠΑΡΑΜΕΤΡΟΙ	Τεχνολογία 0.8 μm		Τεχνολογία 1.2 μm	
	NMOS	PMOS	NMOS	PMOS
L (μm)	0.8	0.8	1.2	1.2
W (μm)	4	6.55	5	11.75
I_{DO} (mA)	1.72	1.72	1.53	1.53
α	1.245	1.37	1.38	1.49
$ V_T $ (V)	0.844	0.734	0.736	0.751
$ V_{DO} $ (V)	1.30	2.45	1.70	2.50

Πίνακας 4.3: Παράμετροι μοντέλου MOS για δύο τεχνολογίες CMOS

ΠΑΡΑΜΕΤΡΟΙ	NMOS	PMOS
Παράμετρος ενδογενούς διαγωγιμότητας - KP (A/V^2)	1.03×10^{-4}	3.565×10^{-5}
Πάχος οξειδίου πύλης - TOX (m)	15.5×10^{-9}	15.5×10^{-9}
Μέγιστη ταχύτητα ολίσθησης φορέων - $VMAX$ (m/sec)	6.19×10^4	6.13×10^4
Τάση κατωφλίου μηδενικής πόλωσης - VTO (V)	0.844	- 0.734
Δυναμικό αντιστροφής επιφάνειας υποστρώματος - PHI (V)	0.791	0.757
Παράγοντας φαινομένου σώματος - $GAMMA$ ($V^{1/2}$)	0.653	0.468
Επιφανειακή κινητικότητα φορέων - UO ($cm^2/V.sec$)	462	160
Κρίσιμη τιμή ηλεκτρικού πεδίου πύλης-καναλιού όπου αρχίζει η μείωση της κινητικότητας των φορέων - $UCRIT$ (V/cm)	37.7×10^4	30.8×10^4
Εκθετικός συντελεστής που χρησιμοποιείται στην εξίσωση μείωσης της κινητικότητας των φορέων - $UEXP$	0.324	0.336
Νόθευση επιφάνειας υποστρώματος - $NSUB$ (cm^{-3})	63.8×10^{15}	32.8×10^{15}
Πυκνότητα γρήγορης επιφανειακής κατάστασης υποστρώματος - NFS (cm^{-2})	0.835×10^{12}	0.483×10^{12}
Συντελεστής συνολικού φορτίου καναλιού - $NEFF$	10	2.57
Χωρητικότητα επικάλυψης πύλης-υποδοχής - $CGDO$ (F/m)	3.5×10^{-10}	3.5×10^{-10}
Χωρητικότητα επικάλυψης πύλης-πηγής - $CGSO$ (F/m)	3.5×10^{-10}	3.5×10^{-10}
Χωρητικότητα επικάλυψης πύλης-υποστρώματος - $CGBO$ (F/m)	1.5×10^{-10}	1.5×10^{-10}
Χωρητικότητα επιφάνειας επαφής διάχυσης-υποστρώματος για μηδενική πόλωση - CJ (F/m ²)	0.29×10^{-3}	0.49×10^{-3}
Χωρητικότητα περιφέρειας της επαφής διάχυσης-υποστρώματος για μηδενική πόλωση - $CJSW$ (F/m)	0.23×10^{-9}	0.21×10^{-9}
Συντελεστής διαβάθμισης χωρητικότητας επιφάνειας της επαφής διάχυσης-υποστρώματος - MJ	0.46	0.47
Συντελεστής διαβάθμισης χωρητικότητας περιφέρειας της επαφής διάχυσης-υποστρώματος - $MJSW$	0.33	0.29
Ενσωματωμένο (built-in) δυναμικό επαφής διάχυσης-υποστρώματος - PB (V)	0.86	0.8
Βάθος επαφής διάχυσης-υποστρώματος - XJ (m)	0.08×10^{-6}	0.087×10^{-6}
Παράγοντας επίδρασης στενού πλάτους καναλιού στην τάση κατωφλίου - $DELTA$	0.237	0.949

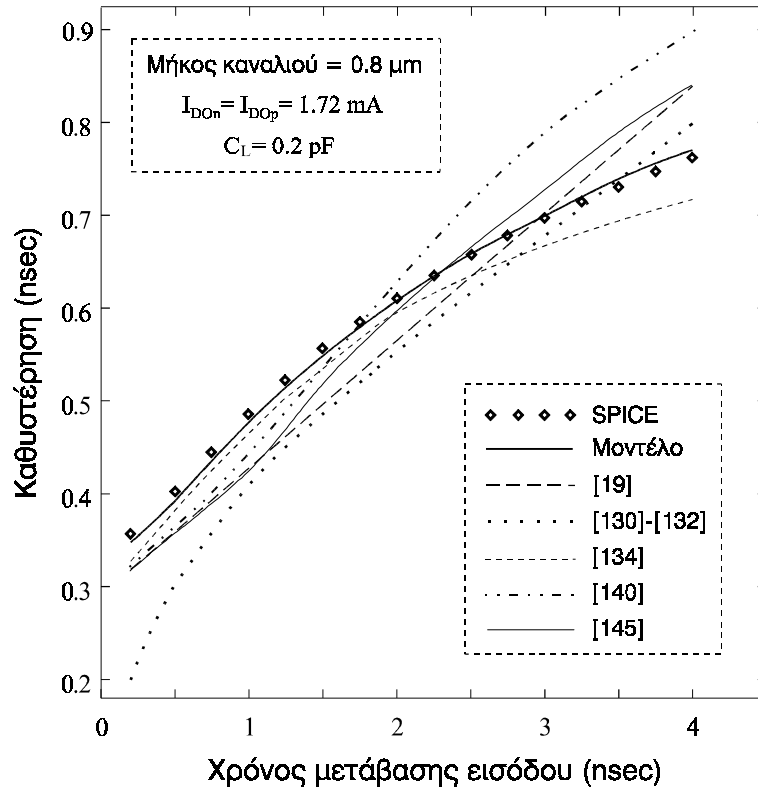
Πίνακας 4.4: Βασικές παράμετροι SPICE επιπέδου-2 τεχνολογίας CMOS 0.8 μ m

ΠΑΡΑΜΕΤΡΟΙ	NMOS	PMOS
Παράμετρος ενδογενούς διαγωγιμότητας - KP (A/V^2)	0.747×10^{-4}	2.538×10^{-5}
Πάχος οξειδίου πύλης - TOX (m)	23.8×10^{-9}	23.8×10^{-9}
Μέγιστη ταχύτητα ολίσθησης φορέων - $VMAX$ (m/sec)	77.3×10^3	54×10^3
Τάση κατωφλίου μηδενικής πόλωσης - VTO (V)	0.736	- 0.751
Δυναμικό αντιστροφής επιφάνειας υποστρώματος - PHI (V)	0.758	0.726
Παράγοντας φαινομένου σώματος - $GAMMA$ ($V^{1/2}$)	0.725	0.533
Επιφανειακή κινητικότητα φορέων - UO ($cm^2/V.sec$)	515	175
Κρίσιμη τιμή ηλεκτρικού πεδίου πύλης-καναλιού όπου αρχίζει η μείωση της κινητικότητας φορέων - $UCRIT$ (V/cm)	28.7×10^4	21.6×10^4
Εκθετικός συντελεστής που χρησιμοποιείται στην εξίσωση μείωσης της κινητικότητας των φορέων - $UEXP$	0.251	0.268
Νόθευση επιφάνειας υποστρώματος - $NSUB$ (cm^{-3})	33.3×10^{15}	18×10^{15}
Πυκνότητα γρήγορης επιφανειακής κατάστασης υποστρώματος - NFS (cm^{-2})	0.452×10^{12}	1.30×10^{12}
Συντελεστής συνολικού φορτίου καναλιού - $NEFF$	5.25	3.09
Χωρητικότητα επικάλυψης πύλης-υποδοχής - $CGDO$ (F/m)	2.9×10^{-10}	2.9×10^{-10}
Χωρητικότητα επικάλυψης πύλης-πηγής - $CGSO$ (F/m)	2.9×10^{-10}	2.9×10^{-10}
Χωρητικότητα επικάλυψης πύλης-υποστρώματος - $CGBO$ (F/m)	1.7×10^{-10}	1.7×10^{-10}
Χωρητικότητα επιφάνειας επαφής διάχυσης-υποστρώματος για μηδενική πόλωση - CJ (F/m ²)	0.36×10^{-3}	0.34×10^{-3}
Χωρητικότητα περιφέρειας της επαφής διάχυσης-υποστρώματος για μηδενική πόλωση - $CJSW$ (F/m)	0.25×10^{-9}	0.22×10^{-9}
Συντελεστής διαβάθμισης χωρητικότητας επιφάνειας της επαφής διάχυσης-υποστρώματος - MJ	0.43	0.53
Συντελεστής διαβάθμισης χωρητικότητας περιφέρειας της επαφής διάχυσης-υποστρώματος - $MJSW$	0.19	0.2
Ενσωματωμένο (built-in) δυναμικό επαφής διάχυσης-υποστρώματος - PB (V)	0.96	0.97
Βάθος επαφής διάχυσης-υποστρώματος - XJ (m)	0.175×10^{-6}	0.056×10^{-6}
Παράγοντας επίδρασης στενού πλάτους καναλιού στην τάση κατωφλίου - $DELTA$	0	0.798

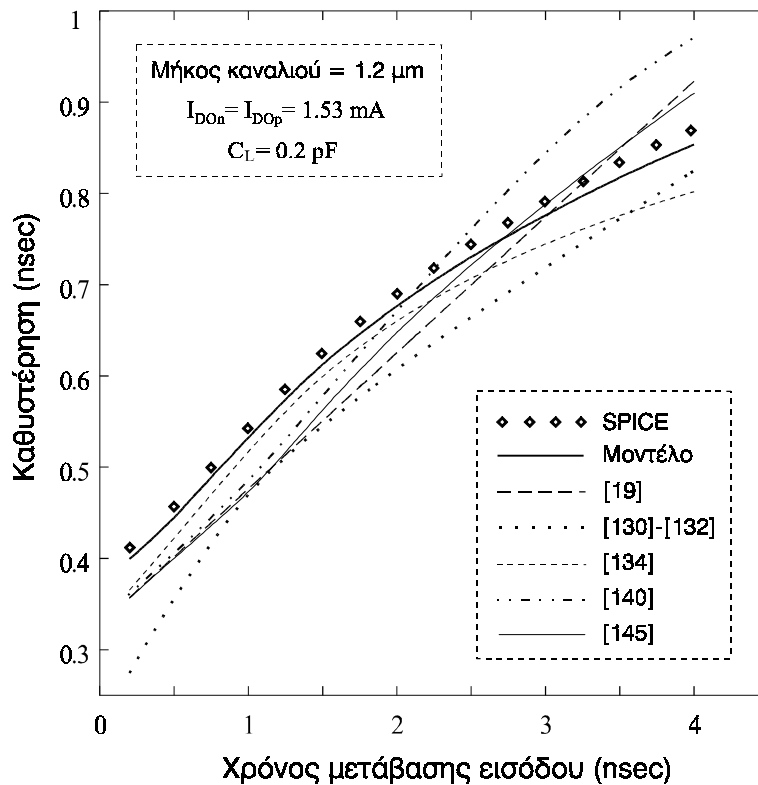
Πίνακας 4.5: Βασικές παράμετροι SPICE επιπέδου-2 τεχνολογίας CMOS 1.2μm

Οι κυματομορφές εξόδου για τους χρόνους μετάβασης εισόδου 0.5 ns και 1 ns αντιστοιχούν στην κατηγορία A, για το χρόνο μετάβασης 2 ns στην κατηγορία B, ενώ για το χρόνο μετάβασης 4 ns στην υποκατηγορία B₁. Η κλίση των κυματομορφών εξόδου της κατηγορίας A είναι μικρότερη από την κλίση της κυματομορφής εισόδου, ενώ για την κατηγορία B και την υποκατηγορία B₁ είναι μεγαλύτερη από την κλίση εισόδου. Λόγω της μεγαλύτερης ικανότητας οδήγησης (I_{DOn}) του τρανζίστορ μέσω του οποίου εκφορτίζεται ο κόμβος εξόδου στον αντιστροφέα τεχνολογίας 0.8 μm , οι μεταβάσεις εξόδου είναι λίγο πιο γρήγορες από εκείνες του αντιστροφέα τεχνολογίας 1.2 μm . Μία ακόμη αιτία του φαινομένου αυτού είναι η μεγαλύτερη (σε μέγεθος και διάρκεια) υπέρβαση που συμβαίνει στην αρχή της μετάβασης της εξόδου στην περίπτωση του αντιστροφέα τεχνολογίας 1.2 μm , λόγω της μεγαλύτερης χωρητικότητας σύζευξης. Το παραπάνω φαινόμενο μετριάζεται στην περίπτωση αργών εισόδων όπου η επίδραση του ρεύματος του τρανζίστορ βραχυκυκλώματος (PMOS) είναι πιο ισχυρή στον αντιστροφέα τεχνολογίας 0.8 μm ($I_{DOP-0.8} > I_{DOP-1.2}$).

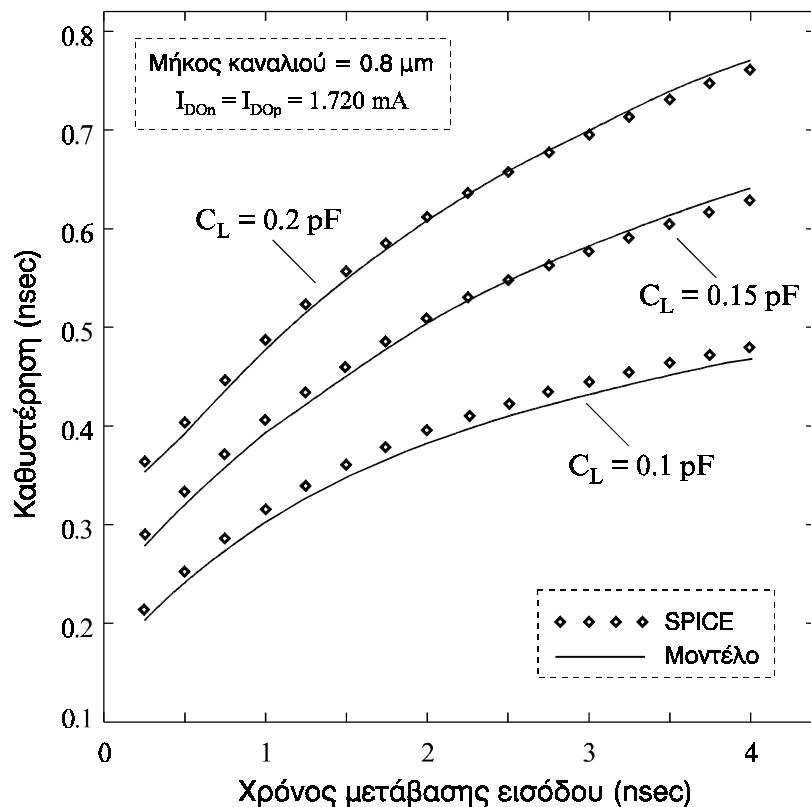
Στα Σχήματα 4.10 και 4.11, δίνονται τα διαγράμματα καθυστέρησης συναρτήσεως του χρόνου μετάβασης εισόδου για τους αντιστροφείς των δύο τεχνολογιών που χρησιμοποιήθηκαν παραπάνω (Πίνακα 4.3). Οι τιμές καθυστέρησης που έχουν προκύψει από τις εξισώσεις του Πίνακα 4.1 συγκρίνονται με εκείνες που παράχθηκαν από κυκλωματικές εξομοιώσεις με το SPICE. Το σφάλμα υπολογισμού του προτεινόμενου αναλυτικού μοντέλου σε σχέση με το SPICE δεν ξεπερνά το 3 %. Στα ίδια διαγράμματα φαίνονται επίσης και οι τιμές καθυστέρησης που υπολογίστηκαν από τις αναλυτικές εκφράσεις των [19],[130]-[132],[134],[140] και [145]. Οι λόγοι για τους οποίους τα αναλυτικά μοντέλα που αναπτύχθηκαν στις [19],[130]-[132] και [140] δεν παρέχουν μεγάλη ακρίβεια αναφέρθηκαν στην Παράγραφο 3.3.5. Στην [134], όπου προτείνεται το μοντέλο MOS δύναμης του n, για την εξαγωγή των εκφράσεων της κυματομορφής εξόδου και της καθυστέρησης χρησιμοποιείται μια πλασματική γραμμική είσοδος η οποία μηδενίζεται (στην ανερχόμενη περίπτωση) για τιμές μικρότερες του λογικού κατωφλίου τάσης, με σκοπό να προσεγγιστεί ο αντιστροφέας CMOS με ένα κύκλωμα NMOS. Με τη χρήση της εισόδου αυτής δεν μπορεί να μοντελοποιηθεί με ακρίβεια η επίδραση του ρεύματος βραχυκυκλώματος στην κυματομορφή εξόδου του αντιστροφέα. Επιπλέον, στην ανάλυση της κυματομορφής εξόδου δεν λαμβάνεται υπόψη η επίδραση της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου του αντιστροφέα. Στην [145], προτείνεται ο μετασχηματισμός του αντιστροφέα



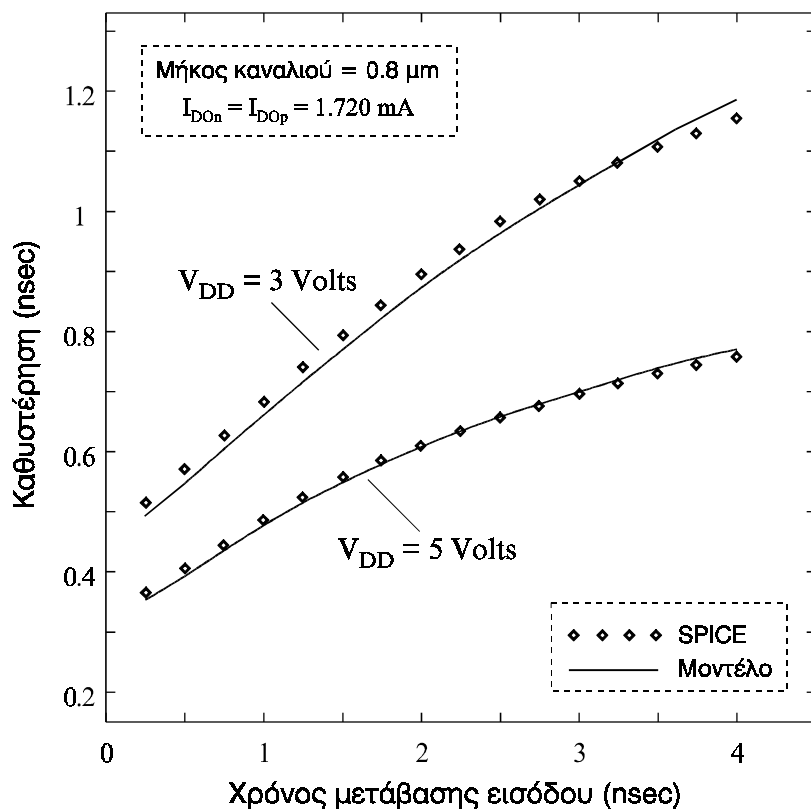
Σχήμα 4.10: Καθυστέρηση του αντιστροφεί συνάρτησε του χρόνου μετάβασης εισόδου ($L = 0.8 \mu\text{m}$)



Σχήμα 4.11: Καθυστέρηση του αντιστροφεί συνάρτησε του χρόνου μετάβασης εισόδου ($L = 1.2 \mu\text{m}$)



Σχήμα 4.12: Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για χωρητικότητα εξόδου 0.2pF, 0.15pF και 0.1pF ($L = 0.8\mu\text{m}$)

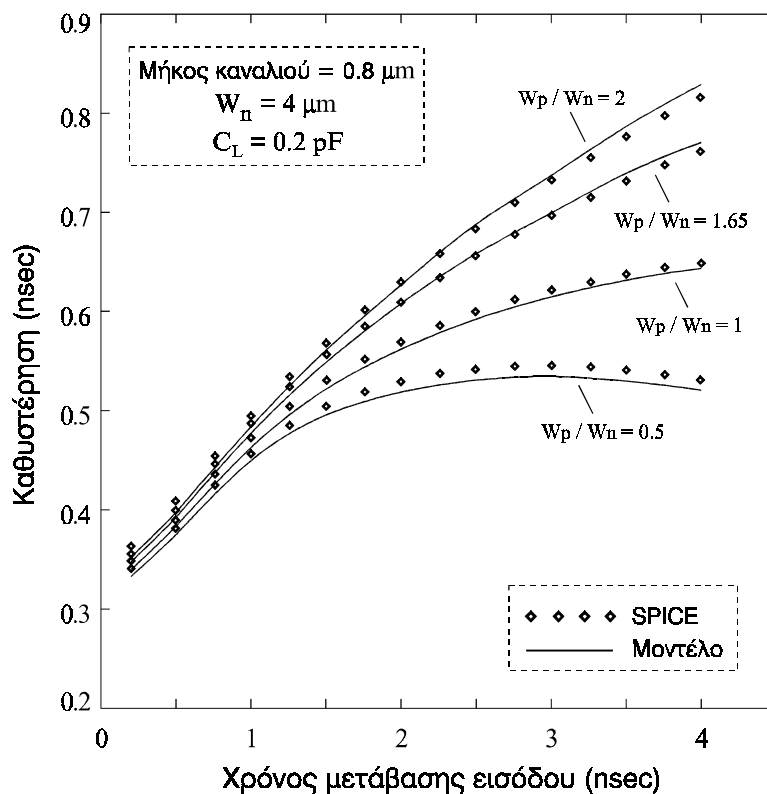


Σχήμα 4.13: Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για τάση τροφοδοσίας 5V και 3V ($L = 0.8\mu\text{m}$)

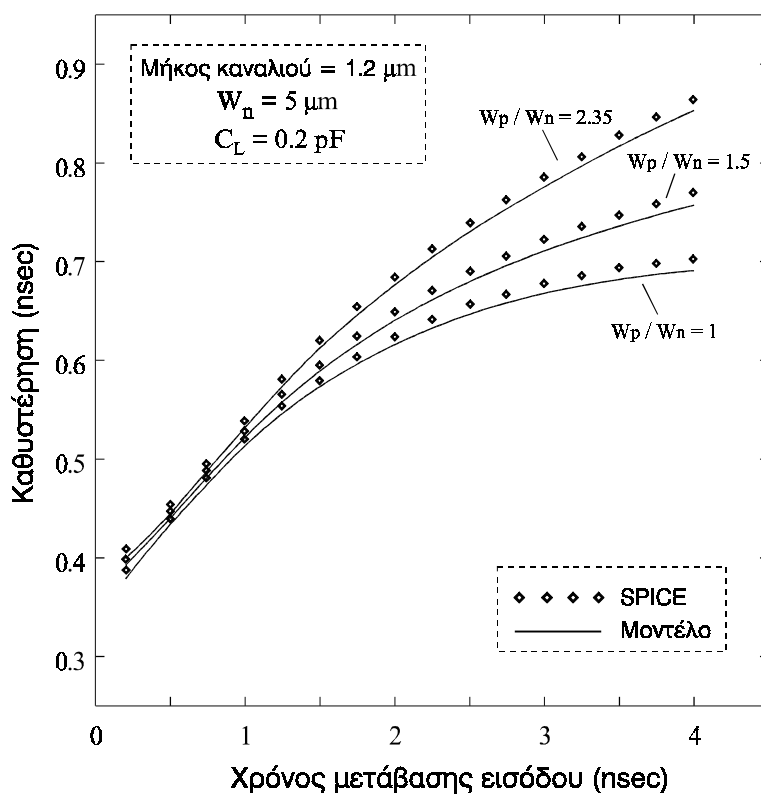
σε ένα γραμμικό σύστημα το οποίο στη συνέχεια λύνεται χρησιμοποιώντας τη θεωρία συνέλιξης. Για να γίνει όμως ο μετασχηματισμός του μη γραμμικής φύσης αντιστροφέα CMOS σε ένα γραμμικό σύστημα χρησιμοποιούνται αρκετές προσεγγίσεις. Η επίδραση της χωρητικότητας σύζευξης δεν λαμβάνεται υπόψη και το ρεύμα βραχυκυκλώματος θεωρείται αμελητέο στις περιπτώσεις γρήγορων εισόδων. Επίσης, στις περιπτώσεις αργών εισόδων, η επίδραση του ρεύματος βραχυκυκλώματος λαμβάνεται υπόψη μέσω μιας προσεγγιστικής μεθόδου όπου χρησιμοποιείται ένας εμπειρικός συντελεστής του οποίου η τιμή εξαρτάται από την τεχνολογία που χρησιμοποιείται.

Στο Σχήμα 4.12, δίνεται το διάγραμμα της καθυστέρησης του αντιστροφέα συναρτήσει του χρόνου μετάβασης ανερχόμενης εισόδου, για τρεις διαφορετικές τιμές της χωρητικότητας εξόδου (0.2pF, 0.15pF και 0.1pF). Στο Σχήμα 4.13, δίνεται επίσης το διάγραμμα της καθυστέρησης συναρτήσει του χρόνου μετάβασης εισόδου, για δύο διαφορετικές τιμές της τάσης τροφοδοσίας (5V και 3V). Στα δύο παραπάνω διαγράμματα έχει χρησιμοποιηθεί ο αντιστροφέας τεχνολογίας 0.8 μm που αποτελείται από τρανζίστορ με ίδια ικανότητα οδήγησης ($I_{DOn} = I_{DOp}$).

Στα Σχήματα 4.14 και 4.15, δίνεται το διάγραμμα της καθυστέρησης του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου για διάφορες τιμές του λόγου των πλατών καναλιού των δύο τρανζίστορ (W_p / W_n). Στα δύο διαγράμματα δίνονται επίσης και οι τιμές καθυστέρησης που παράγονται από εξομοιώσεις με το SPICE. Το πρώτο διάγραμμα αφορά τον αντιστροφέα τεχνολογίας 0.8 μm και το δεύτερο διάγραμμα τον αντιστροφέα τεχνολογίας 1.2 μm. Οι τιμές των παραμέτρων του μοντέλου (α , I_{D0}) που διαφοροποιούνται με την αλλαγή του πλάτους καναλιού των τρανζίστορ για καθεμιά από τις δύο τεχνολογίες, δίνονται στον Πίνακα 4.6. Παρατηρούμε ότι η μη γραμμικότητα των καμπυλών καθυστέρησης που συμβαίνει για σχετικά αργές εισόδους ($\tau > 1.5$ ns) διαμορφώνεται από τον λόγο W_p / W_n . Όταν ο λόγος αυτός μεγαλώνει, το ρεύμα του τρανζίστορ PMOS μεγαλώνει (σε σχέση με το ρεύμα του NMOS), αυξάνοντας την αντίδραση στην εκφόρτιση του κόμβου εξόδου. Αυτό συμβαίνει λόγω της μείωσης του ρεύματος εκφόρτισης ($I_n - I_p - I_{C_M}$) που έχει ως αποτέλεσμα την αύξηση της καθυστέρησης. Όπως φαίνεται στο Σχήμα 4.14, για $W_p / W_n = 0.5$, η καθυστέρηση μειώνεται για αρκετά αργές εισόδους ($\tau > 3$ ns), ενώ για $W_p / W_n \geq 1$ η καθυστέρηση συνεχίζει να αυξάνεται. Η μείωση της καθυστέρησης στην πρώτη περίπτωση οφείλεται στην ασυμμετρία που δημιουργείται στον αντι-



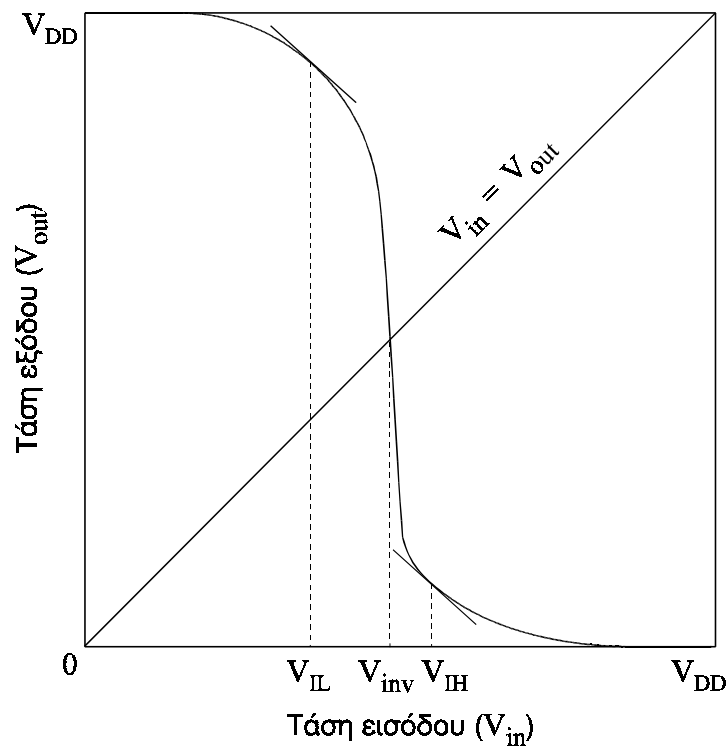
Σχήμα 4.14: Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για διάφορες τιμές του λόγου W_p / W_n ($L = 0.8 \mu\text{m}$)



Σχήμα 4.15: Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για διάφορες τιμές του λόγου W_p / W_n ($L = 1.2 \mu\text{m}$)

ΤΡΑΝΖΙΣΤΟΡ	L (μm)	W (μm)	I _{DO} (mA)	α
NMOS	0.8	4	1.72	1.245
PMOS	0.8	8	2.085	1.36
		6.55	1.72	1.37
		4	1.063	1.38
		2	0.534	1.39
NMOS	1.2	5	1.53	1.38
PMOS	1.2	11.75	1.53	1.49
		7.5	0.986	1.495
		5	0.661	1.50

Πίνακας 4.6: Παράμετροι μοντέλου MOS που μεταβάλλονται ανάλογα με τις τιμές του λόγου W_p / W_n των Σχημάτων 4.14 και 4.15



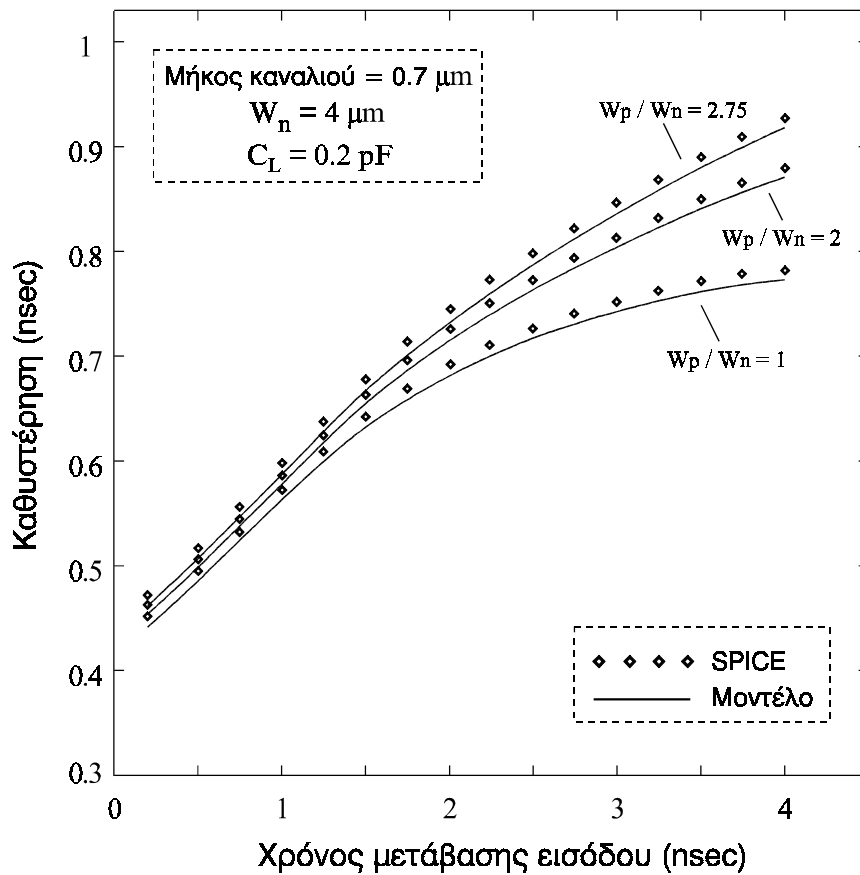
Σχήμα 4.16: Χαρακτηριστική μεταφοράς του αντιστροφέα CMOS

στροφέα. Η ασυμμετρία αυτή έχει ως αποτέλεσμα την μείωση του λογικού κατωφλίου τάσης V_{inv} , το οποίο καθορίζεται από την στατική χαρακτηριστική μεταφοράς του αντιστροφέα για $V_{in} = V_{out}$ (Σχήμα 4.16), αρκετά κάτω από το μισό της τάσης τροφοδοσίας, όπου μετριέται η καθυστέρηση. Έτσι, στην περίπτωση όπου το λογικό κατώ-

φλι τάσης είναι αρκετά μικρότερο από το μισό της τάσης τροφοδοσίας και για πολύ μεγάλες τιμές του χρόνου μετάβασης εισόδου η καθυστέρηση μπορεί να πάρει και αρνητικές τιμές [47]. Για να ξεπεραστεί το πρόβλημα αυτό μερικοί ερευνητές χρησιμοποιούν κατάλληλα κατώφλια τάσης εισόδου και εξόδου μεταξύ των οποίων μετριέται η καθυστέρηση. Για παράδειγμα, στις [244],[245] προτείνεται η μέτρηση της καθυστέρησης χρησιμοποιώντας ως κατώφλι τάσης εισόδου την τιμή V_{IL} και ως κατώφλι τάσης εξόδου την τιμή V_{IH} , δηλαδή τις τιμές της τάσης εισόδου όπου παρουσιάζεται μοναδιαίο κέρδος στην χαρακτηριστική μεταφοράς του αντιστροφέα (Σχήμα 4.16). Το αναλυτικό μοντέλο χρονικής απόκρισης του αντιστροφέα που προτείνεται στο κεφάλαιο αυτό, αλλά και τα μοντέλα του προηγούμενου κεφαλαίου, μπορούν να χρησιμοποιηθούν με οποιονδήποτε ορισμό της καθυστέρησης, αφού βασίζονται σε αναλυτικές εκφράσεις της κυματομορφής εξόδου σε όλες τις περιοχές λειτουργίας.

Το διάγραμμα καθυστέρησης του Σχήματος 4.17, έχει σαν στόχο τον έλεγχο της ακρίβειας του αναλυτικού μοντέλου καθυστέρησης για τις περιπτώσεις όπου $u_{don} \geq 0.5$. Για την παραγωγή του διαγράμματος αυτού χρησιμοποιήθηκε μια τεχνολογία CMOS 0.7 μ m που έχει αναπτυχθεί από την εταιρία MIETEC. Οι παράμετροι του μοντέλου για την τεχνολογία αυτή δίνονται στον Πίνακα 4.7, ενώ οι βασικές παράμετροι SPICE επιπέδου-3 δίνονται στον Πίνακα 4.8.

Από όλα τα διαγράμματα καθυστέρησης που δόθηκαν παραπάνω (Σχήματα 4.12 – 4.15 και 4.17), συμπεραίνεται ότι για διάφορες τιμές των παραμέτρων του κυκλώματος (κλίση εισόδου, χωρητικότητα εξόδου, τάση τροφοδοσίας, διαστάσεις των τρανζίστορ), οι τιμές καθυστέρησης που προκύπτουν από το προτεινόμενο αναλυτικό μοντέλο είναι πολύ κοντά σε εκείνες που παράγονται από κυκλωματικές εξομοιώσεις. Το σφάλμα υπολογισμού του αναλυτικού μοντέλου οφείλεται κυρίως στο ότι δε συμπεριλαμβάνονται οι επιδράσεις του φαινομένου διαμόρφωσης του μήκους καναλιού των τρανζίστορ και του φαινομένου μείωσης της κινητικότητας των φορέων λόγω της αύξησης του ηλεκτρικού πεδίου του καναλιού των τρανζίστορ [32],[57]. Όσον αφορά το πρώτο φαινόμενο, στις σύγχρονες τεχνολογίες μικρού μήκους καναλιού χρησιμοποιούνται τεχνικές έτσι ώστε η επίδρασή του να είναι η ελάχιστη δυνατή [149]. Γενικά, η συμπερίληψη φαινομένων δεύτερης τάξης με μικρή σχετικά επίδραση οδηγεί σε αύξηση της μαθηματικής πολυπλοκότητας του μοντέλου με αποτέλεσμα να αλλοιώνεται ο αναλυτικός του χαρακτήρας και να μειώνεται η ταχύτητα υπολογισμού.



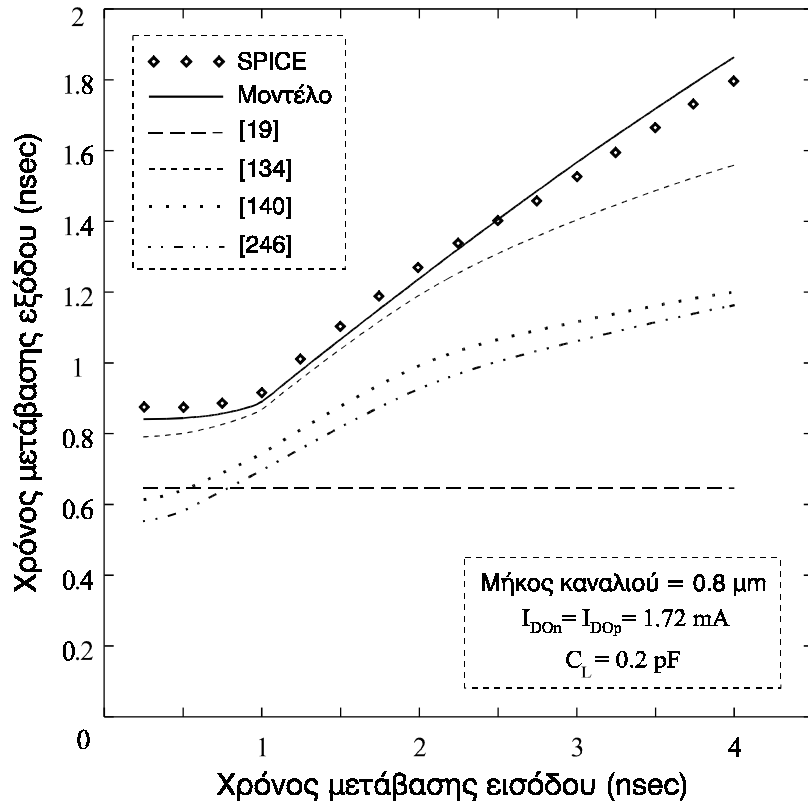
Σχήμα 4.17: Καθυστέρηση του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου, για διάφορες τιμές του λόγου W_p / W_n ($L = 0.7 \mu\text{m}$)

ΤΡΑΝΖΙΣΤΟΡ	L (μm)	W (μm)	I_{DO} (mA)	α	$ V_T $ (V)	$ V_{DO} $ (V)
NMOS	0.7	4	1.285	1.35	0.750	2.65
PMOS	0.7	10.9	1.285	1.37	0.950	3.05
		8	1.066	1.39		
		4	0.652	1.425		

Πίνακας 4.7: Παράμετροι μοντέλου MOS για την τεχνολογία CMOS 0.7 μm

ΠΑΡΑΜΕΤΡΟΙ	NMOS	PMOS
Παράμετρος ενδογενούς διαγωγιμότητας - KP (A/V^2)	0.954×10^{-4}	3.208×10^{-5}
Πάχος οξειδίου πύλης - TOX (m)	17×10^{-9}	17×10^{-9}
Μέγιστη ταχύτητα ολίσθησης φορέων - $VMAX$ (m/sec)	1.94×10^5	7.2×10^5
Εμπειρική παράμετρος που χρησιμοποιείται στην εξίσωση διαμόρφωσης μήκους καναλιού - $KAPPA$ (V^{-1})	0.001	0.001
Τάση κατωφλίου μηδενικής πόλωσης - VTO (V)	0.75	- 0.95
Δυναμικό αντιστροφής επιφάνειας υποστρώματος - PHI (V)	0.796	0.76
Παράγοντας φαινομένου σώματος - $GAMMA$ ($V^{1/2}$)	0.751	0.531
Επιφανειακή κινητικότητα φορέων - UO ($cm^2/V \cdot sec$)	470	158
Νόθευση επιφάνειας υποστρώματος - $NSUB$ (cm^{-3})	70×10^{15}	35×10^{15}
Πυκνότητα γρήγορης επιφανειακής κατάστασης υποστρώματος - NFS (cm^{-2})	1.2×10^{11}	0.5×10^{11}
Χωρητικότητα επικάλυψης πύλης-υποδοχής - $CGDO$ (F/m)	3.1×10^{-10}	2.2×10^{-10}
Χωρητικότητα επικάλυψης πύλης-πηγής - $CGSO$ (F/m)	3.1×10^{-10}	2.2×10^{-10}
Χωρητικότητα επικάλυψης πύλης-υποστρώματος - $CGBO$ (F/m)	1.5×10^{-10}	1.1×10^{-10}
Χωρητικότητα επιφάνειας επαφής διάχυσης-υποστρώματος για μηδενική πόλωση - CJ (F/m ²)	5×10^{-4}	6×10^{-4}
Χωρητικότητα περιφέρειας της επαφής διάχυσης-υποστρώματος για μηδενική πόλωση - $CJSW$ (F/m)	2.8×10^{-10}	3.6×10^{-10}
Συντελεστής διαβάθμισης χωρητικότητας επιφάνειας της επαφής διάχυσης-υποστρώματος - MJ	0.32	0.51
Συντελεστής διαβάθμισης χωρητικότητας περιφέρειας της επαφής διάχυσης-υποστρώματος - $MJSW$	0.23	0.35
Ενσωματωμένο (built-in) δυναμικό επαφής διάχυσης-υποστρώματος - PB (V)	0.68	0.9
Βάθος επαφής διάχυσης-υποστρώματος - XJ (m)	0.1×10^{-6}	0.05×10^{-6}
Παράγοντας διαμόρφωσης κινητικότητας φορέων - $THETA$ (V^{-1})	0.08	0.135
Παράγοντας επίδρασης στενού πλάτους καναλιού στην τάση κατωφλίου - $DELTA$	0.85	0.8
Παράγοντας επίδρασης στατικής ανάδρασης στην τάση κατωφλίου - ETA	0.52×10^{-2}	3×10^{-2}

Πίνακας 4.8: Βασικές παράμετροι SPICE επιπέδου-3 τεχνολογίας CMOS 0.7μm



Σχήμα 4.18: Χρόνος μετάβασης εξόδου του αντιστροφέα συναρτήσσει του χρόνου μετάβασης εισόδου

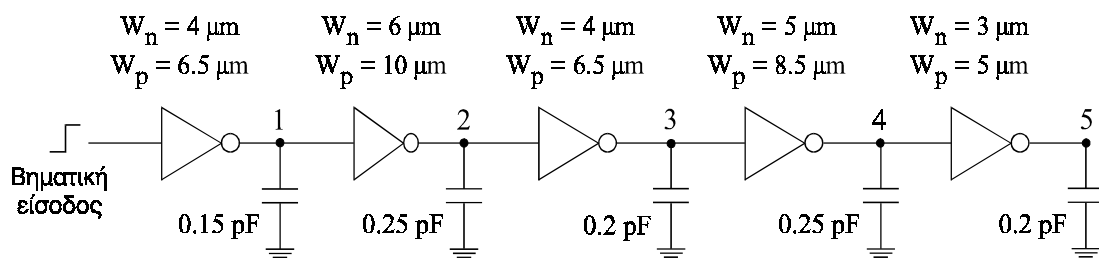
Στο Σχήμα 4.18, δίνεται το διάγραμμα του χρόνου μετάβασης εισόδου του αντιστροφέα CMOS τεχνολογίας 0.8 μm (με τα στοιχεία του Πίνακα 4.3), συναρτήσσει του χρόνου μετάβασης εισόδου. Μαζί με τις τιμές που προέκυψαν από τις εξισώσεις του προτεινόμενου αναλυτικού μοντέλου (Πίνακας 4.2), δίνονται οι τιμές που παράχθηκαν από κυκλωματικές εξομοιώσεις με το SPICE, καθώς και οι τιμές που υπολογίστηκαν με βάση τα αναλυτικά μοντέλα που προτείνονται στις [19],[134],[140] και [246]. Στην [19], για τον υπολογισμό του χρόνου μετάβασης εξόδου προτείνεται η σύνδεση των σημείων όπου η τάση εξόδου φτάνει το 90% και το 10% της τάσης τροφοδοσίας και στη συνέχεια η παράλληλη μετατόπιση της ευθείας που προκύπτει έως το σημείο όπου η τάση εξόδου ισούται με το μισό της τάσης τροφοδοσίας. Στην εξίσωση που προκύπτει, ο χρόνος μετάβασης της τάσης εξόδου είναι ανεξάρτητος από το χρόνο μετάβασης της τάσης εισόδου. Η προσέγγιση αυτή δικαιολογείται μόνο στην περίπτωση γρήγορων εισόδων, όπου το ρεύμα εκφόρτισης (ρεύμα διαμέσου του τρανζίστορ NMOS για ανερχόμενη είσοδο) λαμβάνει τη μέγιστη τιμή του αρκετά γρήγορα και το ρεύμα του τρανζίστορ βραχυκυκλώματος (PMOS) είναι αρκετά μικρό. Για μεγάλες όμως τιμές του χρόνου μετάβασης εισόδου ο ρυθμός αύξησης του

ρεύματος εκφόρτισης μειώνεται και η αντίδραση του ρεύματος βραχυκυκλώματος αυξάνεται, με αποτέλεσμα την αύξηση του χρόνου μετάβασης εξόδου. Έτσι, όπως φαίνεται και στο Σχήμα 4.18, όσο μεγαλώνει ο χρόνος μετάβασης εισόδου η ανακρίβεια των αποτελεσμάτων της προσέγγισης αυτής μεγαλώνει.

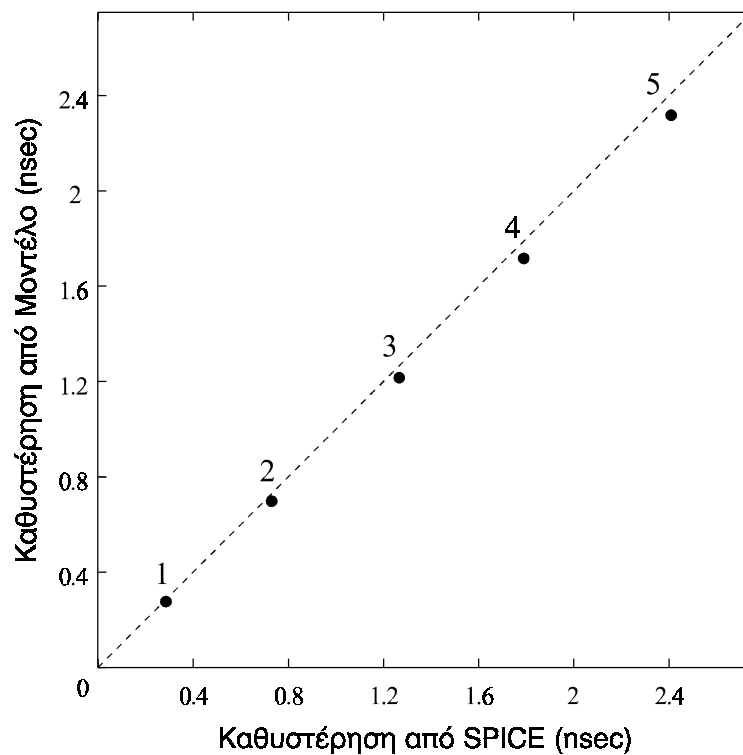
Στην [134], ο χρόνος μετάβασης εξόδου ορίζεται όπως και στην Παράγραφο 3.2.3, αλλά η χρήση της πλασματικής εισόδου που αναφέρθηκε στην Παράγραφο 4.1 και η μη συμπερίληψη της επίδρασης της χωρητικότητας σύζευξης, οδηγούν σε μειωμένη ακρίβεια. Στην [140], ο υπολογισμός του χρόνου μετάβασης εξόδου του αντιστροφέα, βασίζεται στον υπολογισμό των χρονικών σημείων όπου η τάση εξόδου φτάνει το 90% και το 10% της τάσης τροφοδοσίας. Ωστόσο, η κυματομορφή της τάσης εξόδου και τα ρεύματα των τρανζίστορ του αντιστροφέα θεωρούνται χρονικές συναρτήσεις γραμμικών τμημάτων, με αποτέλεσμα ο προσδιορισμός των σημείων αυτών να μην είναι ακριβής. Τέλος, στην [246], ο χρόνος μετάβασης εξόδου υπολογίζεται μέσω της τιμής του ρεύματος εκφόρτισης στο χρονικό σημείο όπου η τάση εξόδου ισούται με το μισό της τάσης τροφοδοσίας. Για τον υπολογισμό της τιμής αυτής χρησιμοποιείται το μοντέλο καθυστέρησης που προτείνεται στην [142], το οποίο βασίζεται σε ένα απλοποιημένο μοντέλο MOS για τεχνολογίες υπομικρομέτρου και η διαφορική εξίσωση στον κόμβο εξόδου λύνεται μόνο για την κατηγορία πολύ γρήγορων εισόδων με τη θεώρηση αμελητέου ρεύματος βραχυκυκλώματος. Στη συνέχεια η έκφραση καθυστέρησης προσαρμόζεται στις υπόλοιπες περιπτώσεις με χρήση τριών εμπειρικών συντελεστών. Όπως διαπιστώθηκε στην Παράγραφο 3.3.5 (Σχήμα 3.22), η έκφραση αυτή οδηγεί σε ανακριβή αποτελέσματα, γεγονός που δικαιολογεί και τη μικρή ακρίβεια που παρουσιάζει η εξίσωση υπολογισμού του χρόνου μετάβασης εξόδου που προτείνεται στην [246].

Για να ελεγχθεί συνολικά η ακρίβεια του αναλυτικού μοντέλου, δηλαδή του υπολογισμού της καθυστέρησης για ανερχόμενη και κατερχόμενη είσοδο καθώς και του υπολογισμού του χρόνου μετάβασης εξόδου (Πίνακας 3.4), εξετάζεται η αλυσίδα αντιστροφένων τεχνολογίας 0.8 μm που φαίνεται στο Σχήμα 4.19. Όλοι οι αντιστροφείς έχουν διαφορετική ικανότητα οδήγησης και διαφορετικά φορτία εξόδου. Για κάθε αντιστροφή υπολογίζεται ο χρόνος μετάβασης εξόδου χρησιμοποιώντας τις εξισώσεις του Πίνακα 4.2, και στη συνέχεια ο χρόνος αυτός χρησιμοποιείται ως χρόνος μετάβασης εισόδου για τον επόμενο αντιστροφή της αλυσίδας. Η καθυστέρηση κάθε αντιστροφέα υπολογίζεται με βάση τις εξισώσεις του Πίνακα 4.1, ενώ η καθυστέ-

ρηση κάθε σημείου υπολογίζεται με πρόσθεση της καθυστέρησης του αντιστροφέα του οποίου το υπό εξέταση σημείο είναι έξοδος και εκείνης του προηγούμενου σημείου. Στο Σχήμα 4.20, δίνεται η σύγκριση μεταξύ των υπολογισμένων τιμών καθυστέρησης και εκείνων που προκύπτουν από εξομοίωση με το SPICE, σε κάθε σημείο της αλυσίδας. Παρατηρούμε ότι οι τιμές που προκύπτουν από το προτεινόμενο μοντέλο χρονικής απόκρισης του αντιστροφέα είναι αρκετά κοντά σε εκείνες που παράγονται από την κυκλωματική εξομοίωση. Το σφάλμα υπολογισμού σε όλα τα σημεία της αλυσίδας δεν ξεπερνά το 5.5 %.



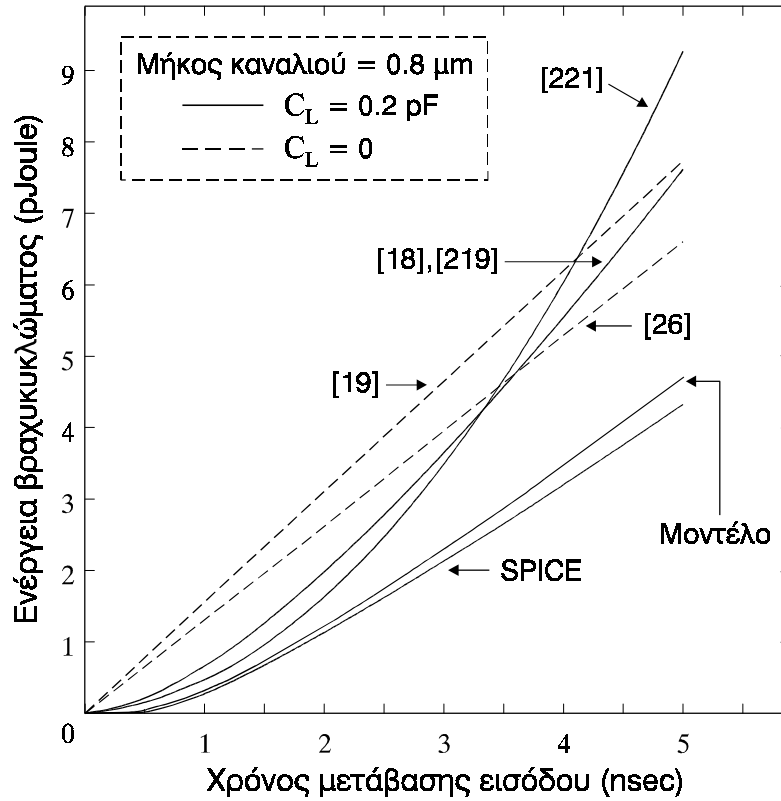
Σχήμα 4.19: Αλυσίδα αντιστροφέν CMOS



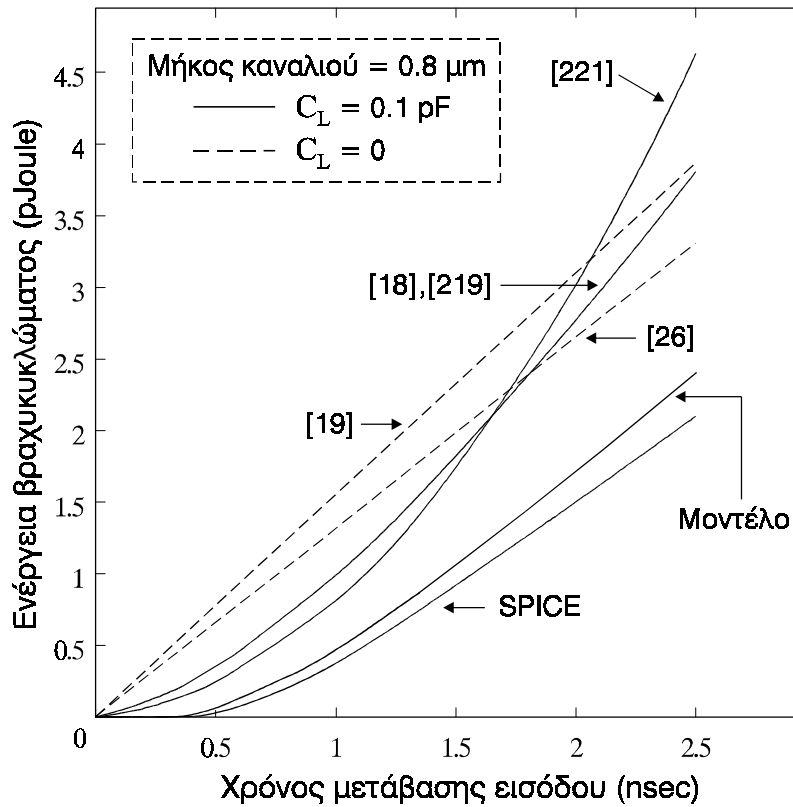
Σχήμα 4.20: Σύγκριση μεταξύ των υπολογισμένων τιμών καθυστέρησης και αυτών που παράγονται από εξομοίωση για την αλυσίδα αντιστροφέν του Σχήματος 4.19

Στα Σχήματα 4.21 – 4.24, δίνονται τα διαγράμματα της ενέργειας βραχυκυκλώματος που καταναλώνεται σε ένα κύκλο μεταγωγής, συναρτήσει του χρόνου μετάβασης εισόδου, για τους αντιστροφείς τεχνολογίας 0.8 μm και 1.2 μm (Πίνακας 4.3) και για δύο τιμές της χωρητικότητας εξόδου (0.2 pF και 0.1 pF). Στα ίδια σχήματα δίνονται τα αντίστοιχα διαγράμματα που παράχθηκαν από εξομοιώσεις με το SPICE, καθώς και εκείνα που προέκυψαν από τα αναλυτικά μοντέλα των [18],[19],[26],[219] και [221]. Οι λόγοι για τους οποίους τα μοντέλα των παραπάνω εργασιών υπερεκτιμούν την κατανάλωση ενέργειας βραχυκυκλώματος, έχουν αναφερθεί αναλυτικά στις Παραγράφους 3.3.4 και 3.3.5. Οι εκφράσεις της ενέργειας βραχυκυκλώματος που προτείνονται στις [19] και [26] περιλαμβάνουν τη θεώρηση μηδενικής χωρητικότητας εξόδου. Παρατηρούμε λοιπόν ότι, το προτεινόμενο αναλυτικό μοντέλο για τον υπολογισμό της ενέργειας βραχυκυκλώματος παρέχει αρκετά μεγάλη ακρίβεια. Αυτό συμβαίνει επειδή εκτός από τη συμπερίληψη των επιδράσεων του ρεύματος βραχυκυκλώματος στην κυματομορφή της τάσης εξόδου και της χωρητικότητας σύζευξης, λαμβάνεται υπόψη και η επίδραση της χωρητικότητας πύλης-πηγής του τρανζίστορ βραχυκυκλώματος (Σχήμα 4.5) κατά τον υπολογισμό της ενέργειας βραχυκυκλώματος. Το σφάλμα των υπολογιζομένων τιμών ενέργειας σε σχέση με εκείνες που παράγονται από κυκλωματικές εξομοιώσεις είναι στις περισσότερες περιπτώσεις μικρότερο από 15 %. Σε περιπτώσεις όμως όπου η μετάβαση εισόδου είναι αρκετά γρήγορη, το σφάλμα είναι μεγαλύτερο, αλλά η ενέργεια βραχυκυκλώματος είναι αρκετά μικρή με αποτέλεσμα να μειώνεται η σημαντικότητά της. Για παράδειγμα, στην περίπτωση του αντιστροφέα τεχνολογίας 1.2 μm όπου $C_L = 0.2 \text{ pF}$ και $\tau = 1 \text{ ns}$ το σφάλμα φτάνει το 43 %. Αν και το σχετικό αυτό σφάλμα είναι μεγάλο, το απόλυτο σφάλμα στην περίπτωση αυτή είναι 0.05 pJ το οποίο είναι αμελητέο (1 %) σε σχέση με την δυναμική κατανάλωση ενέργειας (5 pJ).

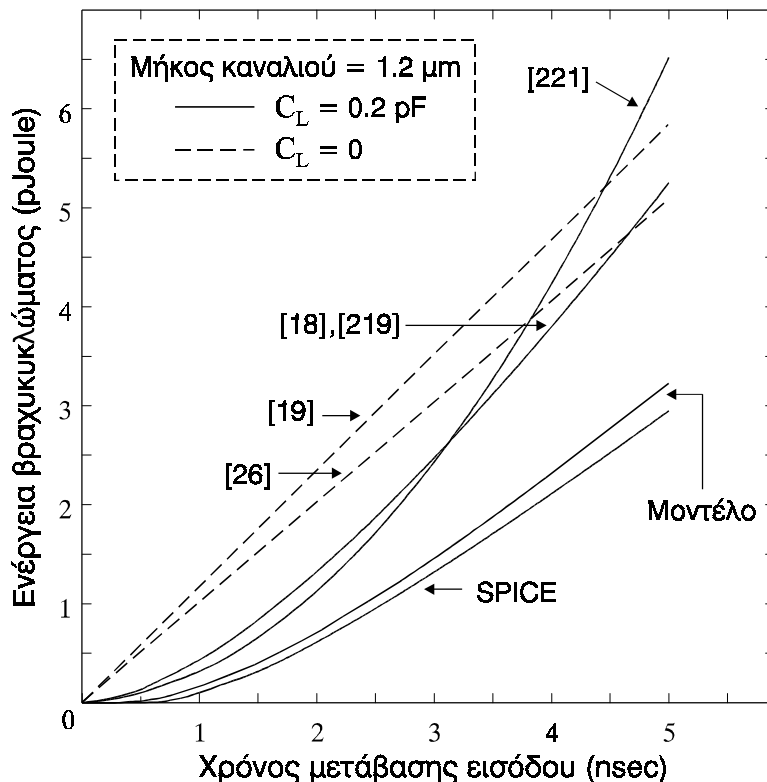
Στα Σχήματα 4.25 και 4.26, δίνονται τα διαγράμματα του ποσοστού της συνολικής κατανάλωσης ενέργειας που καλύπτει η ενέργεια βραχυκυκλώματος, συναρτήσει του χρόνου μετάβασης εισόδου, για τους αντιστροφείς που χρησιμοποιήθηκαν παραπάνω. Είναι φανερό ότι, η συμμετοχή της ενέργειας βραχυκυκλώματος αυξάνεται όταν ο χρόνος μετάβασης εισόδου αυξάνεται ή όταν η χωρητικότητα εξόδου μειώνεται. Επίσης, συγκρίνοντας τα διαγράμματα των δύο σχημάτων, παρατηρούμε ότι η συμμετοχή της ενέργειας βραχυκυκλώματος αυξάνεται όταν το μήκος καναλιού των τρανζίστορ μειώνεται.



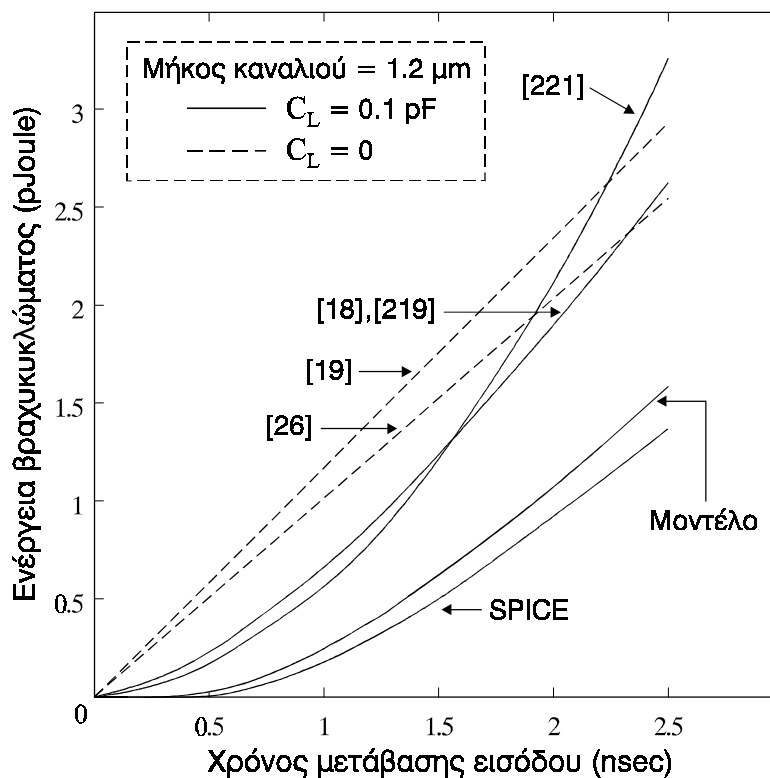
Σχήμα 4.21: Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου ($L = 0.8 \mu\text{m}$, $C_L = 0.2 \text{ pF}$)



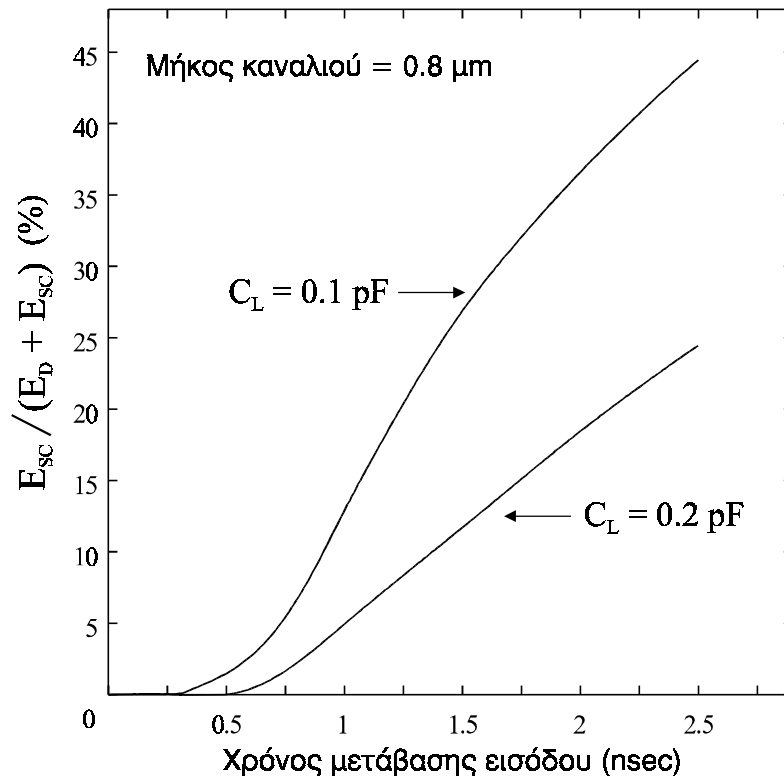
Σχήμα 4.22: Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου ($L = 0.8 \mu\text{m}$, $C_L = 0.1 \text{ pF}$)



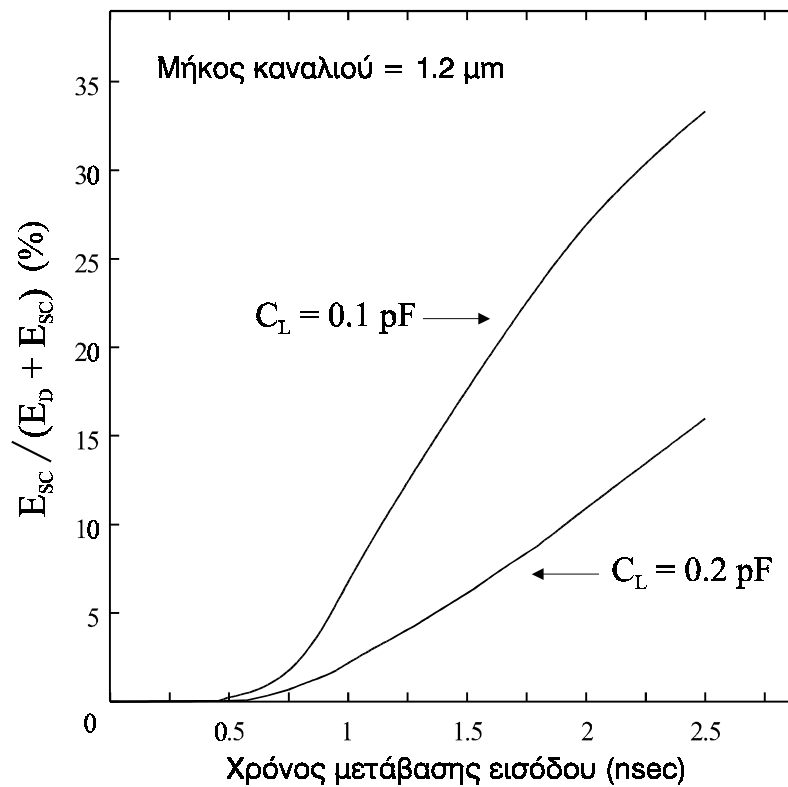
Σχήμα 4.23: Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου ($L = 1.2 \mu\text{m}$, $C_L = 0.2 \text{ pF}$)



Σχήμα 4.24: Ενέργεια βραχυκυκλώματος του αντιστροφέα συναρτήσει του χρόνου μετάβασης εισόδου ($L = 1.2 \mu\text{m}$, $C_L = 0.1 \text{ pF}$)



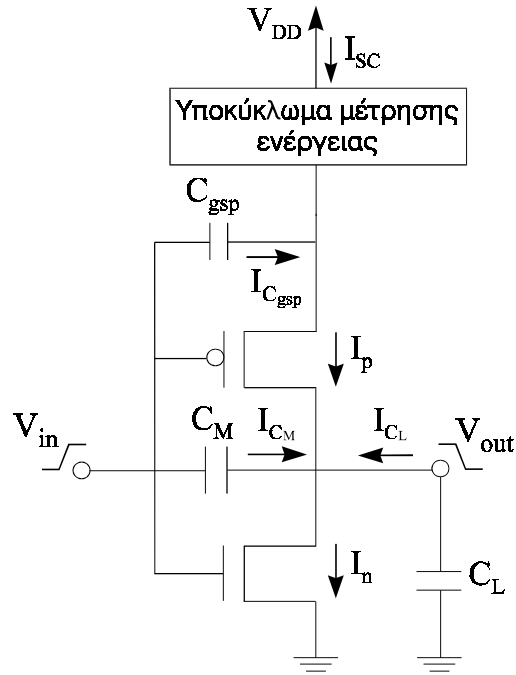
Σχήμα 4.25: Συμμετοχή της ενέργειας βραχυκυκλώματος στη συνολική κατανάλωση ενέργειας του αντιστροφέα ($L = 0.8 \mu\text{m}$)



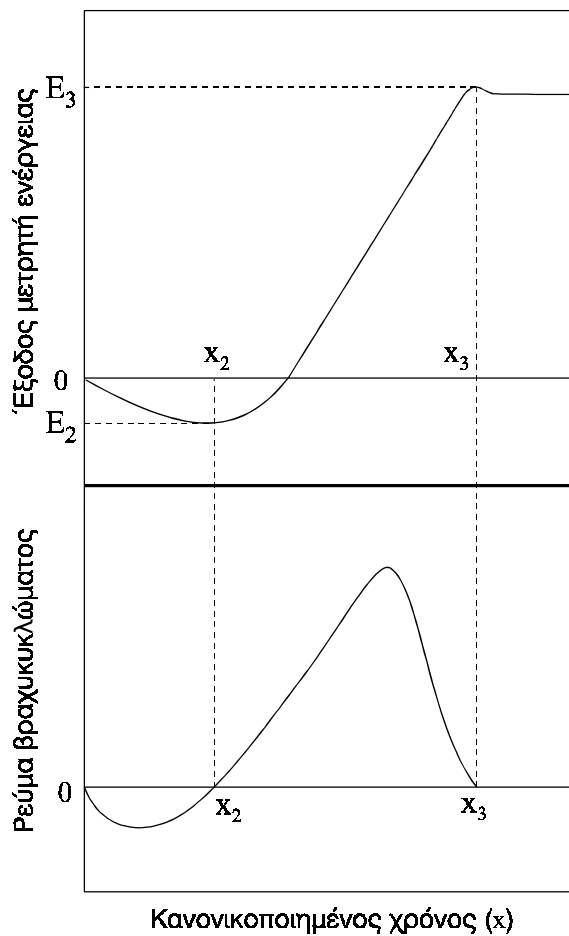
Σχήμα 4.26: Συμμετοχή της ενέργειας βραχυκυκλώματος στη συνολική κατανάλωση ενέργειας του αντιστροφέα ($L = 1.2 \mu\text{m}$)

Η μέτρηση της ενέργειας κατά τις κυκλωματικές εξομοιώσεις γίνεται με τη βοήθεια του υποκυκλώματος μέτρησης που έχει προταθεί στις [27],[28] και φαίνεται στο Σχήμα 2.2. Με βάση τα χαρακτηριστικά και τη λειτουργία του υποκυκλώματος αυτού, η ενέργεια που καταναλώνεται στον αντιστροφέα σε ένα χρονικό διάστημα είναι ισοδύναμη με την τιμή που λαμβάνει η τάση στα άκρα του πυκνωτή του υποκυκλώματος στο τέλος του διαστήματος αυτού. Η κατανάλωση ενέργειας βραχυκυκλώματος στην περίπτωση κατερχόμενης εξόδου μετριέται μέσω του υποκυκλώματος μέτρησης που συνδέεται μεταξύ της τροφοδοσίας και του τρανζίστορ PMOS (Σχήμα 4.27). Οι κυματομορφές του ρεύματος βραχυκυκλώματος και της εξόδου του υποκυκλώματος μέτρησης (τάση του πυκνωτή C_y - Σχήμα 2.2) φαίνονται στο Σχήμα 4.28. Όπως αναφέρθηκε και στην Παράγραφο 4.4, ενέργεια βραχυκυκλώματος καταναλώνεται στο διάστημα $[x_2, x_3]$. Το ανάστροφο ρεύμα που ρέει στο διάστημα $[0, x_2]$ οφείλεται στην παρουσία των χωρητικότητων σύζευξης εισόδου-εξόδου και πύλης-πηγής του τρανζίστορ PMOS και παρέχεται από την είσοδο (ή την τροφοδοσία της προηγούμενης πύλης). Σύμφωνα με τη διάταξη του υποκυκλώματος μέτρησης, όταν ο πυκνωτής C_y φορτίζεται υπάρχει ροή ρεύματος από την τροφοδοσία προς τη γείωση, οπότε και κατανάλωση ενέργειας βραχυκυκλώματος. Έτσι, για τη μέτρηση της ενέργειας βραχυκυκλώματος του αντιστροφέα στην περίπτωση κατερχόμενης εξόδου χρησιμοποιούνται οι ενδείξεις E_2 και E_3 (Σχήμα 4.28) του υποκυκλώματος μέτρησης, ως εξής: $E_{SC}^{1 \rightarrow 0} = E_3 - E_2$. Η μέτρηση της κατανάλωσης ενέργειας βραχυκυκλώματος στην περίπτωση ανερχόμενης κυματομορφής εξόδου, γίνεται με παρόμοιο τρόπο μέσω ενός υποκυκλώματος μέτρησης που συνδέεται μεταξύ του τρανζίστορ NMOS και της γείωσης.

Μια παρόμοια μέθοδος μέτρησης της ενέργειας βραχυκυκλώματος που βασίζεται στο ίδιο υποκύκλωμα μέτρησης, έχει χρησιμοποιηθεί στην [223]. Κατά τη μέθοδο αυτή γίνεται αρχικά μια μέτρηση με τη διάταξη του Σχήματος 4.27, αλλά με πολύ μικρό χρόνο μετάβασης εισόδου, έτσι ώστε να μετρηθεί μονάχα η ενέργεια που οφείλεται στο ρεύμα διαμέσου των χωρητικότητων σύζευξης και πύλης-πηγής του τρανζίστορ PMOS. Η ενέργεια αυτή δεν εξαρτάται από το χρόνο μετάβασης εισόδου και τη χωρητικότητα εξόδου, αφού το φορτίο διαμέσου των παραπάνω χωρητικότητων είναι σταθερό. Το αποτέλεσμα της μέτρησης αυτής είναι ισοδύναμο με την ένδειξη E_2 . Στη συνέχεια, γίνεται μια δεύτερη μέτρηση για τον πραγματικό χρόνο μετάβασης εισόδου, της οποίας το αποτέλεσμα είναι ισοδύναμο με την ένδειξη E_3 .



Σχήμα 4.27: Μέτρηση της ενέργειας βραχυκυκλώματος για κατερχόμενη έξοδο



Σχήμα 4.28: Κυματομορφές του ρεύματος βραχυκυκλώματος και της εξόδου του υποκυκλώματος μέτρησης ενέργειας

4.6 Συμπεράσματα

Στο κεφάλαιο αυτό, παρουσιάστηκαν αναλυτικά μοντέλα υπολογισμού της χρονικής απόκρισης και της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα CMOS, που βασίζονται στο μοντέλο MOS δύναμης του α , το οποίο αναπαριστά με ακρίβεια την επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων στα τρανζίστορ με μικρό μήκος καναλιού. Τα μοντέλα που αναπτύχθηκαν παρουσιάζουν αυξημένη ακρίβεια, λόγω του ότι βασίζονται στην παραγωγή αναλυτικών εκφράσεων της κυματομορφής της τάσης εξόδου του αντιστροφέα, οι οποίες συμπεριλαμβάνουν τις επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου. Επιπλέον, στο αναλυτικό μοντέλο υπολογισμού της ενέργειας βραχυκυκλώματος του αντιστροφέα συμπεριλαμβάνεται και η επίδραση του ρεύματος διαμέσου της χωρητικότητας πύλης-πηγής του τρανζίστορ βραχυκυκλώματος, η οποία δεν έχει ληφθεί υπόψη σε κανένα από τα αναλυτικά μοντέλα που έχουν αναπτυχθεί μέχρι σήμερα.

Τα αναλυτικά μοντέλα που προτείνονται στο κεφάλαιο αυτό, αξιολογήθηκαν στην Παράγραφο 4.5. Από τα διαγράμματα κυματομορφής εξόδου, καθυστέρησης και κατανάλωσης ενέργειας βραχυκυκλώματος που δόθηκαν στην παράγραφο αυτή, συμπεραίνεται ότι για διάφορες τιμές των παραμέτρων του κυκλώματος (κλίση εισόδου, χωρητικότητα εξόδου, τάση τροφοδοσίας, διαστάσεις των τρανζίστορ), τα αποτελέσματα που προκύπτουν από τα προτεινόμενα αναλυτικά μοντέλα είναι πολύ κοντά σε εκείνα που παράγονται από κυκλωματικές εξομοιώσεις. Η ανάλυση για την παραγωγή των προτεινόμενων μοντέλων έγινε με τη θεώρηση ότι το φορτίο εξόδου του αντιστροφέα είναι αμιγώς χωρητικό. Σε περιπτώσεις τεχνολογιών πολύ μικρού μήκους καναλιού ($L < 0.5 \mu\text{m}$), όπου το πλάτος των γραμμών σύνδεσης είναι πολύ μικρό, η επίδραση της αντίστασης που εμπεριέχουν γίνεται σημαντική και επηρεάζει τη χρονική απόκριση των κυκλωμάτων. Έτσι, έχουν αναπτυχθεί μοντέλα υπολογισμού της χρονικής απόκρισης και της κατανάλωσης ενέργειας [227]-[229],[247], τα οποία θεωρούν ότι το φορτίο εξόδου δεν είναι αμιγώς χωρητικό, αλλά περιλαμβάνει και αντίσταση. Ωστόσο, τα αναλυτικά μοντέλα που προτείνονται στο κεφάλαιο αυτό μπορούν να συνδυαστούν με μεθοδολογίες [248],[249] που προτείνουν τη συγχώνευση του χωρητικότητας και της αντίστασης του φορτίου σε μια ενεργή χωρητικότητα (effective capacitance).

Παράρτημα 4Α

Ανάπτυγμα Taylor της κανονικοποιημένης τάσης εξόδου (u_{out}) στην Περιοχή 2

Το ανάπτυγμα Taylor δεύτερης τάξης στο σημείο $x = \theta = 1 - p - n$, για την κανονικοποιημένη τάση εξόδου στη δεύτερη περιοχή λειτουργίας του αντιστροφέα (εξίσωση (4.16)), έχει ως εξής

$$u_{out} = z_0 + z_1 x + z_2 x^2, \quad (4.40)$$

όπου
$$z_0 = 1 + c_m R + \left(\frac{Sdn}{2} - c_m - I_{pmin} d \right) n - f_0,$$

$$z_1 = c_m + (I_{pmin} - Sn)d - f_1, \quad z_2 = \frac{Sd}{2} - f_2,$$

$$f_0 = A_{sn} (\alpha_n + 1)^{-1} (g_0 - g_1 \theta + g_2 \theta^2), \quad f_1 = A_{sn} (\alpha_n + 1)^{-1} (g_1 - 2g_2 \theta),$$

$$f_2 = A_{sn} (\alpha_n + 1)^{-1} g_2, \quad g_0 = (\theta - n)^{\alpha_n + 1}, \quad g_1 = g_0 (\alpha_n + 1) (\theta - n)^{-1}$$

$$\text{και } g_2 = (g_1 / 2) \alpha_n (\theta - n)^{-1}.$$

Για τον υπολογισμό της τιμής του κανονικοποιημένου χρόνου x_1 , οι συντελεστές του αναπτύγματος Taylor δίνονται όπως παραπάνω, αλλά με $\theta = 2n$.

Ανάπτυγμα Taylor της u'_{dop}

Το ανάπτυγμα Taylor δεύτερης τάξης για την u'_{dop} στο σημείο $x = 1 - p - n$, έχει ως εξής

$$u'_{dop} = m_0 + m_1 [x - (1 - p - n)] + m_2 [x - (1 - p - n)]^2, \quad (4.41)$$

όπου
$$m_0 = u_{dop} \left(\frac{n}{1-p} \right)^{\frac{\alpha_p}{2}}, \quad m_1 = -\frac{m_0 \alpha_p}{2n} \quad \text{και} \quad m_2 = -\frac{m_1 (\alpha_p - 2)}{4n}.$$

Παράρτημα 4B

Ανάπτυγματα Taylor της u_{out} στις Περιοχές 3 και 4

Το ανάπτυγμα Taylor δεύτερης τάξης στο σημείο $x = \theta = 1 - p - n$, για την κανονικοποιημένη τάση εξόδου του αντιστροφέα στην Περιοχή 3 (εξίσωση (4.19)), έχει ως εξής

$$u_{out} = w_0 + w_1 x + w_2 x^2, \quad (4.42)$$

$$\text{όπου} \quad w_0 = u_{23} - f_0 - q_0, \quad w_1 = c_m - f_1 - q_1, \quad w_2 = -f_2 - q_2,$$

$$q_0 = A_{sp} (\alpha_p + 1)^{-1} (h_0 - h_1 \theta + h_2 \theta^2), \quad q_1 = A_{sp} (\alpha_p + 1)^{-1} (h_1 - 2h_2 \theta),$$

$$q_2 = A_{sp} (\alpha_p + 1)^{-1} h_2, \quad h_0 = n^{\alpha_p + 1}, \quad h_1 = -h_0 (\alpha_p + 1) n^{-1},$$

$$h_2 = -(h_1/2) \alpha_p n^{-1}$$

και οι συντελεστές f_0, f_1, f_2 δίνονται στο Παράρτημα 4A.

Το ανάπτυγμα Taylor δεύτερης τάξης στο σημείο $x = \theta = 1 - p - n$, για την κανονικοποιημένη τάση εξόδου του αντιστροφέα στην Περιοχή 4 (εξίσωση (4.21)) έχει ως εξής

$$u_{out} = y_0 + y_1 x + y_2 x^2 \quad (4.43)$$

$$\text{όπου} \quad y_0 = u_{23} - f_0, \quad y_1 = c_m - f_1, \quad y_2 = -f_2$$

και οι συντελεστές f_0, f_1, f_2 δίνονται στο Παράρτημα 4A.

Ανάπτυγμα Taylor της u'_{don}

Το ανάπτυγμα Taylor δεύτερης τάξης για την u'_{don} στο σημείο $x = 1 - p$, έχει ως εξής

$$u'_{don} = r_0 + r_1 [x - (1 - p)] + r_2 [x - (1 - p)]^2, \quad (4.44)$$

$$\text{όπου} \quad r_0 = u_{don} \left(\frac{1 - p - n}{1 - n} \right)^{\frac{\alpha_n}{2}}, \quad r_1 = \frac{r_0 \alpha_n}{2(1 - p - n)} \quad \text{και} \quad r_2 = \frac{r_1 (\alpha_n - 2)}{4(1 - p - n)}.$$

Κεφάλαιο 5

Τεχνικές αναγωγής στατικών πυλών CMOS σε ισοδύναμους αντιστροφείς

5.1 Εισαγωγή

Στο κεφάλαιο αυτό προτείνεται μια αναλυτική μεθοδολογία για την αναγωγή στατικών πυλών CMOS (NAND και NOR) σε ισοδύναμους αντιστροφείς. Η μεθοδολογία αυτή συνδυάζεται με τα αναλυτικά μοντέλα του αντιστροφέα που βασίζονται στο μοντέλο MOS δύναμης του α (Κεφάλαιο 4), έτσι ώστε να μπορούν να υπολογιστούν η χρονική απόκριση και η κατανάλωση ενέργειας βραχυκυκλώματος των πυλών. Η αναγωγή μιας στατικής πύλης σε ισοδύναμο αντιστροφέα βασίζεται στην ανάλυση της λειτουργίας των σειριακά και παράλληλα συνδεδεμένων τρανζίστορ, όταν αυτά λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης του κόμβου εξόδου και όταν λειτουργούν ως κλάδος βραχυκυκλώματος. Κατά την ανάλυση αυτή, λαμβάνονται υπόψη όλοι οι βασικοί παράγοντες που επηρεάζουν τη χρονική απόκριση των στατικών πυλών CMOS.

Μέχρι σήμερα, έχουν προταθεί αρκετές μέθοδοι εξομίωσης κυκλωμάτων που βασίζονται σε τεχνικές αναγωγής (reduction techniques) λογικών πυλών σε ισοδύναμους αντιστροφείς. Η αξιοπιστία τους εξαρτάται κυρίως από την ακρίβεια που παρέχει η μοντελοποίηση της συμπεριφοράς των σειριακά και παράλληλα συνδεδεμένων τρανζίστορ και της χρονικής απόκρισης του αντιστροφέα. Αρκετές τεχνικές αναγω-

γής [41],[48],[113],[250] δεν λαμβάνουν υπόψη τις επιδράσεις του χρόνου μετάβασης εισόδου και της χωρητικότητας εξόδου κατά τον καθορισμό του πλάτους καναλιού των τρανζίστορ του ισοδύναμου αντιστροφέα, με αποτέλεσμα η μοντελοποίηση της συμπεριφοράς πυλών CMOS πολλαπλών εισόδων να είναι ανακριβής. Η κλασική θεώρηση που γίνεται συνήθως κατά τον υπολογισμό του πλάτους καναλιού των τρανζίστορ του ισοδύναμου αντιστροφέα, είναι η αντικατάσταση των σειριακά συνδεδεμένων τρανζίστορ από ένα απλό τρανζίστορ με πλάτος καναλιού ίσο με το πλάτος του ενός δια το συνολικό αριθμό των τρανζίστορ [17],[41],[48],[162],[250], και η αντικατάσταση των παράλληλα συνδεδεμένων τρανζίστορ από ένα τρανζίστορ με πλάτος καναλιού ίσο με το άθροισμα των πλατών καναλιού των τρανζίστορ που άγουν [41],[48],[113],[250]. Στην [113], κατά τον υπολογισμό του ισοδύναμου πλάτους καναλιού στην περίπτωση σειριακά συνδεδεμένων τρανζίστορ, θεωρείται ότι η συμμετοχή του πλάτους καναλιού του τρανζίστορ, στον ακροδέκτη πύλης του οποίου υπάρχει μετάβαση, είναι η μισή σε σχέση με εκείνη των τρανζίστορ που άγουν με σταθερή τάση πύλης. Οι παραπάνω θεωρήσεις που έχουν χρησιμοποιηθεί κατά τον υπολογισμό του πλάτους καναλιού των τρανζίστορ του ισοδύναμου αντιστροφέα, είναι μια από τις κύριες αιτίες σφάλματος στις υπάρχουσες τεχνικές μοντελοποίησης στατικών πυλών, ιδιαίτερα στην περίπτωση σειριακά συνδεδεμένων τρανζίστορ.

Μια ακόμη αιτία σφαλμάτων αποτελεί το γεγονός ότι αρκετές από τις υπάρχουσες τεχνικές μοντελοποίησης στατικών πυλών [17],[48],[162],[251],[252] είναι βασισμένες σε μοντέλα MOS νόμου του τετραγώνου, με αποτέλεσμα να μη μπορούν να εφαρμοστούν στις σύγχρονες τεχνολογίες μικρού μήκους καναλιού. Επίσης, οι περισσότερες τεχνικές αναγωγής εξετάζουν τα σειριακά και παράλληλα συνδεδεμένα τρανζίστορ μόνο στην περίπτωση που λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης του κόμβου εξόδου μιας πύλης και όχι στην περίπτωση όπου λειτουργούν ως κλάδος βραχυκυκλώματος. Εξάιρεση αποτελεί η τεχνική αναγωγής που προτείνεται στις [20],[132],[150] όπου διαφοροποιείται ο υπολογισμός του ισοδύναμου πλάτους καναλιού σε καθεμιά από τις παραπάνω περιπτώσεις. Στην τεχνική αυτή όμως, χρησιμοποιούνται αρκετοί εμπειρικοί συντελεστές, καθώς και η κλασική θεώρηση κατά τον υπολογισμό του ισοδύναμου πλάτους καναλιού στην περίπτωση σειριακά συνδεδεμένων τρανζίστορ ($W_{eq} = W / N$, W : μήκος καναλιού του ενός τρανζίστορ, N : αριθμός των σειριακά συνδεδεμένων τρανζίστορ), όταν οι τυχόν μεταβάσεις στις εισόδους της πύλης είναι γρήγορες ή όταν υπάρχει ταυτόχρονη μετάβαση σε όλες της

εισόδους. Όπως όμως θα δειχθεί στη συνέχεια του κεφαλαίου αυτού, η θεώρηση αυτή οδηγεί σε ανακριβή υπολογισμό της χρονικής απόκρισης των στατικών πυλών.

Στις [149],[253], παρουσιάζεται μια τεχνική για τη γενίκευση του αναλυτικού μοντέλου χρονικής απόκρισης του αντιστροφέα που βασίζεται στο μοντέλο MOS δύναμης του n [134], σε στατικές πύλες CMOS. Έτσι, στις παραπάνω εργασίες καθορίζεται ένας συντελεστής μείωσης της καθυστέρησης του αντιστροφέα, ανάλογα με τον αριθμό των σειριακά συνδεδεμένων τρανζίστορ της υπό εξέταση πύλης. Για να γίνει αυτό, απαιτούνται επαναλαμβανόμενες στατικές αναλύσεις (dc) με χρήση του SPICE, κάθε φορά που συμβαίνει μια μετάβαση στις εισόδους της πύλης. Στην τεχνική αναγωγής που προτείνεται στις [46],[144], χρησιμοποιείται επίσης μια σειρά από στατικές αναλύσεις με το SPICE, έτσι ώστε να καθοριστεί ο ισοδύναμος συντελεστής κέρδους (β_{eq}) των σειριακά συνδεδεμένων τρανζίστορ. Επιπλέον, η τεχνική αυτή απαιτεί έναν αριθμό στατικών αναλύσεων έτσι ώστε να γίνει αντιστοίχιση των τρανζίστορ σε ισοδύναμες αντιστάσεις όταν αυτά λειτουργούν στη γραμμική περιοχή. Γενικά, οι τεχνικές που χρησιμοποιούν στατικές αναλύσεις δεν μπορούν να λάβουν υπόψη με ακρίβεια τα φαινόμενα που επηρεάζουν τη δυναμική συμπεριφορά των σειριακά συνδεδεμένων τρανζίστορ. Οι τεχνικές αναγωγής σειριακά συνδεδεμένων τρανζίστορ που αναφέρθηκαν παραπάνω [46],[144],[149],[253] περιορίζονται στην περίπτωση όπου υπάρχει μετάβαση σε μία μόνο είσοδο της πύλης.

Στη [254], τα τρανζίστορ της αλυσίδας που λειτουργούν στη γραμμική περιοχή αντικαθίστανται με μια ενεργή αντίσταση, έτσι ώστε να υπολογιστεί ο ισοδύναμος συντελεστής ικανότητας οδήγησης (equivalent drivability factor) των σειριακά συνδεδεμένων τρανζίστορ. Στη συνέχεια, η καθυστέρηση των πυλών υπολογίζεται με βάση το αναλυτικό μοντέλο του αντιστροφέα που προτείνεται στην [142]. Ωστόσο, στην τεχνική αυτή χρησιμοποιούνται απλοποιημένες θεωρήσεις για τις περιοχές λειτουργίας των τρανζίστορ, αφού εξετάζεται μονάχα μια κατάσταση λειτουργίας της αλυσίδας. Στην [146], η καθυστέρηση φόρτισης ή εκφόρτισης του κόμβου εξόδου στατικών πυλών διαμέσου σειριακών τρανζίστορ, υπολογίζεται ως το άθροισμα της καθυστέρησης ενός αντιστροφέα και της καθυστέρησης μιας αλυσίδας τρανζίστορ περάσματος (pass transistors), τα οποία αντικαθίστανται από ισοδύναμες αντιστάσεις. Η διαίρεση της αλυσίδας των σειριακά συνδεδεμένων στα δύο αυτά μέρη, γίνεται με βάση την είσοδο της πύλης στην οποία υπάρχει μετάβαση. Στην εργασία αυτή, δεν αναφέρεται ο τρόπος υπολογισμού των ισοδύναμων αντιστάσεων και εξετάζεται μο-

νάχα η περίπτωση όπου υπάρχει μετάβαση σε μία μόνο είσοδο της πύλης, χωρίς μάλιστα να λαμβάνεται υπόψη η κλίση της μετάβασης αυτής.

Στην [21], προτείνεται μια τεχνική αναγωγής σειριακά συνδεδεμένων τρανζίστορ σε ένα απλό τρανζίστορ, η οποία λαμβάνει υπόψη τη δυναμική συμπεριφορά τους, αποφεύγοντας τη χρήση στατικών αναλύσεων. Η μεθοδολογία της τεχνικής αυτής είναι παρόμοια με αυτή που χρησιμοποιείται στη παρούσα διατριβή. Ωστόσο, η αλυσίδα σειριακά συνδεδεμένων τρανζίστορ εξετάζεται μεμονωμένα, χωρίς να λαμβάνεται υπόψη η επίδραση των παράλληλα συνδεδεμένων τρανζίστορ που λειτουργούν ως κλάδος βραχυκυκλώματος σε μια στατική πύλη CMOS. Επίσης, στην τεχνική αυτή όπως και στις περισσότερες υπάρχουσες τεχνικές, δεν εξετάζεται η περίπτωση όπου τα σειριακά τρανζίστορ λειτουργούν ως κλάδος βραχυκυκλώματος.

Στις [251],[252], παράγονται αναλυτικές εκφράσεις για την κυματομορφή της τάσης εξόδου σειριακά συνδεδεμένων τρανζίστορ, χωρίς την πλήρη αναγωγή τους σε ένα απλό τρανζίστορ. Οι εκφράσεις αυτές βασίζονται στο μοντέλο MOS νόμου του τετραγώνου και χρησιμοποιούν απλοποιημένες θεωρήσεις όπως, βηματικές εισόδους και αντικατάσταση των τρανζίστορ που λειτουργούν στη γραμμική περιοχή από ισοδύναμες αντιστάσεις. Μια παρόμοια προσπάθεια γίνεται στην [146], όπου όμως χρησιμοποιείται το μοντέλο MOS δύναμης του α και λαμβάνεται υπόψη η κλίση των κυματομορφών εισόδου. Το βασικό μειονέκτημα των παραπάνω τεχνικών μοντελοποίησης [146],[251],[252], έγκειται στο ότι εάν συμπεριλάβουν τις επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης εισόδου-εξόδου που υπάρχουν στις στατικές πύλες CMOS, δεν οδηγούν σε αναλυτική λύση λόγω της μεγάλης μαθηματικής πολυπλοκότητας που προκύπτει.

Στη συνέχεια του κεφαλαίου αυτού, προτείνονται τεχνικές αναγωγής στατικών πυλών σε ισοδύναμους αντιστροφείς, με σκοπό τον υπολογισμό της χρονικής τους απόκρισης και της ενέργειας βραχυκυκλώματος που καταναλώνουν. Όπως αναφέρθηκε και στα δύο προηγούμενα κεφάλαια, η δυναμική κατανάλωση ενέργειας εξαρτάται από την χωρητικότητα του κόμβου εξόδου και όχι από τα εσωτερικά χαρακτηριστικά της πύλης (π.χ. μέγεθος και διάταξη των τρανζίστορ) και την κλίση των κυματομορφών εισόδου. Ωστόσο, ένα μικρό ποσοστό δυναμικής ενέργειας καταναλώνεται στις χωρητικότητες των εσωτερικών κόμβων των πυλών, οι οποίες σε μια τυπική πύλη CMOS είναι πολύ μικρές συγκρινόμενες με τη χωρητικότητα εξόδου. Στις [187], [188], προτείνεται ένα μοντέλο για την συμπερίληψη της ενέργειας που καταναλώνε-

ται στις χωρητικότητες αυτές. Έτσι, στη συνέχεια του κεφαλαίου δίνεται έμφαση μόνο στον υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος των στατικών πυλών CMOS.

Στις Παραγράφους 5.2 και 5.3, παρουσιάζεται η ανάλυση της λειτουργίας των σειριακά συνδεδεμένων τρανζίστορ, όταν αυτά λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης του κόμβου εξόδου και όταν λειτουργούν ως κλάδος βραχυκυκλώματος, με σκοπό την αναγωγή τους σε ένα απλό τρανζίστορ. Κατά την ανάλυση αυτή, λαμβάνονται υπόψη η κλίση των κυματομορφών εισόδου, η χωρητικότητα εξόδου, οι χωρητικότητες των εσωτερικών κόμβων, ο αριθμός και η θέση των τρανζίστορ με μετάβαση στην είσοδο και το φαινόμενο σώματος (body effect) [8]. Η Παράγραφος 5.4 αφορά την περίπτωση όπου οι μεταβάσεις των εισόδων είναι χρονικά επικαλυπτόμενες, όταν ο κόμβος εξόδου φορτίζεται ή εκφορτίζεται διαμέσου των σειριακά συνδεδεμένων τρανζίστορ. Επειδή η αντικατάσταση των παράλληλα συνδεδεμένων τρανζίστορ από ένα τρανζίστορ με πλάτος καναλιού ίσο με το άθροισμα των πλατών καναλιού των τρανζίστορ που άγουν, δεν παρέχει ικανοποιητική ακρίβεια στην περίπτωση χρονικά επικαλυπτόμενων μεταβάσεων στις εισόδους μιας πύλης, στην Παράγραφο 5.5 προτείνεται μια μέθοδος για την αντιμετώπιση της περίπτωσης αυτής. Τέλος, στην Παράγραφο 5.6 γίνεται μια γενική αξιολόγηση των τεχνικών αναγωγής του κεφαλαίου αυτού, όσον αφορά την ακρίβεια που παρέχουν στον υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας βραχυκυκλώματος.

5.2 Μοντελοποίηση σειριακά συνδεδεμένων τρανζίστορ όταν λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης της εξόδου

Στην παράγραφο αυτή, γίνεται μελέτη της λειτουργίας των σειριακά συνδεδεμένων τρανζίστορ όταν αυτά λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης του κόμβου εξόδου μιας στατικής πύλης CMOS, με κύριο σκοπό τον υπολογισμό του πλάτους καναλιού του τρανζίστορ φόρτισης ή εκφόρτισης του ισοδύναμου αντιστροφέα. Υπολογίζεται επίσης το χρονικό σημείο έναρξης αγωγής της αλυσίδας των σειριακά συνδεδεμένων τρανζίστορ με βάση την ανάλυση της επίδρασης των χωρητικότητων των ενδιάμεσων κόμβων της αλυσίδας. Στη συνέχεια, μοντελοποιείται η επίδραση του αριθμού και της θέσης των εισόδων που βρίσκονται υπό μετάβαση. Στην παράγραφο αυτή αναλύεται η λειτουργία μιας αλυσίδας τρανζίστορ NMOS που λειτουργεί ως κλάδος εκφόρτισης του κόμβου εξόδου μιας πύλης NAND πολλαπλών ει-

σόδων. Η περίπτωση μιας αλυσίδας τρανζίστορ PMOS μέσω της οποίας φορτίζεται ο κόμβος εξόδου μιας πύλης NOR, μπορεί να αντιμετωπιστεί με συμμετρικό τρόπο.

5.2.1 Ανάλυση λειτουργίας της αλυσίδας

Η ανάλυση που παρουσιάζεται στη παράγραφο αυτή, αφορά την αλυσίδα των σειριακά συνδεδεμένων τρανζίστορ της πύλης NAND N-εισόδων που φαίνεται στο Σχήμα 5.1. Επειδή, ο κύριος σκοπός της ανάλυσης είναι ο υπολογισμός του πλάτους καναλιού του ισοδύναμου τρανζίστορ, για τη μοντελοποίηση του ρεύματος υποδοχής των τρανζίστορ χρησιμοποιούνται οι εναλλακτικές εξισώσεις του μοντέλου MOS δύναμης του α [19], οι οποίες περιλαμβάνουν ως παράμετρο το πλάτος καναλιού,

$$I_D = 0, \quad V_{GS} < V_T, \quad \text{Περιοχή αποκοπής} \quad (5.1)$$

$$I_D = P_C \frac{W}{L} (V_{GS} - V_T)^\alpha, \quad V_{DS} > V'_{DO}, \quad \text{Περιοχή κόρου} \quad (5.2)$$

$$I_D = P_L \frac{W}{L} (V_{GS} - V_T)^{\alpha/2} V_{DS}, \quad V_{DS} \leq V'_{DO}, \quad \text{Γραμμική περιοχή.} \quad (5.3)$$

Η τάση κόρου του τρανζίστορ (V'_{DO}) δίνεται ως εξής

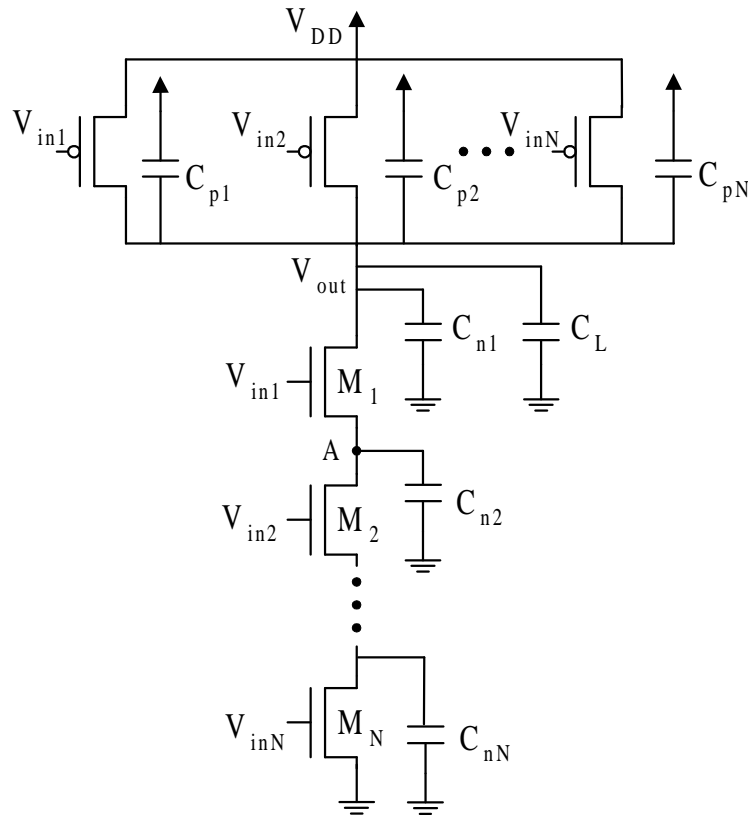
$$V'_{DO} = P_V (V_{GS} - V_T)^{\alpha/2} \quad \text{και} \quad P_L = P_C / P_V. \quad (5.4)$$

Συνδυάζοντας τις εξισώσεις (4.1)–(4.4) του μοντέλου MOS δύναμης του α , που χρησιμοποιήθηκαν στο Κεφάλαιο 4, με τις παραπάνω εξισώσεις, δεδομένου ότι έχουν εξαχθεί οι παράμετροι I_{DO} , V_{DO} και α (Παράγραφος 4.1), μπορούν εύκολα να υπολογιστούν και οι παράμετροι P_C , P_L και P_V .

Η τάση κατωφλίου (V_T) των τρανζίστορ της αλυσίδας δεν είναι σταθερή, αλλά μεταβάλλεται σε σχέση με την διαφορά δυναμικού (V_{SB}) μεταξύ του ακροδέκτη πηγής και του υποστρώματος. Η εξάρτηση αυτή είναι γνωστή ως φαινόμενο σώματος (body effect) και εκφράζεται ως εξής [8],[57]

$$V_T = V_{TO} + \gamma \left(\sqrt{2\phi_b + V_{SB}} - \sqrt{2\phi_b} \right), \quad (5.5)$$

όπου V_{TO} είναι η τάση κατωφλίου για $V_{SB} = 0$, γ ο συντελεστής που περιγράφει την επίδραση του φαινομένου σώματος και ϕ_b είναι το δυναμικό του υποστρώματος που σχετίζεται με τη νόθευση του (η παράμετρος PHI του SPICE που αναφέρεται ως δυναμικό αντιστροφής επιφάνειας υποστρώματος, ισούται με το διπλάσιο της τιμής του δυναμικού ϕ_b). Στη συνέχεια της ανάλυσης, για τη μοντελοποίηση της επίδρασης



Σχήμα 5.1: Πύλη NAND N-εισόδων

του φαινομένου σώματος χρησιμοποιείται η παρακάτω γραμμική σχέση [134], έτσι ώστε να αποφευχθεί η πολυπλοκότητα της εξίσωσης (5.5),

$$V_T = V_{TO} + \gamma_1 V_{SB}, \tag{5.6}$$

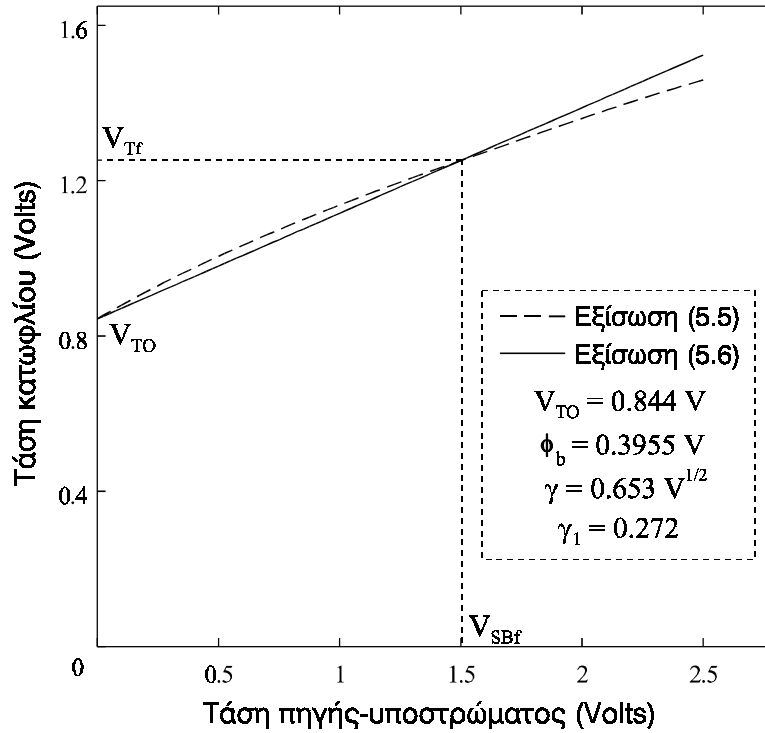
όπου γ_1 είναι ένας νέος συντελεστής που περιγράφει την επίδραση του φαινομένου σώματος. Για να εξαχθεί η τιμή του συντελεστή αυτού γίνεται προσαρμογή των καμπυλών που παράγονται από τις εξισώσεις (5.5) και (5.6) στο σημείο $V_{SBf} = 1.5 V$ (Σχήμα 5.2). Το σημείο αυτό επιλέγεται επειδή η τάση πηγής-υποστρώματος σε σειριακά συνδεδεμένα τρανζίστορ είναι στις περισσότερες περιπτώσεις μικρότερη από 2.5 V (για τάση τροφοδοσίας 5 V). Έτσι, η τιμή του συντελεστή γ_1 δίνεται ως εξής

$$\gamma_1 = \frac{V_{Tf} - V_{TO}}{V_{BSf}}, \tag{5.7}$$

όπου
$$V_{Tf} = V_{TO} + \gamma \left(\sqrt{2\phi_b + V_{SBf}} - \sqrt{2\phi_b} \right).$$

Συνήθως, η τιμή του συντελεστή γ_1 ισούται με το 40–45 % της τιμής του γ .

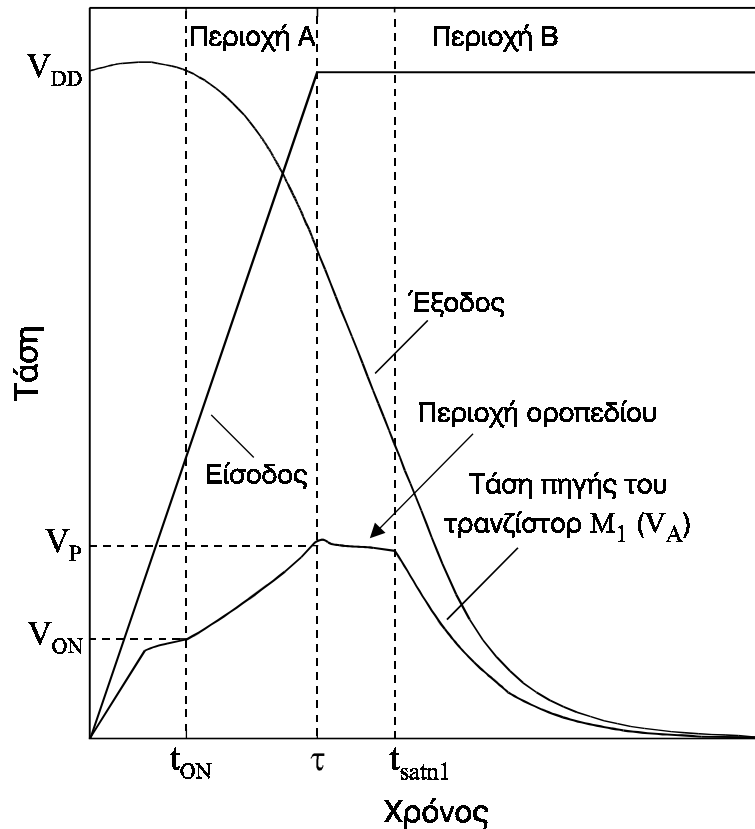
Στην ανάλυση της λειτουργίας των σειριακά συνδεδεμένων τρανζίστορ (Σχήμα 5.1), που γίνεται στην παράγραφο αυτή, θεωρούμε ότι έχουμε ταυτόχρονες και όμοι-



Σχήμα 5.2: Γραμμική προσέγγιση της επίδρασης του φαινομένου σώματος (τεχνολογία CMOS 0.8 μm)

ες ανερχόμενες εισόδους σε όλα τα τρανζίστορ με χρόνο μετάβασης τ , που δίνονται από την εξίσωση (3.7). Η περίπτωση όπου υπάρχει μετάβαση σε όλες τις εισόδους είναι η χειρότερη από άποψη καθυστέρησης, όπως θα δειχθεί στην Παράγραφο 5.2.4, όπου εξετάζονται και οι υπόλοιπες περιπτώσεις.

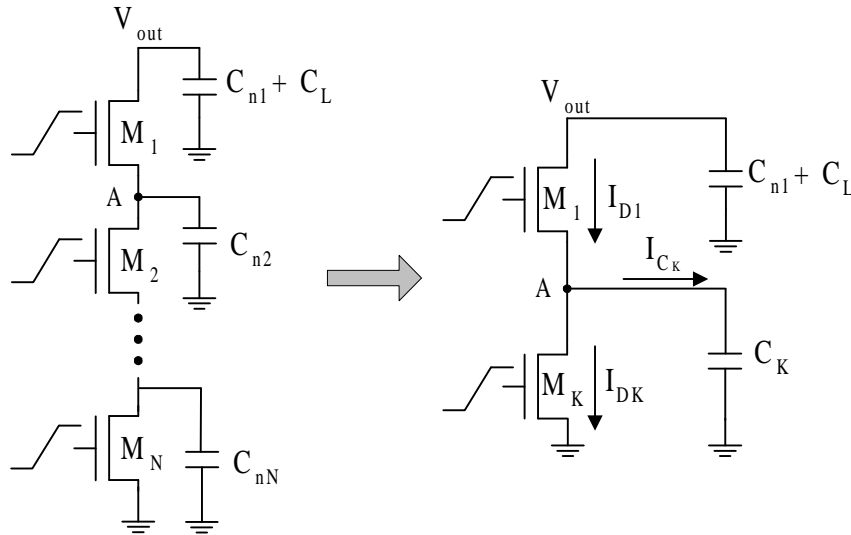
Μετά την έναρξη αγωγής της αλυσίδας των τρανζίστορ NMOS ($t = t_{ON}$ - Σχήμα 5.3) λαμβάνει χώρα η εκφόρτιση της χωρητικότητας εξόδου. Κατά τη διάρκεια της εκφόρτισης, αρχικά το τρανζίστορ M_1 λειτουργεί στην περιοχή κόρου αφού η τάση μεταξύ υποδοχής και πηγής του τρανζίστορ αυτού (V_{DS1}) είναι μεγαλύτερη από την τάση υποδοχής κόρου (V'_{DO1}). Τα υπόλοιπα τρανζίστορ της αλυσίδας λειτουργούν στη γραμμική περιοχή σε όλη τη διάρκεια της εκφόρτισης, αφού η τάση μεταξύ της υποδοχής και της πηγής τους ($V_{DS2} \dots V_{DSN}$) δεν υπερβαίνει την τάση υποδοχής κόρου ($V'_{DO2} \dots V'_{DON}$). Επειδή η τάση στους ενδιάμεσους κόμβους της αλυσίδας αυξάνεται, το ρεύμα των τρανζίστορ που λειτουργούν στη γραμμική περιοχή αυξάνεται, με αποτέλεσμα να υπάρχει ένα χρονικό σημείο όπου το ρεύμα των τρανζίστορ αυτών γίνεται ίσο με το ρεύμα του τρανζίστορ M_1 . Στην περίπτωση όπου το τρανζίστορ M_1 παραμένει στην περιοχή κόρου όταν η είσοδος φτάνει στην τελική της τιμή ($t = \tau$) δηλ. όταν η μετάβαση εισόδου είναι αρκετά ταχύτερη από εκείνη της εξόδου, η τάση



Σχήμα 5.3: Κυματομορφές τάσεων για $N = 3$, όπου το τρανζίστορ M_1 παραμένει στην περιοχή κόρου όταν η είσοδος φτάνει στην τελική της τιμή

σε όλους τους ενδιάμεσους κόμβους της αλυσίδας παραμένει σταθερή, από το χρονικό σημείο $t = \tau$ έως ότου το τρανζίστορ M_1 εξέλθει από την περιοχή κόρου. Η περιοχή αυτή λειτουργίας της αλυσίδας (Σχήμα 5.3) αναφέρεται ως περιοχή οροπεδίου (plateau region) [21],[251],[252], και η τιμή της τάσης πηγής του τρανζίστορ M_1 (κόμβος A) ως τάση οροπεδίου V_P . Στην περιοχή αυτή, οι τάσεις των ενδιάμεσων κόμβων παραμένουν σταθερές, επειδή εάν μειώνονταν θα προκαλούσαν αύξηση στο ρεύμα κόρου του τρανζίστορ M_1 (το οποίο λαμβάνει τη μέγιστη τιμή του όταν $t = \tau$), γεγονός που θα σήμαινε την αύξησή τους. Αντίθετα, εάν οι τάσεις των ενδιάμεσων κόμβων αυξάνονταν θα προκαλούσαν μείωση του ρεύματος κόρου του τρανζίστορ M_1 (λόγω του φαινομένου σώματος), γεγονός που θα σήμαινε τη μείωσή τους. Η αλυσίδα των σειριακά συνδεδεμένων τρανζίστορ παραμένει στην περιοχή οροπεδίου έως ότου το φορτίο από τη χωρητικότητα εξόδου να μην επαρκεί για τη διατήρηση του τρανζίστορ M_1 στην περιοχή κόρου, δηλαδή μέχρι το χρονικό σημείο όπου το τρανζίστορ M_1 εισέρχεται και αυτό στη γραμμική περιοχή ($t = t_{satn1}$ – Σχήμα 5.3).

Στη συνέχεια, παρουσιάζεται μια μέθοδος για τον υπολογισμό της τάσης ορο-



Σχήμα 5.4: Αντικατάσταση των τρανζίστορ που λειτουργούν συνεχώς στη γραμμική περιοχή από ένα ισοδύναμο τρανζίστορ M_K

πεδίου (V_P). Επειδή τα τρανζίστορ M_2 έως M_N λειτουργούν συνεχώς στη γραμμική περιοχή μπορούν να προσεγγιστούν με ένα ισοδύναμο τρανζίστορ M_K (Σχήμα 5.4) με πλάτος καναλιού W_K , έτσι ώστε

$$\frac{1}{W_K} = \frac{1}{W_2} + \frac{1}{W_3} + \dots + \frac{1}{W_N}. \quad (5.8)$$

Όταν η τάση πηγής του τρανζίστορ M_1 (κόμβος A) εισέρχεται στην περιοχή οροπεδίου, δεν υπάρχει ρεύμα από ή προς την ισοδύναμη χωρητικότητα C_K . Έτσι, τα ρεύματα υποδοχής των τρανζίστορ M_1 και M_K είναι ίσα,

$$I_{D1} = I_{DK},$$

$$P_C \frac{W_1}{L} [V_{DD} - V_{TON} - (1 + \gamma_1)V_P]^{\alpha_1} = P_L \frac{W_K}{L} (V_{DD} - \bar{V}_{TK})^{\alpha_k/2} V_P, \quad (5.9)$$

όπου V_P είναι η τάση οροπεδίου και \bar{V}_{TK} η μέση τιμή των τάσεων κατωφλίου των τρανζίστορ M_2 έως M_N . Η μέση αυτή τιμή δίνεται ως εξής

$$\bar{V}_{TK} = \left(\sum_{i=1}^{N-1} V_{Ti} \right) / (N-1), \quad (5.10)$$

$$\text{όπου } V_{Ti} = V_{TON} + \gamma_1 V_{Si} \quad \text{και} \quad V_{Si} = \frac{(N-i)(V_{DD} - V_{TON})}{2N}.$$

Η παραπάνω προσεγγιστική τιμή για την τάση πηγής (V_{Si}) των τρανζίστορ M_2 έως M_N , έχει προκύψει από εκτεταμένες εξομοιώσεις με το SPICE, για διαφορετικό αριθ-

μό σειριακά συνδεδεμένων τρανζίστορ. Για να λυθεί η εξίσωση (5.9), χρησιμοποιείται το ανάπτυγμα Taylor [237] δεύτερης τάξης του όρου $\left[V_{DD} - V_{TON} - (1 + \gamma_1)V_P\right]^{\alpha_1}$ στο σημείο $V_P = \theta = V_{DD}(N - 1)/2N$. Μετά από αυτό, η λύση της εξίσωσης (5.9) έχει ως εξής

$$V_P = \frac{L}{2P_C W_1 f_2} \left(A - \sqrt{A^2 - B} \right), \quad (5.11)$$

όπου
$$A = \frac{P_C W_1}{L} (2\theta f_2 - f_1) + \frac{P_L W_K}{L} (V_{DD} - \bar{V}_{TK})^{\alpha_k/2},$$

$$B = \frac{4f_2 P_C^2 W_1^2}{L^2} (\theta f_1 - \theta^2 f_2 - f_0),$$

και f_0 , f_1 και f_2 είναι οι συντελεστές του αναπτύγματος Taylor οι οποίοι έχουν ως εξής

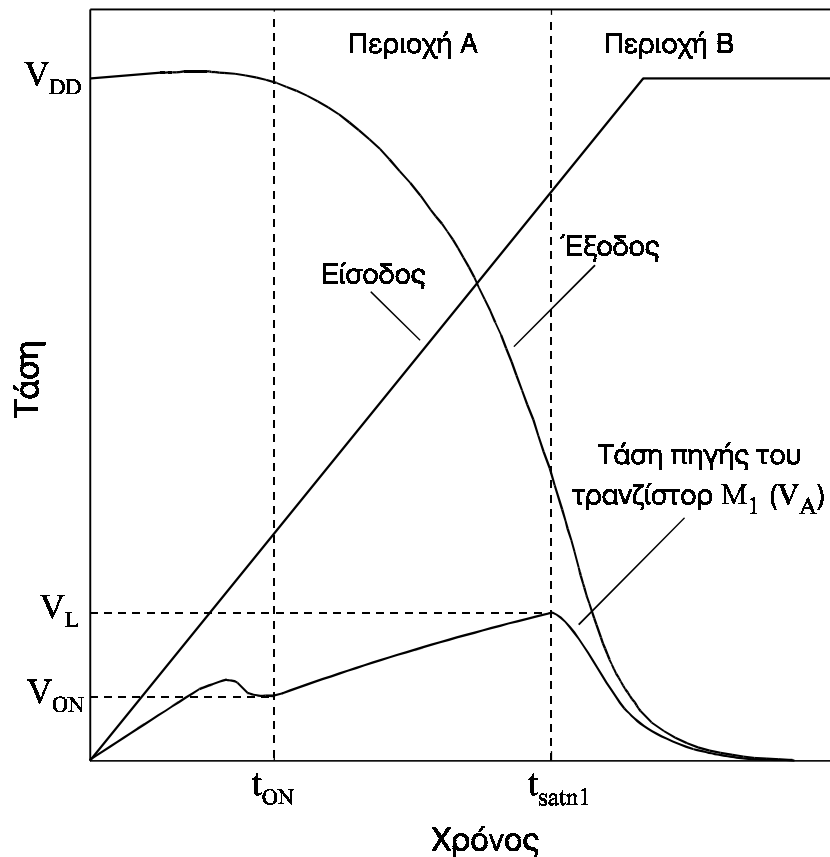
$$f_0 = \left[V_{DD} - V_{TON} - (1 + \gamma_1)\theta \right]^{\alpha_1}, \quad f_1 = -\alpha_1(1 + \gamma_1) \left[V_{DD} - V_{TON} - (1 + \gamma_1)\theta \right]^{\alpha_1 - 1},$$

και
$$f_2 = \frac{\alpha_1(\alpha_1 - 1)(1 + \gamma_1)^2}{2} \left[V_{DD} - V_{TON} - (1 + \gamma_1)\theta \right]^{\alpha_1 - 2}.$$

Στον παρακάτω Πίνακα 5.1, συγκρίνονται οι τιμές της τάσης οροπεδίου που υπολογίστηκαν από την εξίσωση (5.11) με τις τιμές που προέκυψαν από εξομοιώσεις με το SPICE. Για την εξαγωγή των τιμών του πίνακα αυτού, χρησιμοποιήθηκαν πύλες NAND 2, 3, 4 και 5 εισόδων τεχνολογίας CMOS 0.8 μm (Πίνακας 4.4). Το πλάτος καναλιού των σειριακών τρανζίστορ που χρησιμοποιήθηκαν ήταν 8 μm και η τάση τροφοδοσίας 5 V. Το σφάλμα των υπολογισμένων τιμών της τάσης οροπεδίου σε σχέση με εκείνες που προέκυψαν από κυκλωματικές εξομοιώσεις δεν ξεπερνάει το 4 %.

Αριθμός σειριακά συνδεδεμένων τρανζίστορ	Τάση οροπεδίου (Volts)	
	Εξίσωση (5.11)	SPICE
2	0.840	0.860
3	1.335	1.360
4	1.645	1.705
5	1.865	1.940

Πίνακας 5.1: Τιμές τάσης οροπεδίου για $2 \leq N \leq 5$



Σχήμα 5.5: Κυματομορφές τάσεων για $N = 3$, όπου το τρανζίστορ M_1 εισέρχεται στη γραμμική περιοχή πριν η είσοδος φτάσει στην τελική της τιμή

Στην περίπτωση όπου το τρανζίστορ M_1 εισέρχεται στη γραμμική του περιοχή πριν από το τέλος της μετάβασης εισόδου (δηλ. στην περίπτωση βραδύτερης μετάβασης εισόδου) δεν παρουσιάζεται περιοχή οροπεδίου, αλλά η τάση πηγής του τρανζίστορ M_1 παρουσιάζει μια μέγιστη τιμή V_L (μικρότερη από την τάση οροπεδίου) στο χρονικό σημείο όπου συμβαίνει η αλλαγή περιοχής λειτουργίας ($t = t_{\text{satn1}}$ – Σχήμα 5.5). Στη συνέχεια η τάση πηγής του τρανζίστορ M_1 ακολουθεί την τάση εξόδου και μηδενίζεται.

5.2.2 Υπολογισμός ισοδύναμου πλάτους καναλιού της αλυσίδας

Το ισοδύναμο πλάτος καναλιού της αλυσίδας είναι το πλάτος καναλιού ενός τρανζίστορ που παρουσιάζει την ίδια συμπεριφορά, όσον αφορά τη χρονική απόκριση, με την αλυσίδα σειριακά συνδεδεμένων τρανζίστορ. Κατά τον υπολογισμό του πλάτους αυτού θα πρέπει, όπως προέκυψε από την ανάλυση της προηγούμενης παραγράφου, να ληφθεί υπόψη ο συνδυασμός της συμπεριφοράς του τρανζίστορ M_1 που λειτουργεί αρχικά στην περιοχή κόρου και στη συνέχεια στη γραμμική περιοχή

και της συμπεριφοράς των υπόλοιπων τρανζίστορ που λειτουργούν στη γραμμική περιοχή. Επίσης, θα πρέπει να ληφθεί υπόψη η επίδραση της κλίσης των κυματομορφών εισόδου και της χωρητικότητας εξόδου. Γι' αυτό, κατά τον υπολογισμό του ισοδύναμου πλάτους καναλιού της αλυσίδας είναι αναγκαίο να διακρίνουμε δύο περιπτώσεις. Στην πρώτη (Περίπτωση 1) το τρανζίστορ M_1 παραμένει στην περιοχή κόρου όταν η είσοδος φτάνει στην τελική της τιμή (δηλ. $t_{\text{satn1}} \geq \tau$ - Σχήμα 5.3), ενώ στη δεύτερη (Περίπτωση 2) το τρανζίστορ M_1 εισέρχεται στη γραμμική του περιοχή πριν η είσοδος φτάσει στην τελική της τιμή (δηλ. $t_{\text{satn1}} \leq \tau$ - Σχήμα 5.5).

Περίπτωση 1:

Όπως φαίνεται και στο Σχήμα 5.3, η τάση πηγής του τρανζίστορ M_1 (V_A) μπορεί να προσεγγιστεί με ακρίβεια από μια γραμμική συνάρτηση του χρόνου, μεταξύ του χρονικού σημείου έναρξης αγωγής της αλυσίδας ($t = t_{\text{ON}}$) και του χρονικού σημείου όπου τελειώνει η μετάβαση της εισόδου ($t = \tau$). Για να καθοριστεί η συνάρτηση αυτή απαιτούνται η τιμή της τάσης οροπεδίου, το χρονικό σημείο έναρξης αγωγής της αλυσίδας (t_{ON}) και η τιμή της τάσης V_A (V_{ON}) στο σημείο αυτό. Η πρώτη έχει υπολογιστεί στην προηγούμενη παράγραφο, ενώ οι δύο τελευταίες θα υπολογιστούν στην επόμενη παράγραφο 5.2.3. Έτσι, η τάση V_A εκφράζεται ως εξής

$$V_A = V_{\text{ON}} + \left(\frac{V_P - V_{\text{ON}}}{\tau - t_{\text{ON}}} \right) (t - t_{\text{ON}}). \quad (5.12)$$

Το ρεύμα εκφόρτισης διαμέσου της αλυσίδας, όταν το τρανζίστορ M_1 λειτουργεί στην περιοχή κόρου (Περιοχή A) δίνεται ως εξής

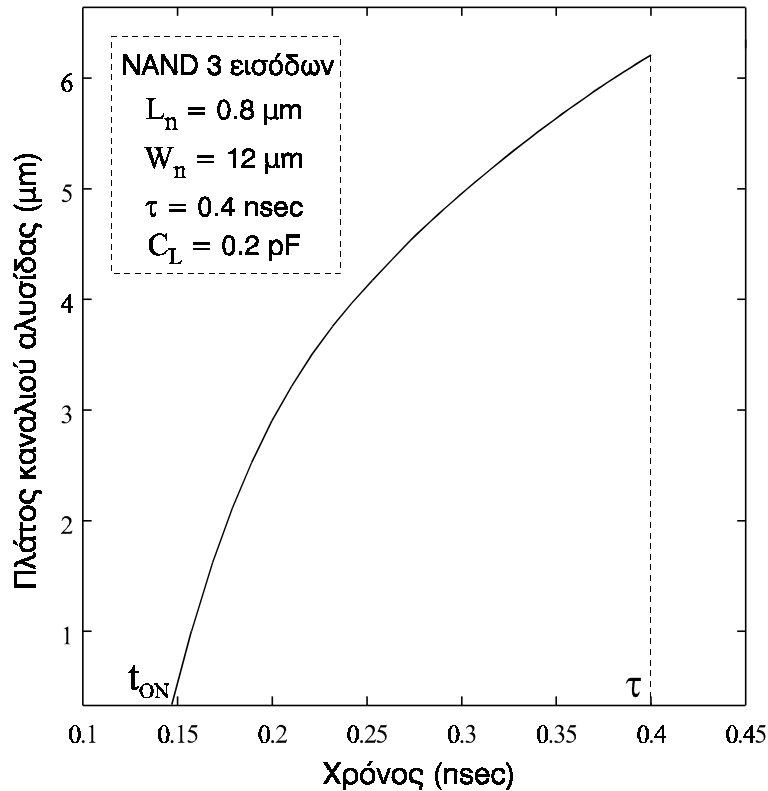
$$I_{\text{D1}} = P_C \frac{W_1}{L} \left[V_{\text{in}} - V_{\text{TON}} - (1 + \gamma_1) V_A \right]^{\alpha_1},$$

$$I_{\text{D1}} = P_C \frac{W_1}{L} \left[1 - \frac{(1 + \gamma_1) V_A}{V_{\text{in}} - V_{\text{TON}}} \right]^{\alpha_1} (V_{\text{in}} - V_{\text{TON}})^{\alpha_1}. \quad (5.13)$$

Η παραπάνω εξίσωση είναι της ίδιας μορφής με την εξίσωση ρεύματος κόρου ενός απλού τρανζίστορ (5.2), το πλάτος του οποίου δίνεται ως εξής

$$W(t) = W_1 \left[1 - \frac{(1 + \gamma_1) V_A}{V_{\text{in}} - V_{\text{TON}}} \right]^{\alpha_1}, \quad (5.14)$$

όπου η V_A δίνεται από την εξίσωση (5.12) και η V_{in} από την εξίσωση (3.7). Το διάγραμμα της χρονικής συνάρτησης του πλάτους αυτού δίνεται στο Σχήμα 5.6, για μια



Σχήμα 5.6: Πλάτος καναλιού αλυσίδας στο χρονικό διάστημα $[t_{ON}, \tau]$

περίπτωση τριών σειριακά συνδεδεμένων τρανζίστορ τεχνολογίας 0.8 μm . Αφού λοιπόν η έκφραση για το ισοδύναμο πλάτος καναλιού της αλυσίδας που προέκυψε παραπάνω είναι συνάρτηση του χρόνου, θα πρέπει να υπολογιστεί μια μέση τιμή η οποία και θα χρησιμοποιηθεί κατά τον υπολογισμό της χρονικής απόκρισης του ισοδύναμου αντιστροφέα. Η μέση αυτή τιμή θα έπρεπε να υπολογιστεί από την παρακάτω εξίσωση

$$W_{eq} = \frac{\int_{t_{ON}}^{\tau} W(t) dt}{\tau - t_{ON}} \quad (5.15)$$

Επειδή όμως η λύση του ολοκληρώματος στον αριθμητή της εξίσωσης (5.15) είναι αρκετά πολύπλοκη (εμπεριέχει μια σύνθετη υπεργεωμετρική συνάρτηση [237]), το ισοδύναμο πλάτος καναλιού της αλυσίδας υπολογίζεται από την εξίσωση (5.14) στο μέσο του χρονικού διαστήματος $[t_{ON}, \tau]$, δηλαδή

$$W_{eq} = W \left[t = \frac{\tau + t_{ON}}{2} \right] \quad (5.16)$$

Το σφάλμα λόγω της χρησιμοποίησης της εξίσωσης (5.16) αντί της εξίσωσης (5.15) δεν ξεπερνάει το 5 %.

Στην περιοχή οροπεδίου ($\tau \leq t \leq t_{\text{satn1}}$ – Σχήμα 5.3), όπου το τρανζίστορ M_1 συνεχίζει να λειτουργεί στην περιοχή κόρου, η τάση V_A ισούται με την τάση οροπεδίου (V_P) και η τάση V_{in} είναι επίσης σταθερή στην τελική της τιμή (V_{DD}). Έτσι με βάση την εξίσωση (5.14), το ισοδύναμο πλάτος καναλιού της αλυσίδας, δίνεται ως εξής

$$W_{\text{eq}} = W_1 \left[1 - \frac{(1 + \gamma_1) V_P}{V_{DD} - V_{\text{TO}n}} \right]^{\alpha_1}. \quad (5.17)$$

Το ρεύμα εκφόρτισης διαμέσου της αλυσίδας, όταν το τρανζίστορ M_1 λειτουργεί στη γραμμική περιοχή ($t \geq t_{\text{satn1}}$ – Περιοχή Β) δίνεται ως εξής

$$I_{D1} = P_L (W_1 / L) \left(V_{DD} - V_{\text{TO}n} - (1 + \gamma_1) V_A \right)^{\alpha_1/2} (V_{\text{out}} - V_A). \quad (5.18)$$

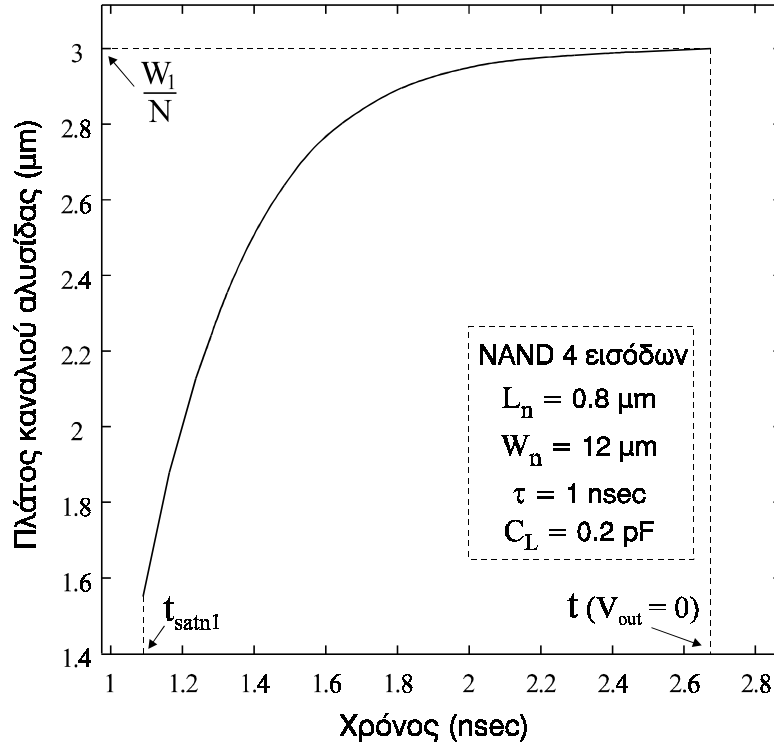
Επειδή στο διάστημα αυτό όλα τα τρανζίστορ της αλυσίδας λειτουργούν στη γραμμική περιοχή, η αλυσίδα μπορεί να προσεγγιστεί με ένα διαιρέτη τάσης [251]. Η εγκυρότητα της προσέγγισης αυτής φαίνεται και από εκτεταμένες εξομοιώσεις με το SPICE κατά τις οποίες η τάση υποδοχής-πηγής των τρανζίστορ της αλυσίδας αυξάνεται σχεδόν γραμμικά (με συντελεστή αύξησης πολύ κοντά στο 1) όσο μετακινούμαστε από την γείωση προς την έξοδο. Με βάση λοιπόν την προσέγγιση αυτή, προκύπτει η παρακάτω σχέση

$$V_A = \frac{N}{N-1} V_{\text{out}}. \quad (5.19)$$

Η σχέση αυτή αποτελεί καλή προσέγγιση στην περίπτωση όπου τα τρανζίστορ της αλυσίδας έχουν το ίδιο πλάτος καναλιού. Υπάρχουν όμως περιπτώσεις, όπου τα πλάτη καναλιού σε αλυσίδες που αποτελούνται από αρκετά τρανζίστορ, διαμορφώνονται έτσι ώστε όσο πλησιάζουμε προς τη γείωση το πλάτος καναλιού των τρανζίστορ να γίνεται μεγαλύτερο, με σκοπό τη μείωση της καθυστέρησης και της κατανάλωσης ενέργειας [255], [256]. Ωστόσο, η διαμόρφωση αυτή των πλατών καναλιού είναι χρήσιμη μονάχα όταν οι εσωτερικές χωρητικότητες πηγής/υποδοχής είναι μεγαλύτερες ή συγκρίσιμες με τη χωρητικότητα εξόδου μιας πύλης, γεγονός που σπάνια συμβαίνει σε μια τυπική στατική πύλη CMOS [257].

Αντικαθιστώντας τη σχέση (5.19) στην εξίσωση (5.18), καταλήγουμε σε μια εξίσωση που έχει την ίδια μορφή με την εξίσωση ρεύματος γραμμικής περιοχής ενός απλού τρανζίστορ (5.3), το πλάτος του οποίου δίνεται ως εξής

$$W(t) = \frac{W_1}{N} \left[1 - \frac{(N-1)(1 + \gamma_1) V_{\text{out}}}{N(V_{\text{in}} - V_{\text{TO}n})} \right]^{\alpha_1/2}. \quad (5.20)$$



Σχήμα 5.7: Πλάτος καναλιού αλυσίδας για $t \geq t_{\text{satn1}}$

Το διάγραμμα της χρονικής συνάρτησης του πλάτους αυτού δίνεται στο Σχήμα 5.7, για μια περίπτωση τεσσάρων σειριακά συνδεδεμένων τρανζίστορ τεχνολογίας $0.8\mu\text{m}$. Μια ακριβής προσέγγιση του ισοδύναμου (μέσου) πλάτους καναλιού της αλυσίδας προκύπτει εάν υπολογίσουμε με βάση την εξίσωση (5.20) το πλάτος καναλιού στο χρονικό σημείο t_{satn1} ($V_{\text{out}} = V_{\text{satn1}}$) καθώς και στο χρονικό σημείο όπου $V_{\text{out}} = 0$ και στη συνέχεια να εφαρμόσουμε την παρακάτω σχέση

$$W_{\text{eq}} = 0.6 \left(W[t = t_{\text{satn1}}] + W[t = t_{V_{\text{out}} = 0}] \right). \quad (5.21)$$

Το χρονικό σημείο t_{satn1} υπολογίζεται από την παρακάτω εξίσωση, αν για τη V_{out} χρησιμοποιηθεί η έκφραση της τάσης εξόδου του ισοδύναμου αντιστροφέα στην περιοχή 5A (εξίσωση (4.23)),

$$V_{\text{out}} - V_{\text{P}} = P_{\text{V}} \left[V_{\text{DD}} - V_{\text{TOon}} - (1 + \gamma_1) V_{\text{P}} \right]^{\alpha_1/2}. \quad (5.22)$$

Η παραπάνω εξίσωση υπολογισμού του t_{satn1} είναι πρώτου βαθμού, αφού και η έκφραση της τάσης εξόδου στην περιοχή 5A είναι επίσης πρώτου βαθμού. Η τιμή της τάσης εξόδου V_{satn1} υπολογίζεται από την εξίσωση (4.23), για $t = t_{\text{satn1}}$. Όπως προκύπτει από την εξίσωση (5.20), στο χρονικό σημείο όπου $V_{\text{out}} = 0$, η τιμή του ισοδύναμου πλάτους καναλιού της αλυσίδας είναι η ίδια με αυτή που προκύπτει από την

κλασσική θεώρηση αντικατάστασης των σειριακά συνδεδεμένων τρανζίστορ από ένα τρανζίστορ με πλάτος καναλιού ίσο με το πλάτος του ενός δια το συνολικό αριθμό των τρανζίστορ (W_1 / N). Από την παραπάνω ανάλυση συμπεραίνουμε ότι η τιμή αυτή δεν αντιπροσωπεύει το μέσο πλάτους καναλιού της αλυσίδας στην Περιοχή Β, με αποτέλεσμα όταν χρησιμοποιείται (όπως στην [21]) να οδηγεί σε ανακριβή μοντελοποίηση της “ουράς” της κυματομορφής τάσης εξόδου των στατικών πυλών.

Περίπτωση 2:

Όπως φαίνεται και στο Σχήμα 5.5, στη δεύτερη περίπτωση απουσιάζει η περιοχή οροπεδίου. Ωστόσο η τάση πηγής του τρανζίστορ M_1 (V_A) μπορεί να προσεγγιστεί από την ίδια γραμμική συνάρτηση του χρόνου (εξίσωση (5.12)), μεταξύ του χρονικού σημείου έναρξης αγωγής της αλυσίδας ($t = t_{ON}$) και του χρονικού σημείου όπου το τρανζίστορ M_1 εισέρχεται στη γραμμική περιοχή λειτουργίας ($t = t_{satn1}$). Αυτό προκύπτει από κυκλωματικές εξομοιώσεις με το SPICE κατά τις οποίες σε μια πύλη στην οποία για κάποιο χρόνο μετάβασης εισόδου απουσιάζει η περιοχή οροπεδίου, εάν αυξήσουμε τη χωρητικότητα εξόδου έτσι ώστε να υπάρχει περιοχή οροπεδίου, η κλίση της V_A παραμένει σχεδόν η ίδια (Σχήμα 5.8).

Για να υπολογιστεί το ισοδύναμο πλάτος καναλιού της αλυσίδας στην Περιοχή Α, με τη μέθοδο που χρησιμοποιήθηκε στην πρώτη περίπτωση, θα πρέπει να βρεθεί μια προσέγγιση της τιμής t_{satn1} για την Περίπτωση 2. Η προσέγγιση αυτή είναι το χρονικό σημείο t'_{satn1} όπου το τρανζίστορ M_1 εισέρχεται στη γραμμική περιοχή λειτουργίας εάν αγνοήσουμε την επίδραση του κλάδου βραχυκυκλώματος που αποτελείται από τρανζίστορ PMOS συνδεδεμένα παράλληλα.

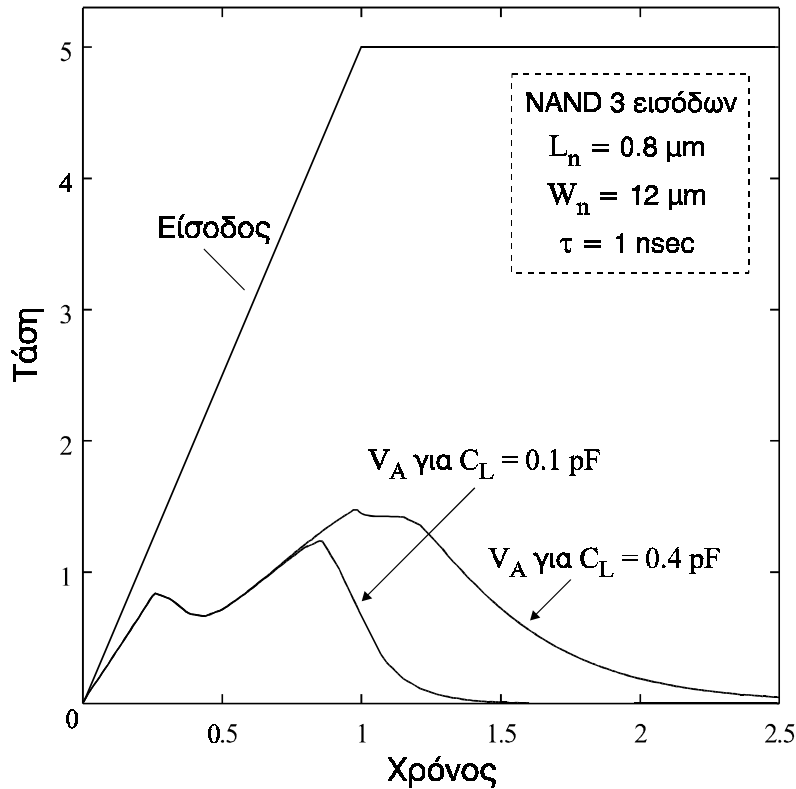
Η διαφορική εξίσωση που περιγράφει την χρονική μεταβολή της τάσης εξόδου εάν αγνοηθεί η επίδραση του κλάδου βραχυκυκλώματος έχει ως εξής

$$C_L \frac{dV_{out}}{dt} = -P_C \frac{W_1}{L} \left[V_{in} - V_{TON} - (1 + \gamma_1) V_A \right]^{\alpha_1}, \quad (5.23)$$

με αρχική συνθήκη $V_{out}[t = t_{ON}] = V_{DD}$. Η αναλυτική λύση της παραπάνω εξίσωσης δίνεται ως εξής

$$V_{out} = V_{DD} - \frac{P_C W_1 \left[(B_s t - D_s)^{\alpha_1 + 1} - (B_s t_{ON} - D_s)^{\alpha_1 + 1} \right]}{C_L L B_s (\alpha_1 + 1)}, \quad (5.24)$$

όπου $B_s = (V_{DD}/\tau) - E_s$, $D_s = V_{TON} + (1 + \gamma_1) V_A [t_{ON}] - E_s t_{ON}$ και



Σχήμα 5.8: Τάση πηγής του τρανζίστορ M_1 για τον ίδιο χρόνο μετάβασης εισόδου και για δύο τιμές χωρητικότητας εξόδου

$$E_s = \frac{(1 + \gamma_1)}{(\tau - t_{ON})} (V_P - V_A [t_{ON}]).$$

Με βάση την παραπάνω έκφραση της τάσης εξόδου, το χρονικό σημείο t'_{satn1} υπολογίζεται από την παρακάτω εξίσωση

$$V_{out} - V_A = P_V \left[V_{in} - V_{TON} - (1 + \gamma_1) V_A \right]^{\alpha_1/2}. \quad (5.25)$$

Η εξίσωση αυτή λύνεται με τη βοήθεια αναπτυγμάτων Taylor δεύτερης τάξης στο σημείο $t = (1 - p - n) \tau$ των όρων που είναι υψωμένοι σε δύναμη που περιέχει το α_1 , οπότε η τιμή t'_{satn1} προκύπτει ως ρίζα μιας δευτεροβάθμιας εξίσωσης.

Μετά τον υπολογισμό του χρονικού σημείου t'_{satn1} , το ισοδύναμο πλάτος καναλιού της αλυσίδας υπολογίζεται από την σχέση (5.14) για $t = (t_{ON} + t'_{satn1}) / 2$. Δεδομένα που έχουν προκύψει από εξομοιώσεις με το SPICE, δείχνουν ότι το σφάλμα που εισάγεται στον υπολογισμό του ισοδύναμου πλάτους λόγω της χρησιμοποίησης του t'_{satn1} αντί του t_{satn1} , είναι μικρότερο από 2 %. Ο κύριος λόγος που συγκρατεί το σφάλμα αυτό σε χαμηλά επίπεδα είναι η μορφή της εξίσωσης (5.14), στην οποία το μικρότερο t'_{satn1} (σε σχέση με το t_{satn1}) προκαλεί ταυτόχρονη μείωση στην τιμή της

V_A και της V_{in} , με αποτέλεσμα η τιμή του πλάτους καναλιού στο χρονικό σημείο t'_{satn1} να μην διαφέρει αρκετά από εκείνη του χρονικού σημείου t_{satn1} .

Στην περιοχή B (Σχήμα 5.5) όπου το τρανζίστορ M_1 λειτουργεί στη γραμμική περιοχή ακολουθείται η ίδια μέθοδος με εκείνη που χρησιμοποιήθηκε στην πρώτη περίπτωση. Η χρονική συνάρτηση του πλάτους καναλιού της αλυσίδας δίνεται από την εξίσωση (5.20), εάν αντικατασταθεί η τάση V_{DD} με την τάση V_{in} . Το ισοδύναμο πλάτος καναλιού της αλυσίδας υπολογίζεται από την εξίσωση (5.21). Η τιμή της τάσης εισόδου στο χρονικό σημείο t_{satn1} υπολογίζεται από την εξίσωση (3.7), ενώ στο χρονικό σημείο όπου μηδενίζεται η τάση εξόδου ισούται με V_{DD} . Η τιμή της τάσης εξόδου στο χρονικό σημείο t_{satn1} υπολογίζεται από την έκφραση της τάσης εξόδου του ισοδύναμου αντιστροφέα στην περιοχή 4 (εξίσωση (4.21)) ή στην περιοχή 3 (εξίσωση (4.19)) όταν πρόκειται για πολύ αργές εισόδους. Η τιμή t_{satn1} υπολογίζεται από την εξίσωση (5.25) με τη βοήθεια των αναπτυγμάτων Taylor που δίνονται στο Παράρτημα 4B. Σημειώνουμε εδώ, ότι για τον υπολογισμό του ισοδύναμου πλάτους καναλιού της αλυσίδας στην Περιοχή B, χρησιμοποιείται το χρονικό σημείο t_{satn1} και όχι η προσέγγιση αυτού (t'_{satn1}) που χρησιμοποιήθηκε στην Περιοχή A. Αυτό γίνεται, επειδή στην Περιοχή B είναι δυνατός ο υπολογισμός του t_{satn1} μέσω του μοντέλου του ισοδύναμου αντιστροφέα. Επίσης, η χρησιμοποίηση του t'_{satn1} στην Περιοχή B οδηγεί σε αρκετά μεγαλύτερο σφάλμα από εκείνο της περιοχής A, λόγω της διαφορετικής μορφής της χρονικής συνάρτησης του πλάτους καναλιού της αλυσίδας στην περιοχή B.

Για να καθοριστεί ποια από τις δύο περιπτώσεις πρέπει να χρησιμοποιηθεί για τον υπολογισμό του ισοδύναμου πλάτους καναλιού της αλυσίδας σειριακά συνδεδεμένων τρανζίστορ μιας πύλης, πρέπει αρχικά να υπολογιστεί το χρονικό σημείο t'_{satn1} . Εάν $t'_{satn1} \geq \tau$ τότε συνεπάγεται ότι $t_{satn1} > \tau$, αφού $t_{satn1} > t'_{satn1}$ λόγω της επίδρασης του ρεύματος του κλάδου βραχυκυκλώματος, οπότε χρησιμοποιείται η *Περίπτωση 1*. Εάν $t'_{satn1} < \tau$, υπολογίζουμε το ισοδύναμο πλάτος καναλιού της αλυσίδας στην Περιοχή A, με βάση την *Περίπτωση 2*. Επειδή όμως $t_{satn1} > t'_{satn1}$ υπάρχει η οριακή περίπτωση το t_{satn1} να είναι μεγαλύτερο από το χρόνο μετάβασης εισόδου τ . Ωστόσο, το σφάλμα που εισάγεται στην οριακή αυτή περίπτωση λόγω του υπολογισμού του ισοδύναμου πλάτους καναλιού στην Περιοχή A με βάση την *Περίπτωση 2* αντί της *Περίπτωσης 1* είναι πολύ μικρό ($< 2\%$) και δεν επηρεάζει την κυματομορφή της τάσης εξόδου της πύλης. Εάν λοιπόν διαπιστώσουμε ότι $t_{satn1} > \tau$ τότε συνεχίζουμε με τον υπολογισμό του ισοδύναμου πλάτους καναλιού στην περιοχή οροπεδίου και

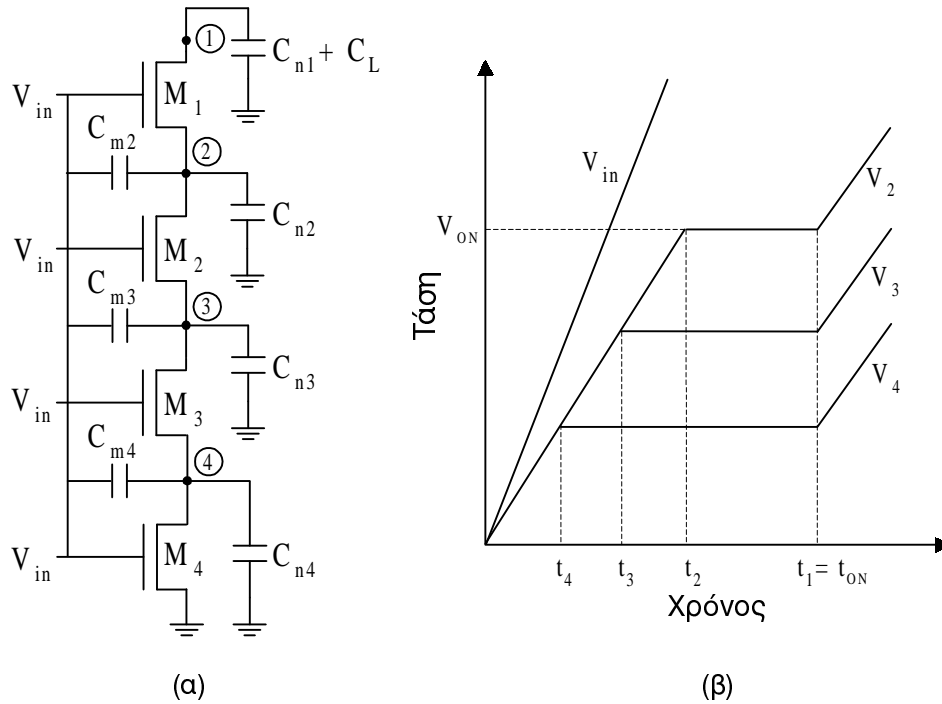
στην Περιοχή B με βάση την *Περίπτωση 1*, ενώ εάν διαπιστώσουμε ότι $t_{\text{satn1}} \leq \tau$, ακολουθούμε την διαδικασία αναγωγής της *Περίπτωσης 2*.

Όπως φάνηκε από την ανάλυση της παραγράφου αυτής, η διαδικασία υπολογισμού του ισοδύναμου πλάτους καναλιού της αλυσίδας σειριακά συνδεδεμένων τρανζίστορ, γίνεται παράλληλα με την ανάλυση της χρονικής απόκρισης του ισοδύναμου αντιστροφέα. Το μεταβλητό ισοδύναμο πλάτος καναλιού της αλυσίδας που προκύπτει κατά την διαδικασία αναγωγής, οδηγεί σε αρκετά ακριβή μοντελοποίηση της κυματομορφής εξόδου των πυλών, σε αντίθεση με το σταθερό ισοδύναμο πλάτος καναλιού που προκύπτει από παλιότερες εργασίες. Για να γίνει η αναγωγή των σειριακά συνδεδεμένων τρανζίστορ σε ένα απλό τρανζίστορ με την τεχνική που παρουσιάστηκε, θα πρέπει αρχικά να γίνει αναγωγή των παράλληλα συνδεδεμένων τρανζίστορ της πύλης. Για να επιτευχθεί αυτό, τα παράλληλα συνδεδεμένα τρανζίστορ αντικαθίστανται από ένα απλό τρανζίστορ με πλάτος καναλιού ίσο με το άθροισμα των πλατών καναλιού των τρανζίστορ που άγουν. Περισσότερες λεπτομέρειες για την αναγωγή των παράλληλα συνδεδεμένων τρανζίστορ, δίνονται στην Παράγραφο 5.5.

5.2.3 Υπολογισμός χρόνου έναρξης αγωγής της αλυσίδας

Λόγω της επίδρασης του φαινομένου σώματος (εξίσωση (5.6)), το χρονικό σημείο που το καθένα τρανζίστορ της αλυσίδας αρχίζει να άγει ($V_{\text{GS}} - V_{\text{T}} = 0$) είναι διαφορετικό. Στην περίπτωση όπου έχουμε την ίδια μετάβαση από την χαμηλή στάθμη στην υψηλή σε όλες τις εισόδους, ο χρόνος έναρξης αγωγής της αλυσίδας ισούται με το χρόνο έναρξης αγωγής του τρανζίστορ που συνδέεται στην έξοδο (M_1 , Σχήμα 5.1). Οι εξισώσεις υπολογισμού του χρονικού σημείου έναρξης αγωγής της αλυσίδας (t_{ON}) και της τάσης πηγής του τρανζίστορ M_1 (V_{ON}) στο σημείο αυτό, παράγονται στη συνέχεια ακολουθώντας τη μεθοδολογία που προτείνεται στην [21].

Καθεμιά από τις χωρητικότητες C_{mi} που φαίνονται στο Σχήμα 5.9α, περιλαμβάνει την χωρητικότητα πύλης-υποδοχής του τρανζίστορ M_i και την χωρητικότητα πύλης-πηγής του τρανζίστορ M_{i-1} . Οι χωρητικότητες C_{ni} αντιπροσωπεύουν τις χωρητικότητες διάχυσης-υποστρώματος των εσωτερικών κόμβων. Αρχικά το φορτίο διαμέσου των χωρητικότητων C_{mi} τείνει να οδηγήσει τις τάσεις των εσωτερικών κόμβων να ακολουθήσουν την κυματομορφή της τάσης εισόδου. Αυτό όμως δεν επιτυγχάνεται εντελώς λόγω του φορτίου διαμέσου των χωρητικότητων C_{ni} . Έτσι, στο διάστημα που δεν υπάρχει αγωγή από τον εσωτερικό κόμβο i προς τη γείωση, η τάση V_i



Σχήμα 5.9: Χωρητικότητες εσωτερικών κόμβων (α) και κυματομορφές τάσεων εσωτερικών κόμβων μέχρι την έναρξη αγωγής της αλυσίδας για $N = 4$ (β)

αυξάνεται με κλίση μικρότερη από εκείνη της κυματομορφής εισόδου (Σχήμα 5.9β). Όταν όμως αποκατασταθεί η αγωγή μεταξύ του εσωτερικού κόμβου και της γείωσης (δηλ. όταν για το τρανζίστορ M_i συμβεί η συνθήκη $V_{GSi} - V_{Ti} = 0$), δημιουργείται ένα αντίθετο φαινόμενο που τείνει να μειώσει την τάση του εσωτερικού κόμβου. Η αντίθετη επίδραση των δύο παραπάνω φαινομένων διαρκεί έως ότου όλη η αλυσίδα αρχίσει να άγει, οπότε η τάση στους εσωτερικούς κόμβους αυξάνεται λόγω του ρεύματος εκφόρτισης της χωρητικότητας εξόδου. Κατά τη διάρκεια της αντίθετης αυτής επίδρασης θεωρούμε ότι η τάση στους εσωτερικούς κόμβους παραμένει σταθερή (Σχήμα 5.9β). Στην πραγματικότητα όμως η τάση αυτή μειώνεται ελαφρώς (Σχήμα 5.5) ή διατηρεί μικρή αυξητική τάση (για αρκετά μικρούς χρόνους μετάβασης εισόδου - Σχήμα 5.3). Ωστόσο, η θεώρηση σταθερής τάσης διευκολύνει τη μοντελοποίηση και δίνει ικανοποιητικά αποτελέσματα για το χρόνο έναρξης αγωγής της αλυσίδας.

Η τάση στον εσωτερικό κόμβο i , μέχρι το χρονικό σημείο που δημιουργείται αγωγή μεταξύ αυτού και της γείωσης, δίνεται από την παρακάτω εξίσωση

$$I_{C_{mi}} = I_{C_{ni}} \Rightarrow C_{mi} \frac{dV_{in} - dV_i}{dt} = C_{ni} \frac{dV_i}{dt},$$

$$V_i = \frac{C_{mi} V_{DD}}{(C_{mi} + C_{ni})\tau} t, \tag{5.26}$$

όπου $C_{mi} = C_{gdo} W_i + C_{gso} W_{i-1}$ (C_{gdo} , C_{gso} είναι οι χωρητικότητες επικάλυψης της πύλης προς την υποδοχή και την πηγή αντίστοιχα, ανά μονάδα πλάτους καναλιού), και η C_{ni} δίνεται προσεγγιστικά από την σχέση (3.3) για μηδενική πόλωση της επαφής διάχυσης-υποστρώματος.

Το χρονικό σημείο έναρξης αγωγής (t_i) μεταξύ του κόμβου i και της γείωσης, δηλαδή το χρονικό σημείο όπου αρχίζει να άγει το τρανζίστορ M_i , υπολογίζεται από την παρακάτω αναδρομική σχέση

$$V_{Gsi}[t_i] - V_{Ti}[t_i] = 0 \Rightarrow V_{in}[t_i] - V_{i+1}[t_{i+1}] - (V_{TON} + \gamma_1 V_{i+1}[t_{i+1}]) = 0,$$

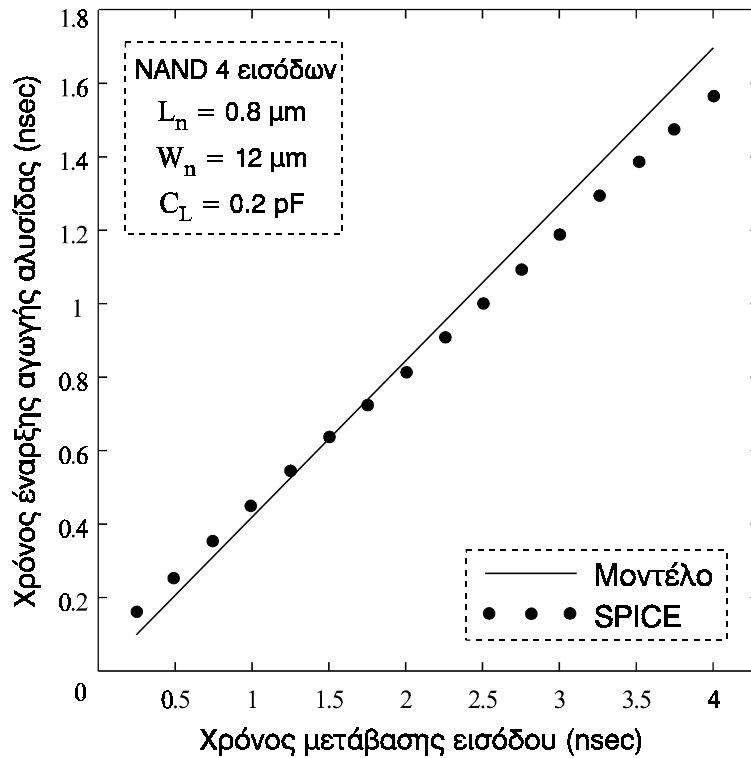
$$t_i = \frac{[V_{TON} + (1 + \gamma_1) V_{i+1}[t_{i+1}]] \tau}{V_{DD}}. \quad (5.27)$$

Ο υπολογισμός αρχίζει από τον κόμβο N για τον οποίο εξάγεται εύκολα το συμπέρασμα ότι $t_N = (V_{TON} / V_{DD}) \tau$, και συνεχίζεται έως τον κόμβο 1. Το χρονικό σημείο έναρξης αγωγής της αλυσίδας (t_{ON}) είναι το σημείο έναρξης αγωγής του τρανζίστορ M_1 (t_1). Κατά τον υπολογισμό του χρονικού σημείου t_i η τιμή της τάσης $V_{i+1}[t_{i+1}]$ υπολογίζεται από την εξίσωση (5.26). Έτσι, η τάση V_{ON} (Σχήμα 5.9(β)) έχει ως εξής

$$V_{ON} = \frac{C_{m2} V_{DD}}{(C_{m2} + C_{n2}) \tau} t_2. \quad (5.28)$$

Λόγω της μορφής της εξίσωσης (5.27), για μια στατική πύλη CMOS αρκεί να υπολογιστεί το χρονικό σημείο t_{ON} για μια μόνο τιμή του χρόνου μετάβασης εισόδου. Στη συνέχεια, η τιμή του t_{ON} για τις υπόλοιπες τιμές του χρόνου μετάβασης εισόδου υπολογίζεται εύκολα από την αναλογία: $(t_{ON1} / \tau_1) = (t_{ON2} / \tau_2)$. Έτσι, όπως φαίνεται από την εξίσωση (5.28), η τιμή της V_{ON} είναι σταθερή για κάθε τιμή του χρόνου μετάβασης εισόδου.

Στο Σχήμα 5.10, συγκρίνονται οι τιμές του t_{ON} που υπολογίστηκαν με βάση την παραπάνω μέθοδο, με εκείνες που παράχθηκαν από εξομοιώσεις με το SPICE, για την περίπτωση τεσσάρων σειριακά συνδεδεμένων τρανζίστορ, τεχνολογίας 0.8 μm . Η απόκλιση των υπολογισμένων τιμών από εκείνες που προκύπτουν από κυκλωματικές εξομοιώσεις, οφείλεται στη θεώρηση σταθερής τάσης σε κάθε εσωτερικό κόμβο i στο διάστημα $[t_i, t_{ON}]$. Για μικρούς χρόνους μετάβασης εισόδου, οι υπολογιζόμενες τιμές του t_{ON} είναι μικρότερες από εκείνες που προκύπτουν τις κυκλωματικές εξομοιώσεις, λόγω της μικρής αύξησης της τάσης των εσωτερικών κόμβων στο διάστημα $[t_i, t_{ON}]$, ενώ για μεγαλύτερους χρόνους μετάβασης εισόδου οι υπολογιζόμενες τι-



Σχήμα 5.10: Χρόνος έναρξης αγωγής αλυσίδας συναρτήσει του χρόνου μετάβασης εισόδου, για N = 4

μές είναι μεγαλύτερες, λόγω της μικρής μείωσης της τάσης των εσωτερικών κόμβων στο διάστημα αυτό.

Μετά την εισαγωγή του χρόνου έναρξης αγωγής της αλυσίδας, θα πρέπει να γίνουν κάποιες μικρές τροποποιήσεις στις εκφράσεις της τάσης εξόδου του αντιστροφέα CMOS των δύο πρώτων περιοχών, που δόθηκαν στο προηγούμενο κεφάλαιο, για την περίπτωση όπου τα σειριακά συνδεδεμένα τρανζίστορ λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης της χωρητικότητας εξόδου. Δεδομένου λοιπόν ότι η έναρξη αγωγής της αλυσίδας συμβαίνει στο χρονικό σημείο t_{ON} , το δεξί όριο της πρώτης περιοχής λειτουργίας του αντιστροφέα είναι η τιμή του κανονικοποιημένου χρόνου $x_{ON} = t_{ON} / \tau$ και όχι η τιμή $x = n$. Επίσης, η έκφραση της κανονικοποιημένης τάσης εξόδου στην περιοχή αυτή που δίνεται από την εξίσωση (4.13), μετατρέπεται ως εξής

$$u_{out} = 1 + c_m y_{ON}^{-1} \left(1 - e^{-y_{ON} x} \right), \tag{5.29}$$

όπου $y_{ON} = A_{lp} (1 - p - x_{ON} / 2)^{\alpha_p / 2}$.

Στην δεύτερη περιοχή λειτουργίας του ισοδύναμου αντιστροφέα πρέπει επίσης να γίνουν κάποιες μετατροπές. Κατά τη γραμμική προσέγγιση του ρεύματος του τραν-

ζίστορ βραχυκυκλώματος (εξίσωση (4.14)) θεωρείται ότι η ελάχιστη τιμή του συμβαίνει στο σημείο του κανονικοποιημένου χρόνου $x_s = (x_{ON} + n) / 2$ και όχι στο σημείο $x = n$. Στη συνέχεια, η κλίση του ρεύματος S' του τρανζίστορ βραχυκυκλώματος στην περιοχή αυτή, υπολογίζεται εάν εξισώσουμε το ακριβές ρεύμα όπως δίνεται από το μοντέλο δύναμης του α με το γραμμικό ρεύμα, στο σημείο $x'_c = (1 - p - n + x_s) / 2$. Μετά από τις παραπάνω μετατροπές, η έκφραση της κανονικοποιημένης τάσης εξόδου στην περιοχή 2, που δίνεται από την εξίσωση (4.16), μετατρέπεται ως εξής

$$u_{out} = 1 + c_m(x - x_{ON} + R') + I'_{pmin} d(x - x_{ON}) + \frac{S' d(x - x_{ON})(x - n)}{2} - \frac{A_{sn} [(x - n)^{\alpha_n + 1} - (x - x_{ON})^{\alpha_n + 1}]}{\alpha_n + 1}, \quad (5.30)$$

$$\text{όπου} \quad R' = y_{ON}^{-1} (1 - e^{-x_{ON} y_{ON}}), \quad I'_{pmin} = -k_{Ip} (1 - x_{ON} - p)^{\alpha_p / 2} R' c_m,$$

$$S' = \frac{2k_{Ip} (1 - p - x'_c)^{\alpha_p / 2} [c_m (x_{ON} - x'_c - R') + A_{sn} (\alpha_n + 1)^{-1} B - I'_{pmin} d(x'_c - x_{ON})] - 2I'_{pmin}}{A_{Ip} (1 - p - x'_c)^{\alpha_p / 2} (x'_c - n)(x'_c - x_{ON}) - (n + x_{ON} - 2x'_c)}$$

$$\text{και} \quad B = (x'_c - n)^{\alpha_n + 1} - (x_{ON} - n)^{\alpha_n + 1}.$$

Μετά τον υπολογισμό του χρόνου έναρξης αγωγής της αλυσίδας (t_{ON}), έχει μοντελοποιηθεί το σημαντικότερο μέρος της επίδρασης των χωρητικότητας πύλης-υποδοχής, πύλης-πηγής και περιοχών διάχυσης των σειριακά συνδεδεμένων τρανζίστορ, όταν αυτά λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης της χωρητικότητας εξόδου. Η χωρητικότητα πύλης-υποδοχής (C_{gd1}) του τρανζίστορ που συνδέεται στον κόμβο εξόδου προστίθεται στην ισοδύναμη χωρητικότητα σύζευξης εισόδου-εξόδου, που όπως έχει προαναφερθεί προκαλεί την υπέρβαση της τάσης εξόδου πάνω από την τάση τροφοδοσίας. Ωστόσο, η συμμετοχή της C_{gd1} στην υπέρβαση αυτή είναι μικρή, αφού αρχικά το τρανζίστορ M_1 λειτουργεί στην περιοχή αποκοπής και στη συνέχεια στην περιοχή κόρου. Το μέγεθος και η διάρκεια της υπέρβασης της τάσης εξόδου καθορίζεται κυρίως από τις χωρητικότητες πύλης-υποδοχής των παράλληλα συνδεδεμένων τρανζίστορ (Παράγραφος 5.5). Βέβαια, στη διάρκεια της υπέρβασης επιδρούν και οι χωρητικότητες των τρανζίστορ της αλυσίδας, αφού καθυστερούν την έναρξη της εκφόρτισης του κόμβου εξόδου. Οι χωρητικότητες των περιοχών διάχυσης των εσωτερικών κόμβων της αλυσίδας, εκτός από την επίδραση τους στην καθυστέρηση έναρξης αγωγής της αλυσίδας, επιδρούν και στη συνέχεια κατά την εκφόρ-

τιση του κόμβου εξόδου. Ωστόσο, εκτεταμένες εξομοιώσεις με το SPICE δείχνουν ότι η επίδραση αυτή είναι πολύ μικρή, οπότε αγνοείται κατά τη μοντελοποίηση.

5.2.4 Μοντελοποίηση επίδρασης αριθμού και θέσης των εισόδων υπό μετάβαση

Στην παράγραφο αυτή, παρουσιάζεται μια τεχνική μοντελοποίησης της επίδρασης του αριθμού και της θέσης των εισόδων που βρίσκονται υπό μετάβαση, στο ισοδύναμο πλάτος καναλιού της αλυσίδας. Η τεχνική αυτή είναι εμπειρική, αλλά όπως θα δούμε στη συνέχεια, βασίζεται στην ανάλυση όλων των φαινομένων που επιδρούν κατά την εκφόρτιση της χωρητικότητας εξόδου μέσω μιας αλυσίδας σειριακά συνδεδεμένων τρανζίστορ.

Τα τρανζίστορ της αλυσίδας με μετάβαση στην είσοδό τους (δηλ. στον ακροδέκτη πύλης) παρουσιάζουν αρχικά μικρότερη αγωγιμότητα από εκείνα που είναι μονίμως σε κατάσταση αγωγής ($V_{in} = V_{DD}$), λόγω της μικρότερης τάσης πύλης που έχουν κατά την διάρκεια της μετάβασης εισόδου. Έτσι, η περίπτωση όπου όλες οι εισοδοί βρίσκονται υπό μετάβαση (η οποία αναλύθηκε στις Παραγράφους 5.2.1–5.2.3) οδηγεί στη μεγαλύτερη καθυστέρηση εκφόρτισης της χωρητικότητας εξόδου.

Παρατηρώντας την διαδικασία εκφόρτισης του κόμβου εξόδου μιας πύλης μέσω της αλυσίδας σειριακά συνδεδεμένων τρανζίστορ, για διάφορους συνδυασμούς μεταβάσεων εισόδων, καταλήγουμε στα παρακάτω συμπεράσματα. Όταν η μετάβαση εισόδων είναι αρκετά γρήγορη σε σχέση με τη μετάβαση εξόδου, η περίπτωση όπου υπάρχει μετάβαση στον ακροδέκτη πύλης των τρανζίστορ (NMOS) που βρίσκονται κοντά στην έξοδο παρουσιάζει μικρότερη καθυστέρηση εκφόρτισης, από την περίπτωση όπου υπάρχει μετάβαση στον ακροδέκτη πύλης των τρανζίστορ που βρίσκονται κοντά στη γείωση. Αυτό συμβαίνει επειδή τα τρανζίστορ που βρίσκονται κοντά στη γείωση πρέπει να εκφορτίσουν και τις χωρητικότητες των εσωτερικών κόμβων που βρίσκονται πάνω από αυτά, οι οποίες είναι προφορτισμένες σε τάση $V_{DD} - V_{TN}$. Για βραδύτερες μεταβάσεις εισόδων συμβαίνει το αντίθετο φαινόμενο, επειδή τα τρανζίστορ που είναι κοντά στη γείωση παρουσιάζουν μικρότερη τάση κατωφλίου, ενώ η τάση πύλης-πηγής είναι μεγαλύτερη σε σχέση με εκείνη των τρανζίστορ που βρίσκονται κοντά στην έξοδο. Έτσι, το ρεύμα υποδοχής των τρανζίστορ που βρίσκονται κοντά στη γείωση λαμβάνει ταχύτερα τη μέγιστη τιμή του, με αποτέλεσμα την ταχύτερη εκφόρτιση της χωρητικότητας εξόδου. Το φαινόμενο αυτό δεν είναι

σημαντικό στην πρώτη περίπτωση όπου η μετάβαση εισόδων είναι αρκετά ταχύτερη από τη μετάβαση εξόδου, επειδή οι τάσεις στους ακροδέκτες πύλης λαμβάνουν την τελική τους τιμή αρκετά νωρίς (όταν η διαφορά της τάσης εξόδου από την τάση τροφοδοσίας είναι μικρή), με αποτέλεσμα η επίδραση της διαφοράς στις τάσεις πύλης-πηγής των τρανζίστορ να μην επηρεάζει σημαντικά την ταχύτητα εκφόρτισης της χωρητικότητας εξόδου.

Εκτεταμένες κυκλωματικές εξομοιώσεις έχουν δείξει ότι οι κυματομορφές της τάσης εξόδου για τους διάφορους συνδυασμούς μεταβάσεων εισόδων είναι μετατοπισμένες παράλληλα [251], δηλαδή η κλίση τους διατηρείται αλλά μετατοπίζονται δεξιά ή αριστερά κατά μήκος του χρονικού άξονα ανάλογα με το συνδυασμό των μεταβάσεων εισόδων. Με βάση την παρατήρηση αυτή, συμπεραίνουμε ότι το ισοδύναμο πλάτος καναλιού της αλυσίδας για τους διάφορους συνδυασμούς μεταβάσεων εισόδων, μπορεί να υπολογιστεί πολλαπλασιάζοντας το ισοδύναμο πλάτος καναλιού της αλυσίδας που έχει προκύψει για την περίπτωση όπου όλες οι εισοδοί βρίσκονται υπό μετάβαση (η οποία παρουσιάζει το ελάχιστο ισοδύναμο πλάτος καναλιού), με ένα συντελεστή $m > 1$. Έτσι, όλοι οι συνδυασμοί μεταβάσεων εισόδων ανάγονται στην αρχική περίπτωση μετάβασης όλων των εισόδων, με βάση τον παραπάνω πολλαπλασιασμό στην πρώτη (A) περιοχή λειτουργίας της αλυσίδας. Κατά τον υπολογισμό του συντελεστή m θα πρέπει να ληφθούν υπόψη τα δύο συμπεράσματα που αναφέρθηκαν παραπάνω. Έτσι, ο συντελεστής αυτός εξαρτάται από τη θέση και τον αριθμό των εισόδων που βρίσκονται υπό μετάβαση και από τη σχέση μεταξύ της κυματομορφής εισόδων και της κυματομορφής εξόδου. Με σκοπό τον καθορισμό της σχέσης αυτής χρησιμοποιείται μια απλή παράμετρος (G) που αποτελεί καθαρό αριθμό και περιλαμβάνει την ικανότητα οδήγησης της αλυσίδας, το χρόνο μετάβασης των εισόδων, το φορτίο εξόδου και την τάση τροφοδοσίας,

$$G = \frac{I_{DON} \tau}{C_L V_{DD}},$$

όπου I_{DON} είναι το ρεύμα υποδοχής ενός τρανζίστορ με πλάτος καναλιού W / N , για $V_{GS} = V_{DS} = V_{DD}$, που αποτελεί ένα καλό μέτρο της ικανότητας οδήγησης της αλυσίδας. Η αύξηση του G υποδηλώνει ότι η μετάβαση εισόδου γίνεται αργότερη σε σχέση με τη μετάβαση εξόδου.

Κυκλωματικές εξομοιώσεις έχουν δείξει ότι ο συντελεστής m παρουσιάζει εκθετική εξάρτηση από την παράμετρο G . Η εκθετική συνάρτηση του G που χρησιμο-

ποιείται για τον υπολογισμό του συντελεστή m , έχει ως εξής

$$m = m_{vf} + (m_{vs} - m_{vf}) [1 - e^{-d(G-0.2)}]. \quad (5.31)$$

m_{vf} είναι ο συντελεστής που αφορά την περίπτωση όπου η μετάβαση εισόδων είναι πολύ ταχύτερη από τη μετάβαση εξόδου, στην οποία κυριαρχεί η επίδραση των προφορισμένων χωρητικότητων των εσωτερικών κόμβων. m_{vs} είναι ο συντελεστής που αφορά πολύ αργές μεταβάσεις εισόδων σε σχέση με τη μετάβαση εξόδου. Οι τιμές του m_{vf} για όλους τους συνδυασμούς μεταβάσεων εισόδων, δίνονται στον Πίνακα 5.2. Εξάγονται από εξομοιώσεις με το SPICE, για $G = 0.2$ (όπου η κλίση της μετάβασης εισόδου είναι 4–5 φορές μεγαλύτερη από εκείνη της εξόδου), ακολουθώντας την παρακάτω μέθοδο. Αρχικά, προσαρμόζεται το πλάτος καναλιού ενός τρανζίστορ, έτσι ώστε να παρουσιάζει την ίδια καθυστέρηση εκφόρτισης με την αλυσίδα στην περιοχή του $V_{DD} / 2$, όταν όλες οι εισοδοί βρίσκονται υπό μετάβαση. Στη συνέχεια γίνεται το ίδιο για τους υπόλοιπους συνδυασμούς μεταβάσεων εισόδων. Έτσι, η τιμή του συντελεστή m_{vf} για ένα συνδυασμό μεταβάσεων εισόδου υπολογίζεται ως ο λόγος του πλάτους καναλιού που προκύπτει από τον υπό εξέταση συνδυασμό δια το πλάτος καναλιού που προκύπτει από το πρώτο βήμα της μεθόδου. Οι τιμές του συντελεστή m_{vs} υπολογίζονται με τον ίδιο τρόπο, για $G = 10$ (όπου η κλίση της μετάβασης εισόδου είναι 4–5 φορές μικρότερη από εκείνη της εξόδου) και δίνονται στον Πίνακα 5.3. Οι τιμές των συντελεστών m_{vf} και m_{vs} που δίνονται στους Πίνακες 5.2 και 5.3 έχουν εξαχθεί χρησιμοποιώντας μια αλυσίδα που αποτελείται από τρανζίστορ πλάτους καναλιού 12 μm τεχνολογίας 0.8 μm . Ωστόσο, οι τιμές τους μπορούν να χρησιμοποιηθούν και για διαφορετικό πλάτος καναλιού των τρανζίστορ, παρέχοντας ακριβή αποτελέσματα.

Το επόμενο βήμα είναι ο καθορισμός του εκθετικού συντελεστή d . Χρησιμοποιώντας το SPICE υπολογίζουμε τις τιμές του m για 3–4 τιμές του G , στο διάστημα μεταξύ $G = 0.2$ και $G = 10$, με βάση τη μέθοδο που αναφέρθηκε παραπάνω. Ο υπολογισμός γίνεται N φορές, εφαρμόζοντας μετάβαση σε μία είσοδο της αλυσίδας κάθε φορά (N : συνολικός αριθμός εισόδων). Υπολογίζουμε στη συνέχεια τις τιμές του εκθετικού συντελεστή d από την εξίσωση (5.31), χρησιμοποιώντας τις τιμές του m που προέκυψαν από τις εξομοιώσεις. Η μέση τιμή των τιμών αυτών αποτελεί και την τελική τιμή του εκθετικού συντελεστή που χρησιμοποιείται για όλους τους συνδυασμούς μεταβάσεων εισόδων. Στον Πίνακα 5.4, δίνονται οι τιμές του συντελεστή d για $2 \leq N \leq 5$, που έχουν εξαχθεί χρησιμοποιώντας τρανζίστορ τεχνολογίας 0.8 μm .

Είσοδοι υπό μετάβαση	m_{vf}		
	Αριθμός εισόδων		
	4	3	2
1	1.19	1.12	1.07
2	1.14	1.06	1.02
1, 2	1.08	1.03	1
3	1.06	1.03	
1, 3	1.12	1.09	
2, 3	1.035	1.02	
1, 2, 3	1.04	1	
1, 4	1.16		
2, 4	1.06		
3, 4	1.03		
4	1.045		
1, 2, 4	1.05		
1, 3, 4	1.06		
2, 3, 4	1.02		
1, 2, 3, 4	1		

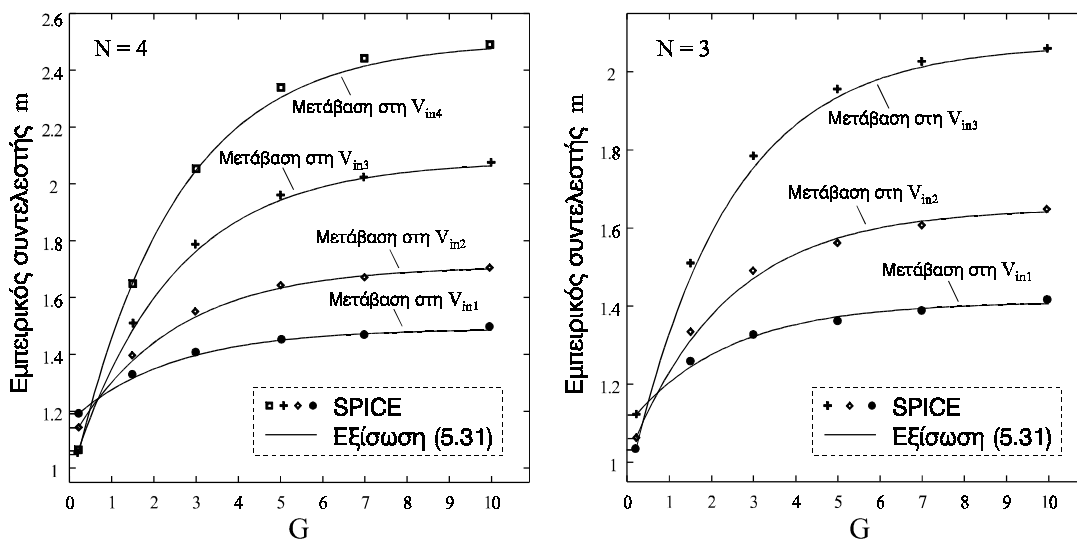
Πίνακας 5.2: Τιμές του συντελεστή m_{vf} (η είσοδος με αριθμό 1 είναι εκείνη που βρίσκεται πλησιέστερα στον κόμβο εξόδου)

Είσοδοι υπό μετάβαση	m_{vs}		
	Αριθμός εισόδων		
	4	3	2
1	1.49	1.41	1.29
2	1.71	1.65	1.60
1, 2	1.245	1.12	1
3	2.08	2.07	
1, 3	1.27	1.15	
2, 3	1.34	1.29	
1, 2, 3	1.10	1	
1, 4	1.305		
2, 4	1.38		
3, 4	1.52		
4	2.50		
1, 2, 4	1.115		
1, 3, 4	1.13		
2, 3, 4	1.20		
1, 2, 3, 4	1		

Πίνακας 5.3: Τιμές του συντελεστή m_{vs} (η είσοδος με αριθμό 1 είναι εκείνη που βρίσκεται πλησιέστερα στον κόμβο εξόδου)

Αριθμός εισόδων (N)	d
2	0.433
3	0.426
4	0.417
5	0.405

Πίνακας 5.4: Τιμές του εκθετικού συντελεστή d για $2 \leq N \leq 5$



Σχήμα 5.11: Εμπειρικός συντελεστής m συναρτήσει της παραμέτρου G

Στο Σχήμα 5.11, δίνεται μια σύγκριση μεταξύ των τιμών του εμπειρικού συντελεστή m που υπολογίστηκαν από την εξίσωση (5.31) και εκείνων που παράχθηκαν από κυκλωματικές εξομοιώσεις. Παρατηρώντας το διάγραμμα για $N = 3$, συμπεραίνουμε ότι όταν η παράμετρος G φτάνει περίπου στην τιμή 0.5, η περίπτωση μετάβασης της εισόδου που βρίσκεται πλησιέστερα στην έξοδο παρουσιάζει ίδιο συντελεστή m (δηλ. το ίδιο ισοδύναμο πλάτος καναλιού) με εκείνη της μετάβασης της εισόδου που βρίσκεται πλησιέστερα στη γείωση. Αυτό συμβαίνει διότι, στο σημείο αυτό υπάρχει ισορροπία μεταξύ των επιδράσεων των δύο φαινομένων που αναφέρθηκαν στην αρχή της παραγράφου. Παρόμοια συμπεράσματα προκύπτουν και από το διάγραμμα που αφορά την περίπτωση τεσσάρων εισόδων.

Για να ολοκληρωθεί η αναγωγή των συνδυασμών μεταβάσεων εισόδων στην περίπτωση όπου υπάρχει ταυτόχρονη μετάβαση σε όλες τις εισόδους, πρέπει να υ-

πολογιστεί και ο χρόνος έναρξης της αλυσίδας για κάθε συνδυασμό μεταβάσεων. Κυκλωματικές εξομοιώσεις για διάφορες τιμές του χρόνου μετάβασης εισόδου, έχουν δείξει ότι ο χρόνος έναρξης αγωγής της αλυσίδας για κάθε συνδυασμό μεταβάσεων μπορεί να υπολογιστεί με πολλαπλασιασμό του χρόνου έναρξης αγωγής της περίπτωσης όπου υπάρχει μετάβαση σε όλες τις εισόδους με ένα συντελεστή (b). Η τιμή του συντελεστή αυτού είναι για όλους τους συνδυασμούς μεταβάσεων μικρότερη από 1, αφού ο χρόνος έναρξης αγωγής της αλυσίδας λαμβάνει τη μεγαλύτερη τιμή στην περίπτωση όπου υπάρχει μετάβαση σε όλες τις εισόδους. Αυτό συμβαίνει επειδή στην περίπτωση αυτή, η έναρξη αγωγής καθυστερείται λόγω της επίδρασης του φορτίου διαμέσου των χωρητικότητων πύλης-υποδοχής και πύλης-πηγής όλων των τρανζίστορ της αλυσίδας, ενώ στους υπόλοιπους συνδυασμούς μεταβάσεων κάποια τρανζίστορ βρίσκονται σε κατάσταση μόνιμης αγωγής. Οι τιμές του συντελεστή b για όλους τους συνδυασμούς μεταβάσεων εισόδων δίνονται στον Πίνακα 5.5 και έχουν παραχθεί για τρανζίστορ τεχνολογίας 0.8 μm .

Είσοδοι υπό μετάβαση	b		
	Αριθμός εισόδων		
	4	3	2
1	0.43	0.48	0.59
2	0.55	0.62	0.77
1, 2	0.59	0.82	1
3	0.65	0.75	
1, 3	0.58	0.71	
2, 3	0.75	0.92	
1, 2, 3	0.82	1	
1, 4	0.57		
2, 4	0.74		
3, 4	0.77		
4	0.71		
1, 2, 4	0.77		
1, 3, 4	0.71		
2, 3, 4	0.93		
1, 2, 3, 4	1		

Πίνακας 5.5: Τιμές του συντελεστή b (η είσοδος με αριθμό 1 είναι εκείνη που βρίσκεται πλησιέστερα στον κόμβο εξόδου)

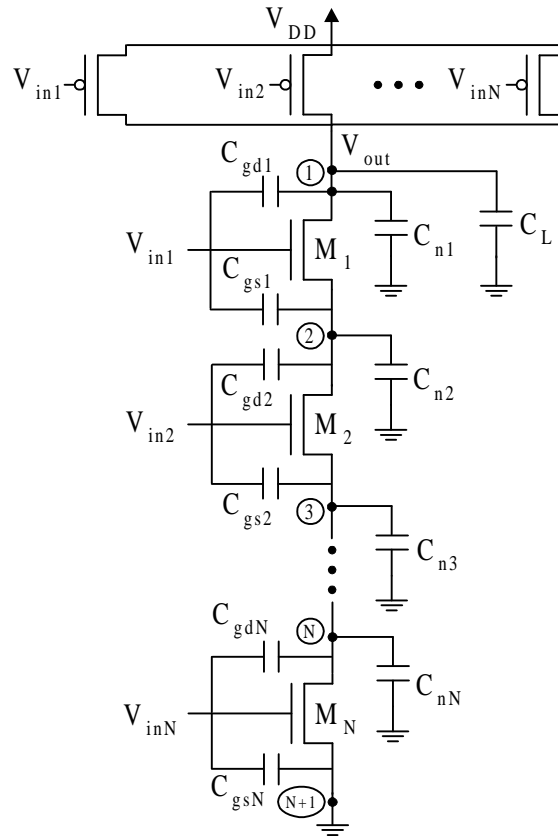
5.3 Μοντελοποίηση σειριακά συνδεδεμένων τρανζίστορ όταν λειτουργούν ως κλάδος βραχυκυκλώματος

Στη παράγραφο αυτή γίνεται μελέτη της λειτουργίας των σειριακά συνδεδεμένων τρανζίστορ όταν αυτά λειτουργούν ως κλάδος βραχυκυκλώματος μιας στατικής πύλης CMOS, με κύριο σκοπό τον υπολογισμό του πλάτους καναλιού του τρανζίστορ βραχυκυκλώματος του ισοδύναμου αντιστροφέα. Υπολογίζεται επίσης η συμμετοχή των σειριακών τρανζίστορ στη χωρητικότητα σύζευξης μεταξύ της εισόδου και της εξόδου του ισοδύναμου αντιστροφέα. Ο υπολογισμός αυτός είναι απαραίτητος για την μοντελοποίηση της χρονικής απόκρισης και της κατανάλωσης ενέργειας βραχυκυκλώματος του ισοδύναμου αντιστροφέα. Ένα ακόμη στοιχείο που είναι απαραίτητο για τον υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος, είναι ο υπολογισμός της χωρητικότητας μεταξύ της εισόδου και της γείωσης (ή μεταξύ της εισόδου και της τροφοδοσίας όταν πρόκειται για τρανζίστορ PMOS) του ισοδύναμου αντιστροφέα. Όπως και στην Παράγραφο 5.2, αναλύεται μόνο η λειτουργία μιας αλυσίδας τρανζίστορ NMOS, που λειτουργεί ως κλάδος βραχυκυκλώματος μιας πύλης NAND πολλαπλών εισόδων. Η περίπτωση μιας αλυσίδας τρανζίστορ PMOS, αντιμετωπίζεται με συμμετρικό τρόπο.

Αν και ο κλάδος βραχυκυκλώματος σε μια στατική πύλη CMOS έχει επίδραση δευτερεύουσας σημασίας σε σχέση με την επίδραση του κλάδου φόρτισης ή εκφόρτισης της εξόδου, επιχειρείται στην παράγραφο αυτή η ξεχωριστή ανάλυσή του, αφού όπως διαπιστώθηκε στα δύο προηγούμενα κεφάλαια η επίδρασή του είναι σημαντική, ιδιαίτερα στην περίπτωση αργών μεταβάσεων εισόδων. Κοινό μειονέκτημα των περισσότερων τεχνικών αναγωγής στατικών πυλών CMOS σε ισοδύναμους αντιστροφείς που έχουν αναπτυχθεί μέχρι σήμερα, είναι το ότι δεν συμπεριλαμβάνουν (ή μοντελοποιούν με απλοποιημένες θεωρήσεις) την περίπτωση όπου η αλυσίδα των τρανζίστορ λειτουργεί ως κλάδος βραχυκυκλώματος.

5.3.1 Αναγωγή της αλυσίδας σε ισοδύναμο τρανζίστορ

Η ανάλυση που γίνεται στη παράγραφο αυτή, αφορά την αλυσίδα των σειριακά συνδεδεμένων τρανζίστορ της πύλης NAND N-εισόδων που φαίνεται στο Σχήμα 5.12. Στο ίδιο σχήμα φαίνονται και οι χωρητικότητες των εσωτερικών κόμβων της αλυσίδας, στις οποίες θα γίνει αναφορά κατά τη διάρκεια της ανάλυσης. Όταν η αλυσίδα λειτουργεί ως κλάδος βραχυκυκλώματος, υπάρχει κατερχόμενη μετάβαση ($V_{DD} \rightarrow 0$)



Σχήμα 5.12: Πύλη NAND N-εισόδων με τις χωρητικότητες των εσωτερικών κόμβων

σε μία ή περισσότερες εισόδους. Η κυματομορφή της τάσης εξόδου της πύλης καθορίζεται κυρίως από τα παράλληλα τρανζίστορ PMOS, που σε αυτή την περίπτωση λειτουργούν ως κλάδος φόρτισης της χωρητικότητας εξόδου. Η τάση των ακροδεκτών πηγής των τρανζίστορ της αλυσίδας με μετάβαση στην είσοδο λαμβάνει αρκετά μικρότερες τιμές από εκείνες που έχει στην περίπτωση όπου η αλυσίδα λειτουργεί ως κλάδος εκφόρτισης της χωρητικότητας εξόδου και μεταφέρει το ρεύμα εκφόρτισης αλλά και το ρεύμα βραχυκυκλώματος. Οπότε, η επίδραση του φαινομένου σώματος στην περίπτωση αυτή δεν είναι σημαντική.

Για τον υπολογισμό του πλάτους καναλιού του ισοδύναμου τρανζίστορ στην περίπτωση όπου η αλυσίδα λειτουργεί ως κλάδος βραχυκυκλώματος χρησιμοποιούμε την παρακάτω σχέση

$$W_{eq} = q W_L, \quad (5.32)$$

όπου το πλάτος καναλιού W_L δίνεται με βάση την κλασική θεώρηση υπολογισμού του ισοδύναμου πλάτους καναλιού σειριακά συνδεδεμένων τρανζίστορ,

$$\frac{1}{W_L} = \frac{1}{W_1} + \frac{1}{W_2} + \dots + \frac{1}{W_N},$$

και q είναι ένας διορθωτικός εμπειρικός συντελεστής που εξαρτάται από τον αριθμό των εισόδων που βρίσκονται υπό μετάβαση. Ο συντελεστής αυτός για μια δεδομένη τεχνολογία προκύπτει εύκολα από κυκλωματικές εξομοιώσεις με το SPICE, ακολουθώντας την μέθοδο που περιγράφεται παρακάτω.

Αρχικά εξαιρούμε την επίδραση των χωρητικότητων των εσωτερικών κόμβων (Σχήμα 5.12) μηδενίζοντας τις σχετικές παραμέτρους του εξομοιωτή SPICE (TOX, CGDO, CGSO) και τις διαστάσεις των περιοχών διάχυσης των τρανζίστορ. Στη συνέχεια, εκτελούμε εξομοιώσεις για όλους τους πιθανούς συνδυασμούς μεταβάσεων εισόδων και καθορίζουμε το πλάτος καναλιού ενός απλού τρανζίστορ το οποίο εάν αντικαταστήσει την αλυσίδα, η κυματομορφή εξόδου της πύλης θα είναι η ίδια. Παρατηρούμε τότε ότι με την εξαίρεση των χωρητικότητων των εσωτερικών κόμβων, η κυματομορφή της τάσης εξόδου δεν εξαρτάται από τη θέση των εισόδων της αλυσίδας που βρίσκονται υπό μετάβαση, αλλά μόνο από το πλήθος τους. Έτσι, για μια τεχνολογία CMOS, αρκούν μονάχα N εξομοιώσεις για τον καθορισμό του συντελεστή q . Με εφαρμογή λοιπόν της παραπάνω διαδικασίας για μια τεχνολογία 0.8 μm (Πίνακας 4.4), προκύπτουν οι τιμές του q που δίνονται στον Πίνακα 5.6.

Η τιμή του συντελεστή q αυξάνεται, όταν ο αριθμός των εισόδων που βρίσκονται υπό μετάβαση μειώνεται. Αυτό είναι φυσικό, διότι τα τρανζίστορ με μετάβαση στην είσοδο παρουσιάζουν μικρότερη αγωγιμότητα από εκείνα που βρίσκονται μονίμως σε κατάσταση αγωγής. Το πλάτος καναλιού W_L θα αποτελούσε μια καλή προσέγγιση του ισοδύναμου πλάτους καναλιού της αλυσίδας εάν όλα τα τρανζίστορ λειτουργούσαν στη γραμμική περιοχή. Ακόμη όμως και στην περίπτωση όπου έχουμε ταυτόχρονη μετάβαση σε όλες τις εισόδους, η τιμή του εμπειρικού συντελεστή είναι

Αριθμός εισόδων υπό μετάβαση	q		
	Συνολικός αριθμός εισόδων		
	4	3	2
1	1.90	1.72	1.58
2	1.45	1.31	1.11
3	1.15	1.08	
4	1.05		

Πίνακας 5.6: Τιμές του διορθωτικού συντελεστή q

μεγαλύτερη του 1. Αυτό συμβαίνει διότι, αν και τα τρανζίστορ M_2 έως M_N λειτουργούν μονίμως στη γραμμική περιοχή πριν αποκοπούν, το τρανζίστορ M_1 εισέρχεται μετά τη γραμμική του περιοχή στην περιοχή κόρου, αυξάνοντας έτσι την αγωγιμότητα της αλυσίδας.

Όπως αναφέρθηκε παραπάνω, η θέση των εισόδων που βρίσκονται σε μετάβαση δεν επηρεάζει το πλάτος καναλιού του ισοδύναμου τρανζίστορ. Ωστόσο, εάν δεν εξαιρεθούν οι χωρητικότητες των εσωτερικών κόμβων της αλυσίδας (Σχήμα 5.12), η διαδικασία φόρτισης του κόμβου εξόδου που εκτελεί η πύλη είναι βραδύτερη όταν η είσοδος ή οι εισοδοί που βρίσκονται υπό μετάβαση είναι κοντά στη γείωση. Αυτό συμβαίνει διότι, με τη προσθήκη των χωρητικότητων των ενδιάμεσων κόμβων που βρίσκονται πάνω από το πρώτο τρανζίστορ (μετρώντας από τον κόμβο εξόδου προς τα κάτω) με μετάβαση στην είσοδο, αυξάνεται η χωρητικότητα που φορτίζεται κατά την ανερχόμενη μετάβαση της τάσης εξόδου. Η συμμετοχή των χωρητικότητων των εσωτερικών κόμβων της αλυσίδας, στη συνολική χωρητικότητα που φορτίζεται κατά τη διάρκεια της μεταγωγής της πύλης εξαρτάται από τη θέση κάθε εσωτερικού κόμβου στην αλυσίδα. Αυτό συμβαίνει επειδή, η μεταφορά του φορτίου στις χωρητικότητες αυτές γίνεται διαμέσου διαφορετικού αριθμού καναλιών τρανζίστορ. Με βάση την παραπάνω ανάλυση η χωρητικότητα που πρέπει να προστεθεί στον κόμβο εξόδου μοντελοποιείται ως εξής

$$C_O = \left[\sum_{i=1}^k r_i (C_{gd i} + C_{gs i-1}) \right] - r_k C_{gd k} + C_n, \quad (5.33)$$

όπου k είναι ο ακροδέκτης υποδοχής του πρώτου τρανζίστορ M_k (μετρώντας από τον κόμβο εξόδου προς τα κάτω) με μετάβαση στην είσοδο που του αντιστοιχεί και r_i ο συντελεστής βάρους που εξαρτάται από τη θέση κάθε εσωτερικού κόμβου στην αλυσίδα των σειριακά συνδεδεμένων τρανζίστορ,

$$r_i = \frac{N+1-i}{N}. \quad (5.34)$$

Η τιμή αυτή του συντελεστή βάρους r_i αποτελεί καλή προσέγγιση στην περίπτωση που τα τρανζίστορ της αλυσίδας έχουν το ίδιο πλάτος καναλιού, η οποία όπως αναφέρθηκε στην Παράγραφο 5.2.2 συμβαίνει στις τυπικές στατικές πύλες CMOS.

Η χωρητικότητα C_n αντιπροσωπεύει την συμμετοχή των χωρητικότητων των περιοχών διάχυσης των εσωτερικών κόμβων που βρίσκονται πάνω από το τρανζίστορ k

και υπολογίζεται ως εξής

$$C_n = K_1 \sum_{i=1}^k r_i C_{joi} A_i + K_2 \sum_{i=1}^k r_i C_{jswoi} P_i, \quad (5.35)$$

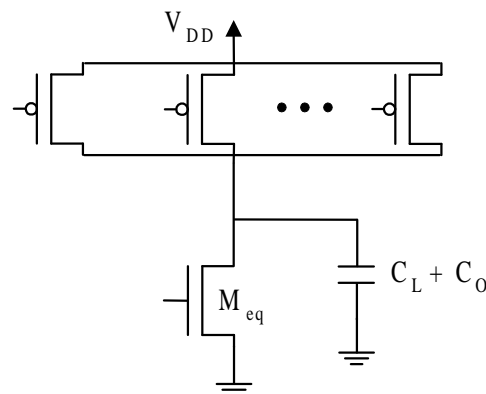
όπου C_{joi} και C_{jswoi} είναι οι χωρητικότητες μηδενικής πόλωσης ανά μονάδα επιφάνειας και περιφέρειας της περιοχής διάχυσης του κόμβου i , αντίστοιχα, A_i και P_i η επιφάνεια και η περιφέρεια της περιοχής διάχυσης του κόμβου i , αντίστοιχα, και K_1 , K_2 είναι οι συντελεστές γραμμικοποίησης που δίνονται στην εξίσωση (3.3).

Η χωρητικότητα πύλης-υποδοχής του τρανζίστορ k (C_{gdk}) εξαιρείται από τη χωρητικότητα που προστίθεται στον κόμβο εξόδου, αφού όπως θα δούμε στην επόμενη παράγραφο, λαμβάνεται υπόψη στη μοντελοποίηση του φαινομένου σύζευξης μεταξύ της εισόδου και της εξόδου της πύλης. Οι χωρητικότητες πύλης-υποδοχής και πύλης-πηγής που παρουσιάζονται στην εξίσωση (5.33) υπολογίζονται ως εξής [8]

$$C_{gdi} = C_{gsi} = \frac{1}{2} C_{ox} W_i L_i + C_{gd(s)o} W_i, \quad (5.36)$$

λόγω του ότι τα τρανζίστορ χωρίς μετάβαση στην είσοδο που βρίσκονται πάνω από το τρανζίστορ k , λειτουργούν στη γραμμική τους περιοχή στη μεγαλύτερη διάρκεια της μετάβασης εξόδου της πύλης.

Με βάση λοιπόν την παραπάνω ανάλυση, η αλυσίδα σειριακά συνδεδεμένων τρανζίστορ όταν λειτουργεί ως κλάδος βραχυκυκλώματος, αντικαθίσταται από ένα ισοδύναμο τρανζίστορ με πλάτος καναλιού που δίνεται από την εξίσωση (5.32), με παράλληλη αύξηση της χωρητικότητας εξόδου κατά την χωρητικότητα C_o που δίνεται από την εξίσωση (5.33) (Σχήμα 5.13).

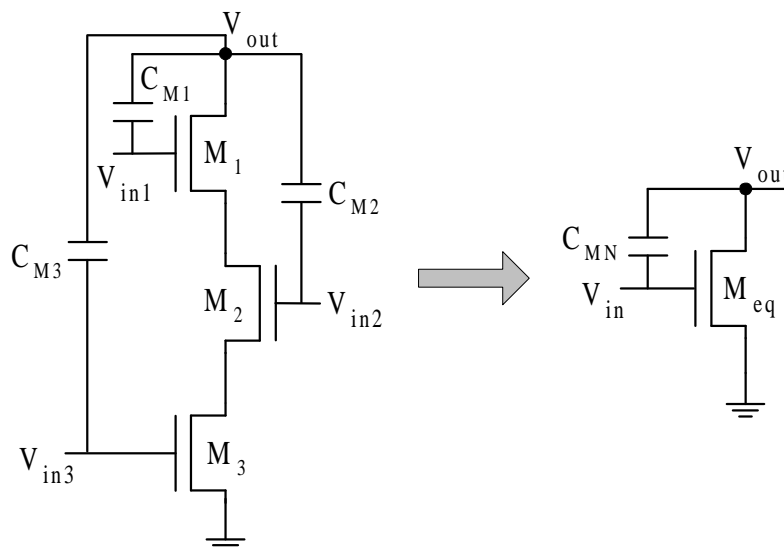


Σχήμα 5.13: Αντικατάσταση της αλυσίδας από ένα ισοδύναμο τρανζίστορ με παράλληλη αύξηση της χωρητικότητας εξόδου

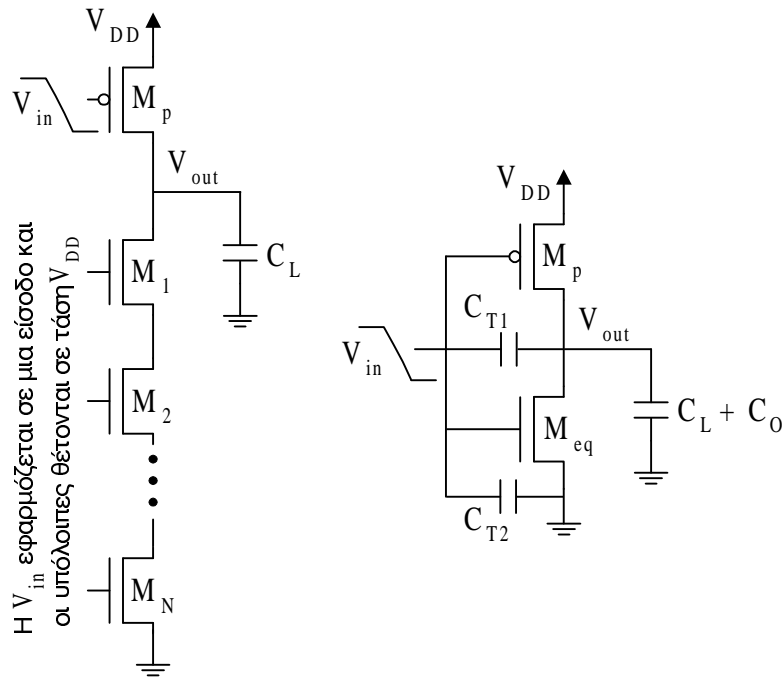
5.3.2 Υπολογισμός της ισοδύναμης χωρητικότητας σύζευξης μεταξύ εισόδου και εξόδου

Στην παράγραφο αυτή, παρουσιάζεται ο υπολογισμός της συμμετοχής των σειριακά συνδεδεμένων τρανζίστορ όταν λειτουργούν ως κλάδος βραχυκυκλώματος, στη χωρητικότητα σύζευξης εισόδου-εξόδου (C_M) του ισοδύναμου αντιστροφέα. Η συμμετοχή των χωρητικότητας πύλης-υποδοχής και πύλης-πηγής καθενός από τα τρανζίστορ της αλυσίδας (Σχήμα 5.12) στην ισοδύναμη χωρητικότητα σύζευξης, μοντελοποιείται με χρήση πλασματικών χωρητικότητας μεταξύ του ακροδέκτη πύλης κάθε τρανζίστορ και της εξόδου (Σχήμα 5.14). Το άθροισμα των χωρητικότητας αυτών δίνει την ισοδύναμη χωρητικότητα σύζευξης (C_{MN}) που αφορά τα σειριακά συνδεδεμένα τρανζίστορ. Τα τρανζίστορ χωρίς μετάβαση στην είσοδο που τους αντιστοιχεί, δε συμμετέχουν στη χωρητικότητα C_{MN} αφού δεν διέπονται από το φαινόμενο σύζευξης. Αρχικά, χρησιμοποιώντας δύο κυκλώματα μέτρησης καθορίζεται η τιμή της ισοδύναμης χωρητικότητας C_{MN} , μέσω κυκλωματικών εξομοιώσεων με το SPICE, ενώ στη συνέχεια παράγονται αναλυτικές εκφράσεις για τον υπολογισμό της, οι οποίες οδηγούν σε αποτελέσματα που είναι πολύ κοντά σε εκείνα που προκύπτουν από τις εξομοιώσεις.

Τα δύο κυκλώματα μέτρησης που χρησιμοποιούνται δίνονται στο Σχήμα 5.15 (η χωρητικότητα C_{T2} αναφέρεται στην επόμενη παράγραφο). Επειδή οι αρνητικές τιμές που λαμβάνει η τάση εξόδου (ανερχόμενη περίπτωση) στη αρχή της μετάβασής της,



Σχήμα 5.14: Συμμετοχή των σειριακά συνδεδεμένων τρανζίστορ στην ισοδύναμη χωρητικότητα σύζευξης εισόδου-εξόδου ($N = 3$)



Σχήμα 5.15: Κυκλώματα μέτρησης της ισοδύναμης χωρητικότητας σύζευξης (C_{MN}) των σειριακά συνδεδεμένων τρανζίστορ

οφείλονται στο φαινόμενο σύζευξης (δηλ. στο φορτίο διαμέσου των χωρητικότητων σύζευξης), θέτουμε στη χωρητικότητα C_{T1} του δευτέρου κυκλώματος μέτρησης τέτοια τιμή έτσι ώστε η βύθιση της τάσης εξόδου (σε αρνητικές τιμές) να είναι όμοια με εκείνη της εξόδου του πρώτου κυκλώματος μέτρησης. Εάν κατά την εξομοίωση του δευτέρου κυκλώματος μέτρησης, εξαιρεθεί η επίδραση της χωρητικότητας πύλης-υποδοχής του ισοδύναμου τρανζίστορ (θέτοντας $TOX = 0$ και $CGDO = 0$), τότε η τιμή της C_{T1} ισούται με την τιμή της C_{MN} . Η παραπάνω διαδικασία επαναλαμβάνεται για φορές, εφαρμόζοντας κάθε φορά κατερχόμενη είσοδο σε ένα τρανζίστορ της αλυσίδας του πρώτου κυκλώματος μέτρησης και θέτοντας τα υπόλοιπα σε σταθερή τάση πύλης ίση με την τάση τροφοδοσίας. Κατά τις εξομοιώσεις χρησιμοποιείται ένα πλάτος καναλιού αναφοράς (W_{no}) για τα τρανζίστορ της αλυσίδας. Αφού οι χωρητικότητες πύλης-υποδοχής και πύλης-πηγής των τρανζίστορ είναι ανάλογες προς το πλάτος καναλιού, η χωρητικότητα C_{MN} για τρανζίστορ της ίδιας τεχνολογίας με διαφορετικό πλάτος καναλιού υπολογίζεται ως εξής

$$C_{MN} = C_{MNO} \frac{W_n}{W_{no}},$$

όπου C_{MNO} είναι η ισοδύναμη χωρητικότητα σύζευξης που υπολογίστηκε χρησιμοποιώντας τρανζίστορ με πλάτος καναλιού W_{no} . Για να είναι έντονο το φαινόμενο σύ-

Είσοδος υπό μετάβαση	C_{MN} (fF)			
	Αριθμός τρανζίστορ αλυσίδας			
	5	4	3	2
1	27	25.5	24	23
2	20.5	18	14.5	8.6
3	14	10	5.3	
4	8	3.5		
5	3			

Πίνακας 5.7: Τιμές ισοδύναμης χωρητικότητας C_{MN} που προκύπτουν από τις κυκλωματικές εξομοιώσεις (η είσοδος με αριθμό 1 είναι εκείνη που βρίσκεται πλησιέστερα στον κόμβο εξόδου)

ζευξης, χρησιμοποιείται μικρός χρόνος μετάβασης στις εισόδους των κυκλωμάτων μέτρησης. Εκτεταμένες κυκλωματικές εξομοιώσεις έχουν δείξει ότι η ισοδύναμη χωρητικότητα σύζευξης στην περίπτωση όπου υπάρχει μετάβαση σε περισσότερες από μία εισόδους, μπορεί να υπολογιστεί με πρόσθεση των χωρητικότητων που προκύπτουν από τις αντίστοιχες περιπτώσεις απλής μετάβασης. Στον Πίνακα 5.7, δίνονται οι τιμές της C_{MN} για $2 \leq N \leq 5$, οι οποίες έχουν προκύψει από τα κυκλώματα μέτρησης του Σχήματος 5.15 με παραμέτρους: $W_n = W_p = 12 \mu\text{m}$, $L_n = L_p = 0.8 \mu\text{m}$, $\tau = 0.2 \text{ ns}$, $C_L = 0.2 \text{ pF}$.

Από τις τιμές του Πίνακα 5.7 εξάγεται το συμπέρασμα ότι η συμμετοχή των χωρητικότητων πύλης-υποδοχής και πύλης-πηγής ενός τρανζίστορ στην ισοδύναμη χωρητικότητα σύζευξης, μικραίνει όσο το τρανζίστορ αυτό απομακρύνεται από τον κόμβο εξόδου. Αυτό συμβαίνει επειδή, όταν ένα τρανζίστορ της αλυσίδας δε συνδέεται στον κόμβο εξόδου, το φορτίο σύζευξης που του αντιστοιχεί μεταφέρεται διαμέσου των καναλιών των τρανζίστορ που βρίσκονται πάνω από αυτό. Με σκοπό τη μοντελοποίηση του φαινομένου αυτού, έτσι ώστε να αποφευχθεί η διαδικασία εξομοίωσης των κυκλωμάτων μέτρησης, χρησιμοποιείται η παρακάτω σχέση

$$C_{MN} = r_k C_{gdk} + r_{k+1} C_{gsk}, \quad (5.37)$$

όπου k είναι ο ακροδέκτης υποδοχής του τρανζίστορ (M_k) του οποίου η είσοδος βρίσκεται υπό μετάβαση (Σχήμα 5.12) και r_k είναι ο συντελεστής βάρους που εξαρτάται από τη θέση του τρανζίστορ αυτού,

$$r_k = \frac{N+1-k}{N}. \quad (5.38)$$

Όπως αναφέρθηκε παραπάνω, η C_{MN} όταν υπάρχει μετάβαση σε περισσότερες από μία εισόδους, υπολογίζεται με πρόσθεση των χωρητικότητων που προκύπτουν από τις αντίστοιχες περιπτώσεις απλής μετάβασης. Όταν το ισοδύναμο τρανζίστορ λειτουργεί στη γραμμική του περιοχή οι χωρητικότητες πύλης-υποδοχής και πύλης-πηγής που απαιτούνται για τον υπολογισμό της C_{MN} υπολογίζονται από την εξίσωση (5.36). Στον Πίνακα 5.8, δίνονται οι τιμές της ισοδύναμης χωρητικότητας σύζευξης που υπολογίστηκαν από την εξίσωση (5.37), με βάση τις κυκλωματικές παραμέτρους που χρησιμοποιήθηκαν για την εξαγωγή των τιμών του Πίνακα 5.7. Παρατηρούμε ότι η απόκλιση μεταξύ των τιμών των δύο πινάκων είναι πολύ μικρή, γεγονός που αποδεικνύει την εγκυρότητα της μοντελοποίησης που δόθηκε παραπάνω.

Όταν το ισοδύναμο τρανζίστορ λειτουργεί στην περιοχή κόρου οι χωρητικότητες πύλης-υποδοχής και πύλης-πηγής που απαιτούνται για τον υπολογισμό της C_{MN} υπολογίζονται από τις παρακάτω εξισώσεις [8]

$$C_{gdi} = C_{gdo} W_i \tag{5.39}$$

$$C_{gsi} = \frac{2}{3} C_{ox} W_i L_i + C_{gso} W_i \tag{5.40}$$

Όταν το ισοδύναμο τρανζίστορ αποκόπτεται, η μόνη χωρητικότητα που συμμετέχει στην ισοδύναμη χωρητικότητα σύζευξης, είναι η χωρητικότητα επικάλυψης πύλης-υποδοχής του πρώτου τρανζίστορ (μετρώντας από το κόμβο εξόδου προς τα κάτω) του οποίου η είσοδος βρίσκεται υπό μετάβαση. Αυτό συμβαίνει διότι, για τα υπόλοιπα τρανζίστορ με μετάβαση στην είσοδο που τους αντιστοιχεί, δεν υπάρχει αγωγίμο μονοπάτι προς τον κόμβο εξόδου.

Είσοδος υπό μετάβαση	C_{MN} (fF)			
	Αριθμός τρανζίστορ αλυσίδας			
	5	4	3	2
1	26.6	25.4	24.6	22.2
2	20.8	18.5	14.8	7.4
3	14.8	11	4.9	
4	8.9	3.7		
5	2.9			

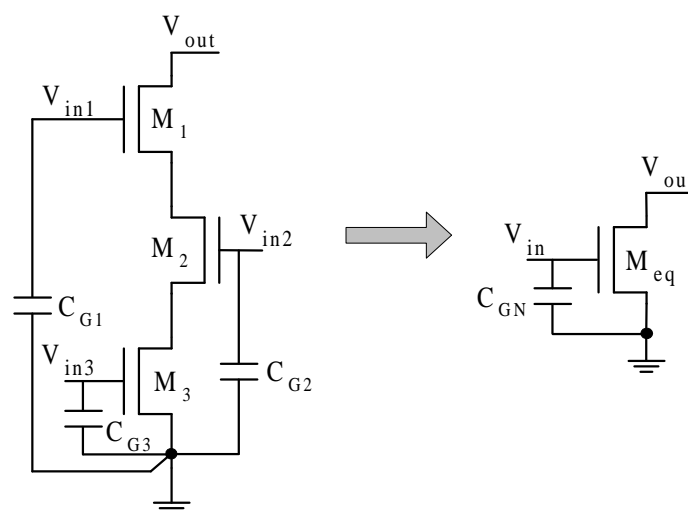
Πίνακας 5.8: Τιμές ισοδύναμης χωρητικότητας C_{MN} που υπολογίστηκαν από την εξίσωση (5.37) ($C_{ox} = 2.2 \text{ fF}/\mu\text{m}^2$, $C_{gdo} = C_{gso} = 0.35 \text{ fF}/\mu\text{m}$)

5.3.3 Υπολογισμός της ισοδύναμης χωρητικότητας μεταξύ εισόδου και τροφοδοσίας ή γείωσης

Στην παράγραφο αυτή, παρουσιάζεται ο υπολογισμός της συμμετοχής των σειριακά συνδεδεμένων τρανζίστορ όταν λειτουργούν ως κλάδος βραχυκυκλώματος, στη χωρητικότητα μεταξύ της εισόδου και της γείωσης (ή της τροφοδοσίας όταν πρόκειται για τρανζίστορ PMOS) του ισοδύναμου αντιστροφέα. Όπως προέκυψε από την ανάλυση της Παραγράφου 4.4, το ρεύμα διαμέσου της χωρητικότητας αυτής προκαλεί συρρίκνωση του παλμού του ρεύματος βραχυκυκλώματος, με αποτέλεσμα τη μείωση της ενέργειας βραχυκυκλώματος.

Η συμμετοχή των χωρητικότητων πύλης-υποδοχής και πύλης-πηγής καθενός από τα τρανζίστορ της αλυσίδας (Σχήμα 5.12) στην ισοδύναμη χωρητικότητα μεταξύ της εισόδου και της γείωσης, μοντελοποιείται με χρήση πλασματικών χωρητικότητων μεταξύ του ακροδέκτη πύλης κάθε τρανζίστορ και της γείωσης (Σχήμα 5.16). Όπως και στην περίπτωση της χωρητικότητας σύζευξης που εξετάστηκε στην προηγούμενη παράγραφο, το άθροισμα των χωρητικότητων αυτών δίνει την ισοδύναμη χωρητικότητα σύζευξης (C_{GN}), που αφορά τα σειριακά συνδεδεμένα τρανζίστορ. Τα τρανζίστορ χωρίς μετάβαση στην είσοδο που τους αντιστοιχεί, δε συμμετέχουν στη χωρητικότητα C_{GN} αφού δεν υπάρχει μεταβολή τάσης στις χωρητικότητες μεταξύ της πύλης τους και της υποδοχής ή της πηγής τους.

Αντίθετα με την περίπτωση της χωρητικότητας σύζευξης εισόδου-εξόδου, τη μεγαλύτερη συμμετοχή στη χωρητικότητα εισόδου-γείωσης παρουσιάζει το τρανζί-



Σχήμα 5.16: Συμμετοχή των σειριακά συνδεδεμένων τρανζίστορ στην ισοδύναμη χωρητικότητα εισόδου-γείωσης ($N = 3$)

στορ που συνδέεται στη γείωση. Αυτό συμβαίνει επειδή, όταν ένα τρανζίστορ της αλυσίδας δε συνδέεται στη γείωση, το φορτίο λόγω της μετάβασης στην είσοδο που του αντιστοιχεί, μεταφέρεται διαμέσου των καναλιών των τρανζίστορ που βρίσκονται κάτω από αυτό. Μια μέθοδος παρόμοια με εκείνη της Παραγράφου 5.3.2, μπορεί να χρησιμοποιηθεί για τη μέτρηση της C_{GN} μέσω εξομοίωσης. Στην περίπτωση αυτή όμως, πρέπει να εισαχθεί μια επιπλέον χωρητικότητα (C_{T2}) μεταξύ της εισόδου και της γείωσης στο δεύτερο κύκλωμα μέτρησης του Σχήματος 5.15. Επειδή οι αρνητικές τιμές που λαμβάνει το ρεύμα του κλάδου βραχυκυκλώματος οφείλονται στην παρουσία των χωρητικότητων σύζευξης εισόδου-εξόδου και εισόδου-γείωσης (βλ. Παράγραφο 4.4) και η ισοδύναμη χωρητικότητα εισόδου-εξόδου έχει ήδη μετρηθεί (C_{T1}), θέτουμε στη χωρητικότητα C_{T2} τέτοια τιμή έτσι ώστε ο αρνητικός παλμός του ρεύματος βραχυκυκλώματος να είναι όμοιος με εκείνον του πρώτου κυκλώματος μέτρησης. Εάν κατά την εξομοίωση του δευτέρου κυκλώματος μέτρησης, εξαιρέσουμε και την επίδραση της χωρητικότητας πύλης-πηγής του ισοδύναμου τρανζίστορ (θέτοντας $TOX = 0$, $CGSO = 0$), τότε η τιμή της C_{T2} ισούται με την τιμή της C_{GN} .

Για να μοντελοποιηθεί η συμμετοχή κάθε τρανζίστορ της αλυσίδας στην ισοδύναμη χωρητικότητα εισόδου-γείωσης, έτσι ώστε να αποφευχθεί η διαδικασία εξομοίωσης των κυκλωμάτων μέτρησης, χρησιμοποιείται η παρακάτω σχέση

$$C_{GN} = (1-r_k) C_{gdk} + (1-r_{k+1}) C_{gsk}, \quad (5.41)$$

όπου k είναι ο ακροδέκτης υποδοχής του τρανζίστορ (M_k) του οποίου η είσοδος βρίσκεται υπό μετάβαση (Σχήμα 5.12) και r_k είναι ο συντελεστής βάρους που εξαρτάται από την θέση του τρανζίστορ αυτού (εξίσωση (5.38)).

Η ισοδύναμη χωρητικότητα C_{GN} , όταν υπάρχει μετάβαση σε περισσότερες από μία εισόδους, υπολογίζεται με πρόσθεση των χωρητικότητων που προκύπτουν από τις αντίστοιχες περιπτώσεις απλής μετάβασης. Όταν το ισοδύναμο τρανζίστορ λειτουργεί στη γραμμική του περιοχή, οι χωρητικότητες πύλης-υποδοχής και πύλης-πηγής που απαιτούνται για τον υπολογισμό της C_{GN} υπολογίζονται από την εξίσωση (5.36), ενώ όταν λειτουργεί στην περιοχή κόρου υπολογίζονται από τις εξισώσεις (5.39) και (5.40). Όπως προκύπτει από τις εξισώσεις (5.37) και (5.41), η συμμετοχή στη C_{MN} της χωρητικότητας πύλης-πηγής του τρανζίστορ που συνδέεται στη γείωση και η συμμετοχή στη C_{GN} της χωρητικότητας πύλης-υποδοχής του τρανζίστορ που συνδέεται στην έξοδο, είναι μηδενικές. Αυτό συμβαίνει επειδή, οι δύο αυτές χωρητικότητες συμμετέχουν ολοκληρωτικά στις C_{GN} και C_{MN} , αντίστοιχα.

5.4 Ευρετικές μέθοδοι υπολογισμού ισοδύναμης εισόδου για σειριακά συνδεδεμένα τρανζίστορ με χρονικά επικαλυπτόμενες εισόδους

Στην παράγραφο αυτή, μελετάται η περίπτωση όπου οι εισόδοι σε μια αλυσίδα σειριακά συνδεδεμένων τρανζίστορ όταν λειτουργεί ως κλάδος φόρτισης ή εκφόρτισης της χωρητικότητας εξόδου, δεν είναι όμοιες, αλλά οι μεταβάσεις τους παρουσιάζουν χρονική επικάλυψη μεταξύ τους. Επειδή λοιπόν, τα φαινόμενα που συμβαίνουν λόγω της παρουσίας εισόδων με διαφορετικό χρόνο εκκίνησης και διάρκειας της μετάβασης είναι πολύπλοκα, καθίσταται αναγκαίος ο καθορισμός μιας ισοδύναμης εισόδου. Έτσι, έχουν αναπτυχθεί αρκετές μέθοδοι υπολογισμού της εισόδου αυτής [20],[21],[41],[48],[258] με σκοπό η εφαρμογή της στα σειριακά συνδεδεμένα τρανζίστορ, να οδηγεί στην ίδια χρονική απόκριση με εκείνη που θα προέκυπτε εάν εφαρμόζονταν οι πραγματικές εισόδοι.

Όταν η χωρητικότητα εξόδου μιας στατικής πύλης CMOS φορτίζεται ή εκφορτίζεται διαμέσου σειριακά συνδεδεμένων τρανζίστορ, η ταχύτητα φόρτισης ή εκφόρτισης καθορίζεται κυρίως από τις εισόδους με την πιο αργή μετάβαση [20],[48]. Οπότε και η ισοδύναμη είσοδος θα πρέπει να εξαρτάται κυρίως από τα χαρακτηριστικά των εισόδων αυτών. Στη [48], ως ισοδύναμη είσοδος λαμβάνεται εκείνη που αρχίζει να μεταβαίνει τελευταία. Η απλοποιημένη αυτή προσέγγιση όμως, οδηγεί σε μεγάλο σφάλμα ιδιαίτερα όταν ο αριθμός των σειριακά συνδεδεμένων τρανζίστορ είναι μεγάλος. Παρόμοια, στη [41] ως ισοδύναμη είσοδος λαμβάνεται εκείνη που φτάνει τελευταία σε ένα κατώφλι τάσης ($0.2 \cdot V_{DD}$ για την ανερχόμενη περίπτωση και $0.8 \cdot V_{DD}$ για την κατερχόμενη).

Κυκλωματικές εξομοιώσεις με το SPICE, έχουν δείξει ότι η κυρίαρχη είσοδος όσον αφορά τη χρονική απόκριση μιας πύλης, είναι αυτή που φτάνει τελευταία το λογικό κατώφλι τάσης $V_{DD} / 2$ [21],[259]. Ωστόσο, για τον καθορισμό της ισοδύναμης εισόδου, θα πρέπει να μεταβληθεί η κλίση και ο χρόνος εκκίνησης της κυρίαρχης εισόδου, έτσι ώστε να ληφθεί υπόψη η επίδραση των υπολοίπων εισόδων. Στην μεθοδολογία που έχει αναπτυχθεί στην [20], αρχικά οι εισόδοι που τερματίζουν τη μετάβασή τους πριν τη λήξη του χρόνου εκκίνησης της εισόδου που αρχίζει να μεταβαίνει τελευταία ($t_L = \max(t_1, t_2, \dots, t_N)$, t_1, t_2, \dots, t_N είναι οι χρόνοι εκκίνησης της μετάβασης των N εισόδων), θεωρούνται ότι έχουν μονίμως την τελική τους τιμή (V_{DD} για την ανερχόμενη περίπτωση και 0 για την κατερχόμενη). Η μετάβαση των εισόδων αυτών

δεν επιδρά στη χρονική απόκριση της πύλης, αφού η αλυσίδα των σειριακά συνδεδεμένων τρανζίστορ δεν άγει, πριν τη λήξη του χρόνου εκκίνησης της εισόδου που αρχίζει να μεταβαίνει τελευταία. Ως χρόνος εκκίνησης της ισοδύναμης εισόδου λαμβάνεται ο μικρότερος από τους χρόνους εκκίνησης ($t_0 = \min(t_1, t_2, \dots, t_q)$) των εναπομεινάντων εισόδων ($q < N$). Ο χρόνος μετάβασης της ισοδύναμης εισόδου δίνεται στην [20], ως εξής

$$\tau = \max(t_{\text{end}1} - t_0, t_{\text{end}2} - t_0, \dots, t_{\text{end}q} - t_0), \quad (5.42)$$

όπου $t_{\text{end}i}$ είναι η χρονική στιγμή όπου η είσοδος i φτάνει στην τελική της τιμή (V_{DD} για την ανερχόμενη περίπτωση και 0 για την κατερχόμενη). Μια σημαντική πηγή σφάλματος της παραπάνω μεθόδου, είναι η χρησιμοποίηση του ελάχιστου χρόνου εκκίνησης, ενώ είναι δεδομένο ότι η αλυσίδα των σειριακά συνδεδεμένων τρανζίστορ δεν άγει πριν τη λήξη του χρόνου εκκίνησης της εισόδου που αρχίζει να μεταβαίνει τελευταία. Το σφάλμα αυτό αντισταθμίζεται με τη χρησιμοποίηση της παραπάνω εξίσωσης, όπου ως διάρκεια μετάβασης της ισοδύναμης εισόδου λαμβάνεται ο μέγιστος χρόνος $t_{\text{end}i} - t_0$. Ωστόσο, αυτό δεν συμβαίνει σε όλες τις περιπτώσεις με αποτέλεσμα το σφάλμα της μεθόδου αυτής να είναι μεγάλο, ιδιαίτερα όταν η είσοδος που αρχίζει να μεταβαίνει τελευταία, παρουσιάζει μικρό χρόνο επικάλυψης με τις υπόλοιπες εισόδους.

Στις [21] και [258], ως χρόνος εκκίνησης της μετάβασης της ισοδύναμης εισόδου λαμβάνεται ο μέγιστος χρόνος εκκίνησης ($t_0 = t_L$), ο οποίος όπως αναφέρθηκε παραπάνω οδηγεί σε ορθότερα αποτελέσματα. Στη συνέχεια, ορίζεται το χρονικό σημείο t_m , όπου η είσοδος που τερματίζει τη μετάβασή της τελευταία, φτάνει στο λογικό κατώφλι τάσης $V_{DD}/2$. Εάν δύο ή περισσότερες εισοδοί τερματίζουν τη μετάβασή τους ταυτόχρονα, τότε το χρονικό σημείο t_m λαμβάνεται από εκείνη που ξεκινάει να μεταβαίνει αργότερα από τις υπόλοιπες. Όσες εισοδοί (k) έχουν ξεπεράσει τα $2/3$ της V_{DD} (ή είναι μικρότερες από το $1/3$ της V_{DD} για την κατερχόμενη περίπτωση) στο χρονικό σημείο t_m , θεωρούνται σταθερές στην τελική τους τιμή (V_{DD} για την ανερχόμενη περίπτωση και 0 για την κατερχόμενη). Αυτό γίνεται διότι κυκλωματικές εξομοιώσεις έχουν δείξει ότι η επίδραση της μετάβασης των εισόδων αυτών στη χρονική απόκριση, δεν είναι σημαντική. Έτσι, στον καθορισμό της διάρκειας μετάβασης της ισοδύναμης εισόδου που δίνεται από την παρακάτω εξίσωση, συμμετέχουν μονάχα οι υπόλοιπες εισοδοί ($m = N - k$).

$$\tau = \frac{\sum_{i=1}^m \left(1 - \frac{V_i[t=t_0]}{V_{DD}} \right) (t_{\text{endi}} - t_0)}{m}, \quad (5.43)$$

όπου $V_i[t=t_0]$ είναι η τιμή της εισόδου i στο χρονικό σημείο t_0 και t_{endi} η χρονική στιγμή όπου η είσοδος i φτάνει στην τελική της τιμή. Για την κατερχόμενη περίπτωση, στην παραπάνω εξίσωση το περιεχόμενο των πρώτων παρενθέσεων του αριθμητή αντικαθίσταται από την έκφραση $V_i[t=t_0]/V_{DD}$. Η εξίσωση (5.43) δίνει ουσιαστικά μια μέση διάρκεια μετάβασης, στην οποία λαμβάνεται υπόψη η διάρκεια μετάβασης κάθε εισόδου μετά το χρονικό σημείο εκκίνησης t_0 , καθώς και το εύρος μεταβολής της τάσης στη διάρκεια αυτή.

Η εφαρμογή των δύο παραπάνω ευρετικών μεθόδων υπολογισμού της ισοδύναμης εισόδου σε στατικές πύλες CMOS διαφόρων εισόδων, όπως θα δούμε στην Παράγραφο 5.6, δείχνει ότι η δεύτερη [21],[258] οδηγεί σε αρκετά πιο ακριβή αποτελέσματα από την πρώτη [20]. Στην δεύτερη μέθοδο, ο χρόνος διάρκειας της ισοδύναμης εισόδου στην περίπτωση όπου δεν υπάρχει μετάβαση σε όλες τις εισόδους, πολλαπλασιάζεται με ένα συντελεστή βάρους, που εξαρτάται από τον αριθμό των εισόδων που έχουν (ή έχει θεωρηθεί ότι έχουν) μονίμως την τελική τους τιμή. Το τελευταίο αυτό βήμα, δεν υιοθετείται στην παρούσα διατριβή, όπου η επίδραση των σταθερών εισόδων μοντελοποιείται κατά τον υπολογισμό του ισοδύναμου πλάτους καναλιού της αλυσίδας (Παράγραφος 5.2.4) με βάση τη σχέση μεταξύ της μετάβασης εισόδου και της μετάβασης εξόδου. Η επίδραση της σχέσης αυτής δε συμπεριλαμβάνεται στην τεχνική αναγωγής που προτείνεται στις [21],[258].

Στις στατικές πύλες CMOS, η ισοδύναμη είσοδος καθορίζεται από τον κλάδο φόρτισης ή εκφόρτισης του κόμβου εξόδου που μεταφέρει το ρεύμα φόρτισης ή εκφόρτισης και το ρεύμα βραχυκυκλώματος, αφού η επίδραση του κλάδου βραχυκυκλώματος σε αυτή δεν είναι σημαντική [20]. Έτσι, η ισοδύναμη είσοδος στην περίπτωση όπου η αλυσίδα των σειριακά συνδεδεμένων τρανζίστορ λειτουργεί ως κλάδος βραχυκυκλώματος, καθορίζεται από τα παράλληλα συνδεδεμένα τρανζίστορ που σε αυτή την περίπτωση λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης του κόμβου εξόδου (Παράγραφος 5.5).

5.5 Μοντελοποίηση παράλληλα συνδεδεμένων τρανζίστορ

Στην παράγραφο αυτή, παρουσιάζεται η αναγωγή των παράλληλα συνδεδεμέ-

ων τρανζίστορ μιας στατικής πύλης CMOS, σε ένα ισοδύναμο τρανζίστορ. Κατά την αναγωγή αυτή, εξετάζεται και η περίπτωση όπου οι είσοδοι της πύλης όταν τα παράλληλα συνδεδεμένα τρανζίστορ λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης της χωρητικότητας εξόδου, παρουσιάζουν χρονική επικάλυψη μεταξύ τους. Επίσης, καθορίζεται η συμμετοχή των παράλληλα συνδεδεμένων τρανζίστορ στις χωρητικότητες του ισοδύναμου αντιστροφέα.

Μια ακριβής και απλή τεχνική αναγωγής των παράλληλα συνδεδεμένων τρανζίστορ, είναι η αντικατάστασή τους από ένα ισοδύναμο τρανζίστορ με πλάτος καναλιού ίσο με το άθροισμα των πλατών καναλιού των τρανζίστορ που άγουν [41],[48], [113],[250]. Έτσι, το πλάτος του ισοδύναμου τρανζίστορ δίνεται από την παρακάτω εξίσωση

$$W_{eq} = \sum_{i=1}^m W_i, \quad (5.44)$$

όπου $m \leq N$ είναι ο αριθμός των τρανζίστορ με μετάβαση στην είσοδο που τους αντιστοιχεί. Η εξίσωση (5.44) ισχύει με την προϋπόθεση ότι οι μεταβάσεις στις εισόδους είναι ταυτόχρονες. Στην περίπτωση όπου οι μεταβάσεις δεν είναι ταυτόχρονες, η φόρτιση ή η εκφόρτιση της χωρητικότητας εξόδου (όταν αυτή γίνεται διαμέσου των παράλληλα συνδεδεμένων τρανζίστορ) αρχίζει με την έναρξη της μετάβασης σε μια από τις εισόδους. Τα υπόλοιπα τρανζίστορ των οποίων οι είσοδοι αρχίζουν να μεταβαίνουν αργότερα, συμμετέχουν στη φόρτιση ή την εκφόρτιση της χωρητικότητας εξόδου, με διαφορετική επίδραση το καθένα, ανάλογα με τη διάρκεια και το χρόνο εκκίνησης της μετάβασης στην είσοδο που τους αντιστοιχεί. Με βάση τα παραπάνω, στην περίπτωση χρονικά επικαλυπτόμενων εισόδων, το πλάτος του ισοδύναμου τρανζίστορ δίνεται από την παρακάτω εξίσωση

$$W_{eq} = \sum_{i=1}^m S_i W_i, \quad (5.45)$$

όπου S_i είναι ο συντελεστής βάρους που καθορίζει τη συμμετοχή κάθε τρανζίστορ στο πλάτος καναλιού του ισοδύναμου τρανζίστορ. Τα τρανζίστορ των οποίων η είσοδος αρχίζει να μεταβαίνει μετά το χρονικό σημείο όπου η είσοδος με την ταχύτερη μετάβαση φτάνει στην τελική της τιμή, δε συμμετέχουν στη φόρτιση ή την εκφόρτιση της χωρητικότητας εξόδου ($S_i = 0$).

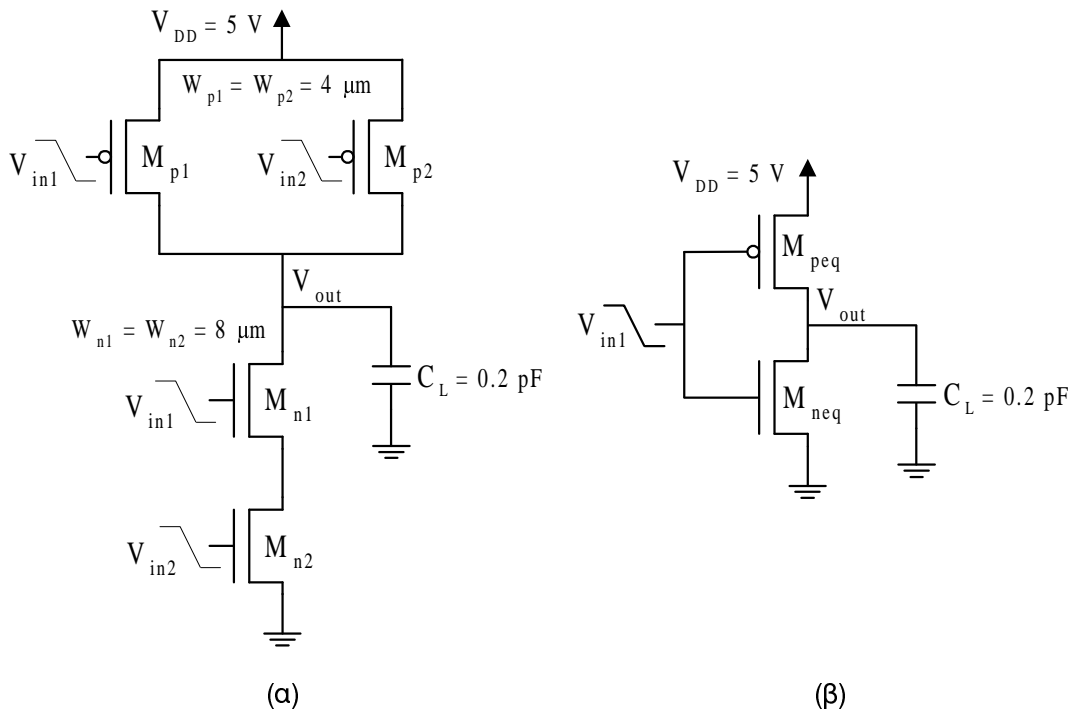
Στη συνέχεια λοιπόν θα πρέπει να καθοριστεί ο συντελεστής βάρους (S_i) κάθε τρανζίστορ, που εξαρτάται από τη διάρκεια και το χρόνο εκκίνησης της μετάβασης

στην είσοδο που του αντιστοιχεί. Όπως αναφέρθηκε παραπάνω, η φόρτιση ή η εκφόρτιση της χωρητικότητας εξόδου (όταν γίνεται διαμέσου των παράλληλα συνδεδεμένων τρανζίστορ) αρχίζει με την έναρξη της μετάβασης σε μια από τις εισόδους, δηλ. στο χρονικό σημείο

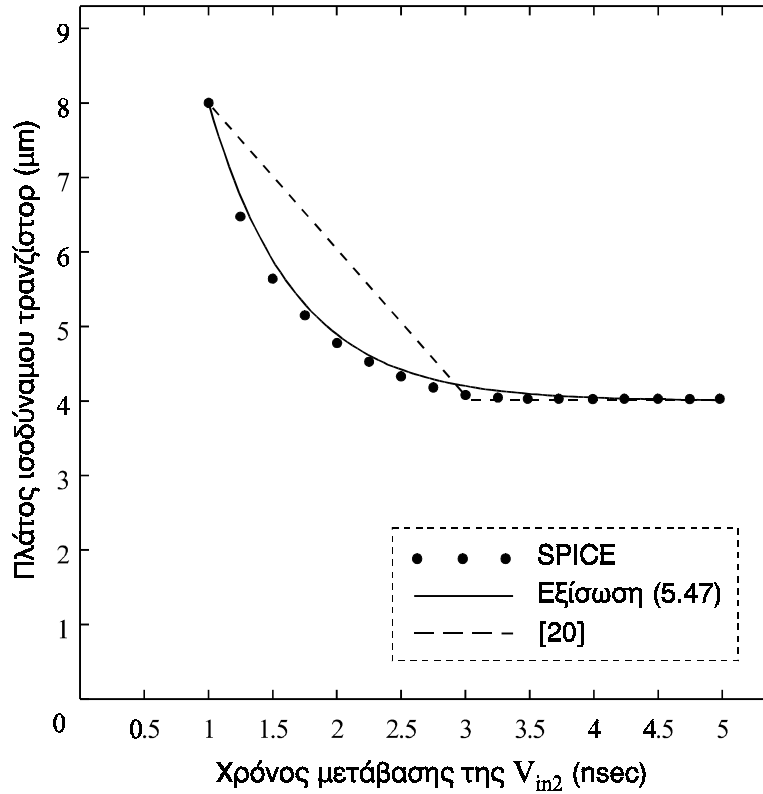
$$t_0 = \min(t_1, t_2, \dots, t_m), \quad (5.46)$$

όπου t_1, t_2, \dots, t_m είναι οι χρόνοι εκκίνησης της μετάβασης των m εισόδων. Είναι φανερό ότι, τη μεγαλύτερη συμμετοχή στη φόρτιση ή την εκφόρτιση της χωρητικότητας εξόδου παρουσιάζει το τρανζίστορ με την ταχύτερη μετάβαση στην είσοδο που του αντιστοιχεί, δηλ. με το μικρότερο χρόνο $t_{\text{endi}} - t_0$ (t_{endi} είναι η χρονική στιγμή όπου η είσοδος i φτάνει στην τελική της τιμή).

Με σκοπό την εξαγωγή μιας μεθόδου υπολογισμού των συντελεστών βάρους S_i , χρησιμοποιείται αρχικά το παράδειγμα μιας πύλης NAND 2 εισόδων (Σχήμα 5.17 α). Η μετάβαση των δύο σημάτων εισόδου αρχίζει στο χρονικό σημείο $t = 0$. Η διάρκεια μετάβασης της εισόδου V_{in1} είναι σταθερή και ίση με 1 nsec, ενώ της εισόδου V_{in2} μεταβάλλεται από 1 nsec έως 5 nsec. Για διάφορες τιμές του χρόνου μετάβασης της εισόδου V_{in2} , χρησιμοποιώντας το κυκλωματικό εξομοιωτή SPICE, υπολογίζεται το πλάτος του τρανζίστορ PMOS του ισοδύναμου αντιστροφέα (Σχήμα 5.17β), έτσι ώστε να παρουσιάζει την ίδια κυματομορφή τάσης εξόδου με την πύλη NAND.



Σχήμα 5.17: Πύλη NAND 2 εισόδων (α) και ισοδύναμος αντιστροφέας (β)



Σχήμα 5.18: Ισοδύναμο πλάτος καναλιού παράλληλα συνδεδεμένων τρανζίστορ της πύλης του Σχήματος 5.17α, για μεταβλητό χρόνο μετάβασης της V_{in2} .

Στο Σχήμα 5.18 δίνεται το διάγραμμα των τιμών του πλάτους καναλιού του τρανζίστορ PMOS του ισοδύναμου αντιστροφέα, που προκύπτει από τις κυκλωματικές εξομοιώσεις, συναρτήσει του χρόνου μετάβασης της εισόδου V_{in2} . Παρατηρούμε ότι, το ισοδύναμο πλάτος καναλιού είναι μια μη γραμμική συνάρτηση των χρόνων μετάβασης και των δύο εισόδων, η οποία μπορεί, όπως φαίνεται στο Σχήμα 5.18, να προσεγγιστεί από την παρακάτω εκθετική συνάρτηση

$$\begin{aligned}
 W_{req} &= W_{p1} + (W_{p1} + W_{p2} - W_{p1}) e^{-1.5(\tau_2 - \tau_1)} \\
 &= W_{p1} + W_{p2} e^{-1.5(\tau_2 - \tau_1)}, \tag{5.47}
 \end{aligned}$$

όπου τ_1, τ_2 είναι οι χρόνοι μετάβασης των εισόδων V_{in1} και V_{in2} , αντίστοιχα. Στην παραπάνω περίπτωση, ο συντελεστής βάρους του τρανζίστορ M_{p1} ισούται με 1, αφού η είσοδος V_{in1} είναι μονίμως η γρηγορότερη είσοδος. Επίσης, το ισοδύναμο πλάτος καναλιού ισούται με το άθροισμα των πλατών καναλιού των M_{p1} και M_{p2} , όταν και ο χρόνος μετάβασης της εισόδου V_{in2} είναι 1 nsec (δηλ. ίσος με εκείνον της V_{in1}).

Γενικεύοντας την εξίσωση (5.47), για την περίπτωση πολλαπλών παράλληλα συνδεδεμένων τρανζίστορ, προκύπτει η παρακάτω σχέση για τον υπολογισμό των

συντελεστών βάρους S_i ,

$$S_i = e^{-1.5 [(t_{\text{endi}} - t_0) - \tau]}, \quad (5.48)$$

όπου τ είναι ο ισοδύναμος χρόνος μετάβασης εισόδου που δίνεται ως εξής [20]

$$\tau = \min (t_{\text{end1}} - t_0, t_{\text{end2}} - t_0, \dots, t_{\text{endm}} - t_0). \quad (5.49)$$

Από την εξίσωση (5.48) παρατηρούμε ότι, για το τρανζίστορ με την ταχύτερη μετάβαση στην είσοδο που του αντιστοιχεί, ο συντελεστής βάρους ισούται με 1, ενώ για τα υπόλοιπα τρανζίστορ είναι μικρότερος του 1. Στην Παράγραφο 5.6, παρουσιάζονται παραδείγματα πυλών με περισσότερες εισόδους, που δείχνουν την εγκυρότητα της μεθόδου που περιγράφηκε παραπάνω.

Μια παρόμοια μέθοδος για τον υπολογισμό του ισοδύναμου πλάτους καναλιού σε παράλληλα συνδεδεμένα τρανζίστορ, ακολουθείται στην [20], όπου όμως ο συντελεστής βάρους κάθε τρανζίστορ (όπως φαίνεται στο Σχήμα 5.18) υπολογίζεται με βάση μια γραμμική (για $\tau \leq t_{\text{endi}} - t_0 \leq 3\tau$) και μια σταθερή συνάρτηση (για $t_{\text{endi}} - t_0 \geq 3\tau$). Αυτό έχει ως αποτέλεσμα, η μέθοδος αυτή να είναι ακριβής μονάχα στις ακραίες περιπτώσεις όπου η διαφορά μεταξύ του χρόνου μετάβασης της ταχύτερης εισόδου και των υπολοίπων εισόδων είναι πολύ μικρή ή πολύ μεγάλη. Μια ακόμη μέθοδος για το χειρισμό χρονικά επικαλυπτόμενων εισόδων σε παράλληλα συνδεδεμένα τρανζίστορ, έχει προταθεί στη [41]. Ωστόσο, όπως αναφέρεται στις [20] και [132], η μέθοδος αυτή μπορεί να οδηγήσει σε μεγάλο σφάλμα (έως και 60%), ιδιαίτερα σε περιπτώσεις αυξημένου αριθμού τρανζίστορ.

Η μέθοδος αναγωγής που παρουσιάστηκε στην παράγραφο αυτή, αφορά την περίπτωση όπου τα παράλληλα συνδεδεμένα τρανζίστορ λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης της χωρητικότητας εξόδου. Στην περίπτωση που λειτουργούν ως κλάδος βραχυκυκλώματος, η επίδρασή τους στον καθορισμό της ισοδύναμης εισόδου δεν είναι σημαντική. Έτσι, στο ισοδύναμο τρανζίστορ εφαρμόζεται η ισοδύναμη είσοδος που προκύπτει από τα σειριακά συνδεδεμένα τρανζίστορ (Παράγραφος 5.4). Το ισοδύναμο πλάτος καναλιού των παράλληλα συνδεδεμένων τρανζίστορ στην περίπτωση αυτή δίνεται από την εξίσωση (5.44). Βέβαια, από την εξίσωση αυτή εξαιρούμε τα τρανζίστορ των οποίων η αντίστοιχη είσοδος έχει θεωρηθεί ότι έχει φτάσει στην τελική της τιμή, με βάση τη ευρετική μέθοδο που παρουσιάστηκε στην Παράγραφο 5.4.

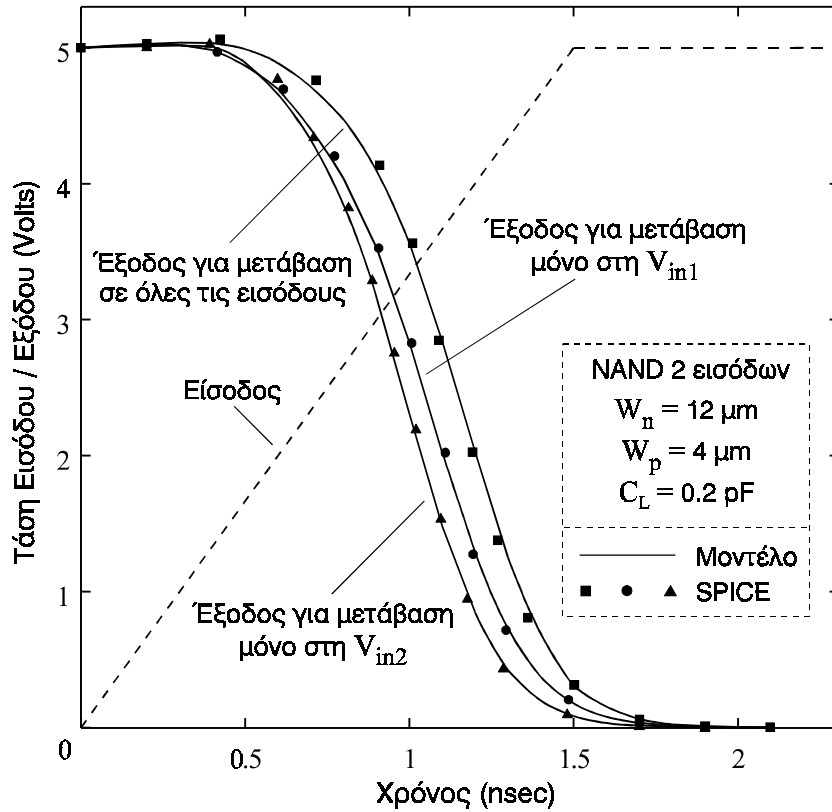
Ένα τελευταίο βήμα που πρέπει να γίνει για την πλήρη αναγωγή των παράλλη-

λα συνδεδεμένων τρανζίστορ στο απλό τρανζίστορ του ισοδύναμου αντιστροφέα, είναι ο καθορισμός της συμμετοχής τους στις χωρητικότητες εξόδου, εισόδου-εξόδου και εισόδου-τροφοδοσίας ή γείωσης. Οι χωρητικότητες μεταξύ της περιοχής διάχυσης του ακροδέκτη υποδοχής και του υποστρώματος των παράλληλα συνδεδεμένων τρανζίστορ, που υπολογίζονται από την εξίσωση (3.3), πρέπει να προστεθούν στη χωρητικότητα εξόδου του ισοδύναμου αντιστροφέα. Οι χωρητικότητες πύλης-υποδοχής των τρανζίστορ που βρίσκονται σε κατάσταση αποκοπής (χωρητικότητες επικάλυψης), πρέπει επίσης να προστεθούν στη χωρητικότητα εξόδου. Οι χωρητικότητες πύλης-υποδοχής των τρανζίστορ με μετάβαση στην είσοδο που τους αντιστοιχεί, οι οποίες υπολογίζονται με βάση το πλάτος καναλιού και την περιοχή λειτουργίας του ισοδύναμου τρανζίστορ, συμπεριλαμβάνονται στη χωρητικότητα σύζευξης μεταξύ της εισόδου και της εξόδου του ισοδύναμου αντιστροφέα. Τέλος, οι χωρητικότητες πύλης-πηγής των τρανζίστορ με μετάβαση στην είσοδο που τους αντιστοιχεί, πρέπει να συμπεριληφθούν στη χωρητικότητα μεταξύ της εισόδου και της τροφοδοσίας (όταν πρόκειται για τρανζίστορ PMOS) ή μεταξύ της εισόδου και της γείωσης (όταν πρόκειται για τρανζίστορ NMOS) του ισοδύναμου αντιστροφέα.

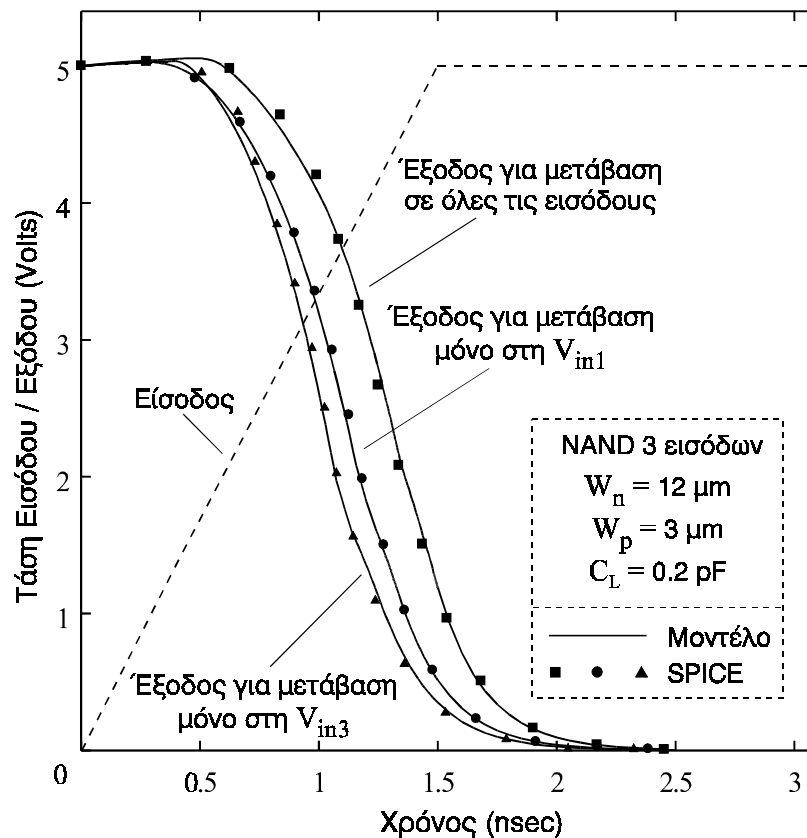
5.6 Αξιολόγηση, αποτελέσματα και συγκρίσεις

Στην παράγραφο αυτή, παρουσιάζεται μια αξιολόγηση των τεχνικών αναγωγής που παρουσιάστηκαν στο κεφάλαιο αυτό, που αφορά τον υπολογισμό της χρονικής απόκρισης και της ενέργειας βραχυκυκλώματος στατικών πυλών CMOS. Τα αποτελέσματα που δίνονται αφορούν πύλες NAND με ανερχόμενη ή κατερχόμενη κυματομορφή τάσης εξόδου. Έτσι, αξιολογούνται οι τεχνικές αναγωγής για όλες τις περιπτώσεις λειτουργίας των σειριακά και παράλληλα συνδεδεμένων τρανζίστορ. Τα αποτελέσματα που παρουσιάζονται στην παράγραφο αυτή, είναι βασισμένα στην τεχνολογία CMOS 0.8 μm , της οποίας οι παράμετροι δίνονται στον Πίνακα 4.4.

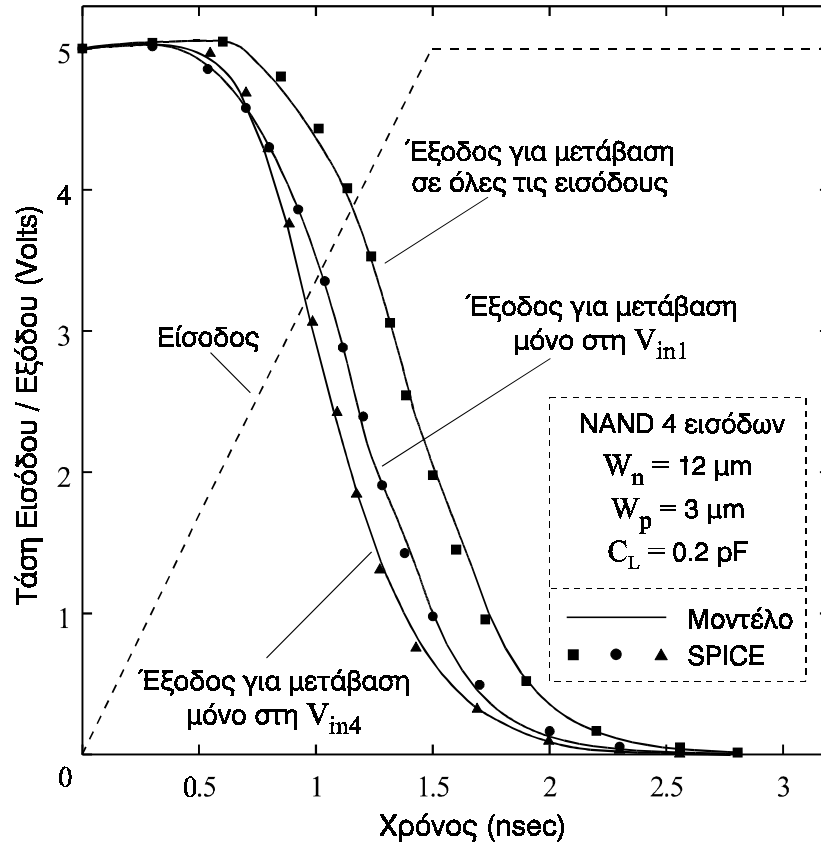
Αρχικά, εξετάζεται η περίπτωση όπου τα σειριακά συνδεδεμένα τρανζίστορ λειτουργούν ως κλάδος εκφόρτισης της χωρητικότητας εξόδου και τα παράλληλα συνδεδεμένα τρανζίστορ ως κλάδος βραχυκυκλώματος. Για το σκοπό αυτό, επιλέχθηκαν πύλες NAND 2, 3 και 4 εισόδων, των οποίων η έξοδος μεταβαίνει από την υψηλή στάθμη στη χαμηλή. Στα Σχήματα 5.19 – 5.21, φαίνονται οι κυματομορφές της τάσης εξόδου των πυλών, για διάφορες περιπτώσεις μεταβάσεων εισόδων. Η θέση κάθε εισόδου στην αλυσίδα των σειριακά συνδεδεμένων τρανζίστορ φαίνεται στο Σχήμα 5.1



Σχήμα 5.19: Κυματομορφές κατερχόμενης τάσης εξόδου πύλης NAND 2 εισόδων



Σχήμα 5.20: Κυματομορφές κατερχόμενης τάσης εξόδου πύλης NAND 3 εισόδων

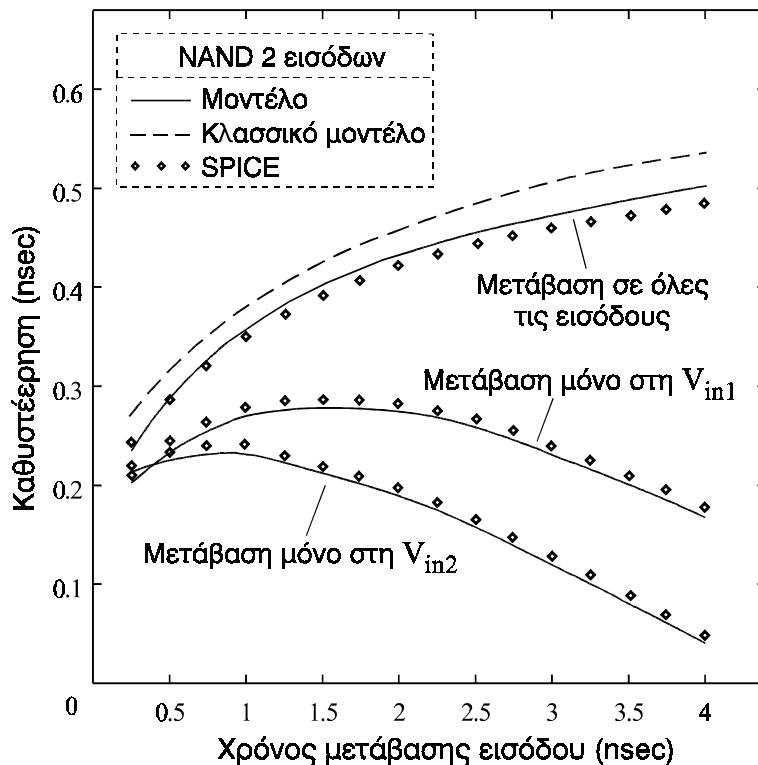


Σχήμα 5.21: Κυματομορφές κατερχόμενης τάσης εξόδου πύλης NAND 4 εισόδων

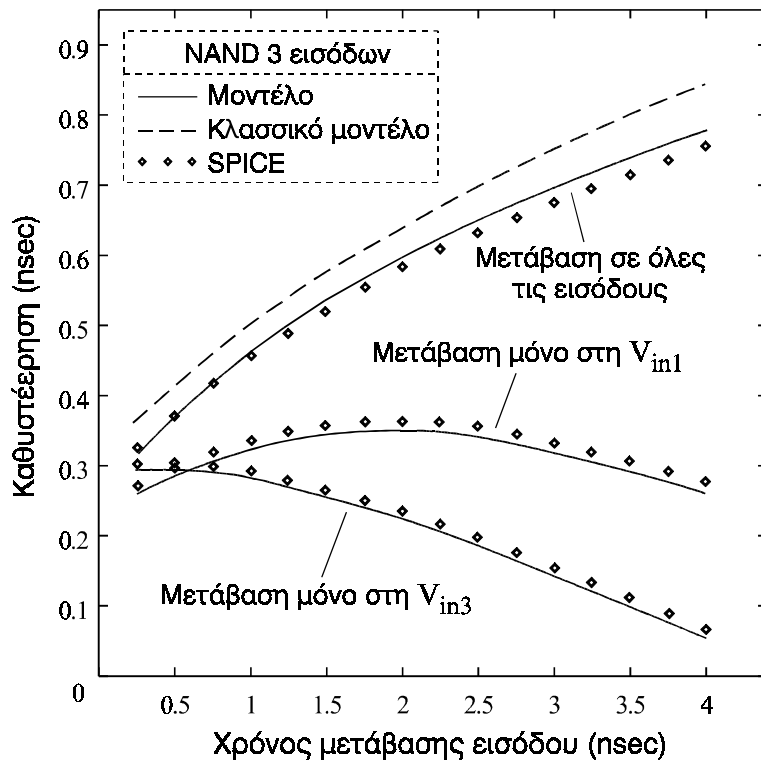
Σε όλες τις εισόδους που βρίσκονται υπό μετάβαση, έχει τεθεί χρόνος μετάβασης 1.5 nsec και χρόνος εκκίνησης της μετάβασης το χρονικό σημείο $t = 0$. Οι κυματομορφές εξόδου που προκύπτουν από κυκλωματικές εξομοιώσεις με το SPICE, έχουν προστεθεί στα τρία παραπάνω διαγράμματα. Παρατηρούμε ότι, οι κυματομορφές της τάσης εξόδου που προκύπτουν από τις αναλυτικές εκφράσεις της τάσης εξόδου του αντιστροφέα (κεφάλαιο 4), χρησιμοποιώντας τις τεχνικές αναγωγής που αναπτύχθηκαν στις προηγούμενες παραγράφους, είναι πολύ κοντά σε εκείνες που παράγονται από κυκλωματικές εξομοιώσεις. Στα παραπάνω διαγράμματα, η κλίση της κυματομορφής εισόδου είναι μικρότερη από εκείνη των κυματομορφών εξόδου. Έτσι, όπως αναφέρθηκε στην Παράγραφο 5.2.4, η μετάβαση στην είσοδο (V_{in1}) που αντιστοιχεί στο τρανζίστορ που συνδέεται στην έξοδο των πυλών, οδηγεί σε βραδύτερη εκφόρτιση της χωρητικότητας εξόδου σε σχέση με τη μετάβαση στις εισόδους (V_{in2} , V_{in3} , V_{in4}) που αντιστοιχούν στα τρανζίστορ που συνδέονται στη γείωση των πυλών. Σε όλα τα διαγράμματα, η αργότερη μετάβαση εξόδου εμφανίζεται όταν υπάρχει μετάβαση σε όλες τις εισόδους των πυλών, αφού τότε η αγωγιμότητα των σειριακά συνδεδεμένων τρανζίστορ είναι μικρότερη. Επίσης, στην περίπτωση αυτή, ο χρόνος

έναρξης αγωγής της αλυσίδας των σειριακά συνδεδεμένων τρανζίστορ είναι μεγαλύτερος και η επίδραση της χωρητικότητας σύζευξης εισόδου-εξόδου και του ρεύματος βραχυκυκλώματος είναι μεγαλύτερη, αφού οφείλεται σε όλα τα παράλληλα συνδεδεμένα τρανζίστορ κάθε πύλης.

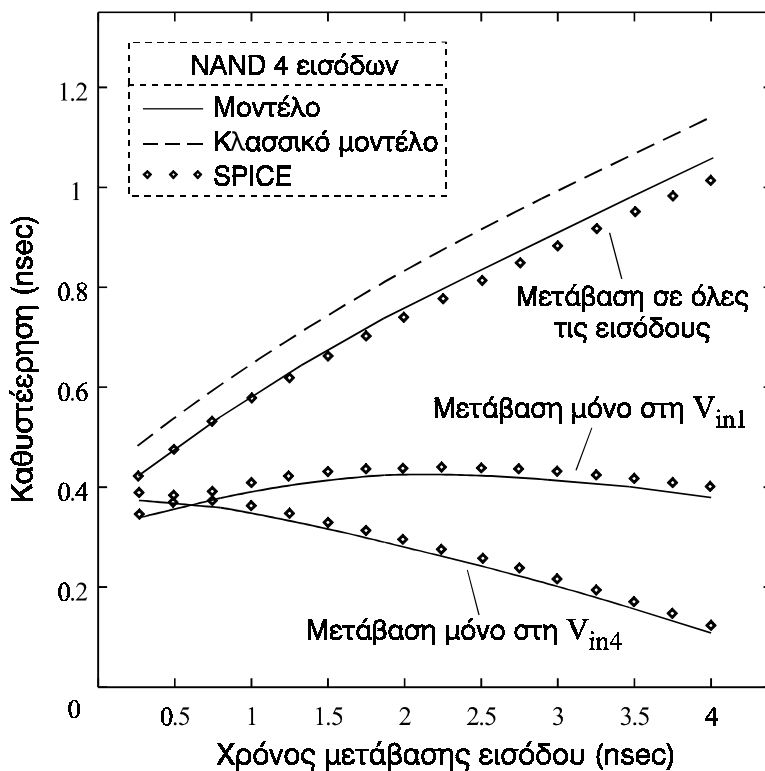
Στα Σχήματα 5.22 – 5.24, δίνονται τα διαγράμματα καθυστέρησης των πυλών με τα χαρακτηριστικά που σημειώνονται στα τρία προηγούμενα σχήματα, συναρτήσεως του χρόνου μετάβασης εισόδου και για διάφορες περιπτώσεις μεταβάσεων εισόδων. Στα ίδια σχήματα δίνονται και τα διαγράμματα καθυστέρησης που προέκυψαν από το SPICE, αλλά και με χρήση του κλασσικού μοντέλου υπολογισμού του ισοδύναμου πλάτους καναλιού σειριακά συνδεδεμένων τρανζίστορ ($W_{eq} = W / N$). Είναι φανερό ότι το σφάλμα λόγω της χρήσης του κλασσικού μοντέλου είναι μεγάλο, ιδιαίτερα στις περιπτώσεις όπου υπάρχει μετάβαση σε μία μόνο είσοδο των πυλών. Στις περιπτώσεις αυτές παρατηρείται μείωση της καθυστέρησης όσο ο χρόνος μετάβασης εισόδου μεγαλώνει. Η μείωση αυτή οφείλεται στην ασυμμετρία που δημιουργείται στις πύλες, λόγω της αύξησης του ισοδύναμου πλάτους καναλιού των σειριακά συνδεδεμένων τρανζίστορ. Όπως αναφέρθηκε και για την περίπτωση του αντιστρο-



Σχήμα 5.22: Καθυστέρηση πύλης NAND 2 εισόδων συναρτήσεως του χρόνου μετάβασης ανερχόμενης εισόδου



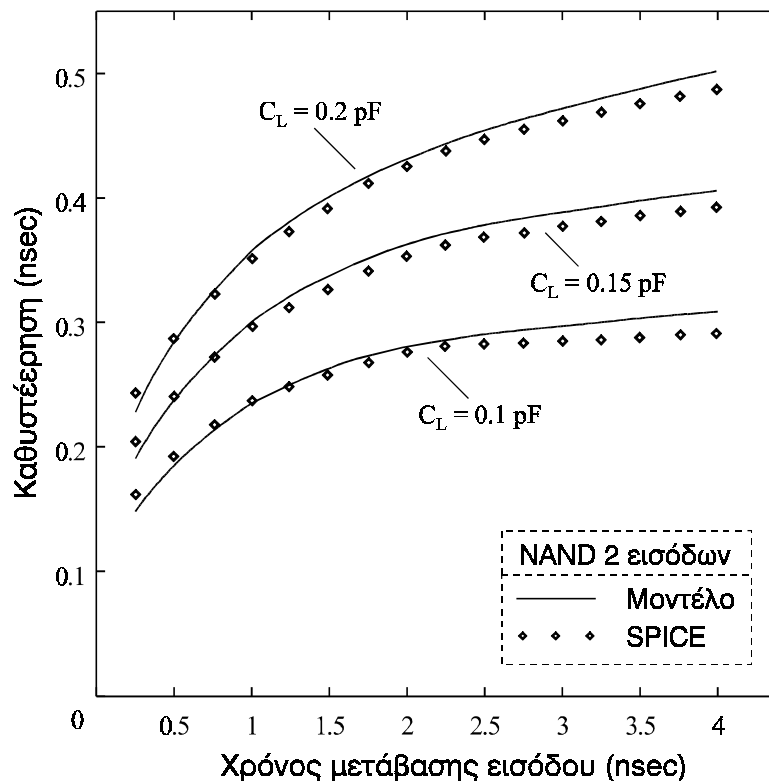
Σχήμα 5.23: Καθυστέρευση πύλης NAND 3 εισόδων συναρτήσει του χρόνου μετάβασης ανερχόμενης εισόδου



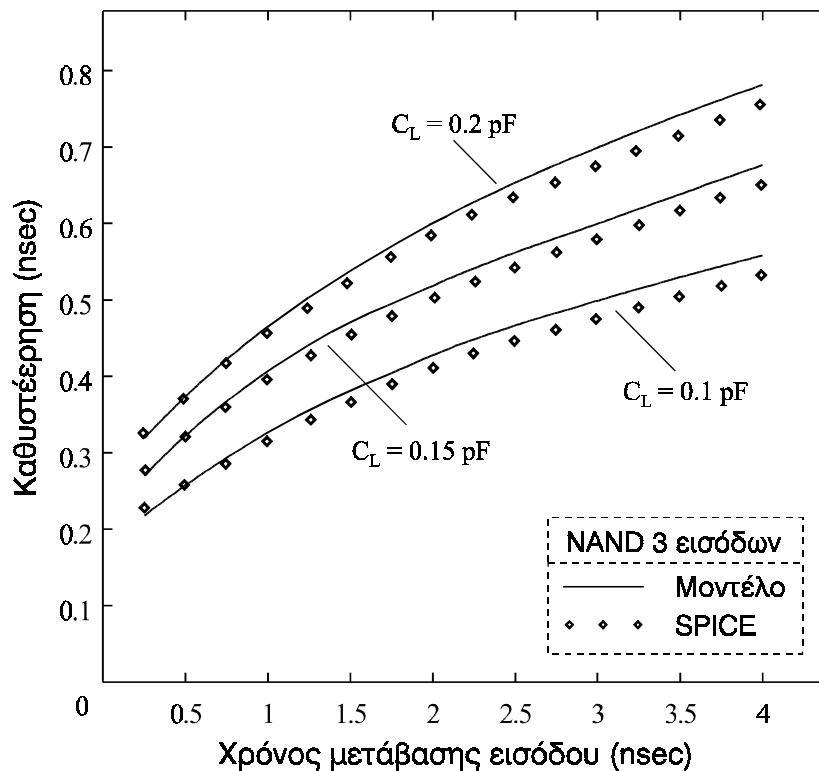
Σχήμα 5.24: Καθυστέρευση πύλης NAND 4 εισόδων συναρτήσει του χρόνου μετάβασης ανερχόμενης εισόδου

φέα (Παράγραφος 4.5), η ασυμμετρία αυτή έχει ως αποτέλεσμα την μείωση του λογικού κατωφλίου τάσης της πύλης, αρκετά κάτω από το μισό της τάσης τροφοδοσίας, όπου μετριέται η καθυστέρηση. Στα Σχήματα 5.22 – 5.24, παρατηρούμε επίσης ότι όταν η μετάβαση της κυματομορφής εισόδου είναι αρκετά γρηγορότερη από εκείνη των κυματομορφών εξόδου (δηλ. για μικρούς χρόνους μετάβασης εισόδου), η καθυστέρηση εκφόρτισης στην περίπτωση μετάβασης στην είσοδο (V_{in1}) που αντιστοιχεί στο τρανζίστορ που συνδέεται στην έξοδο των πυλών, είναι μικρότερη από εκείνη των περιπτώσεων μετάβασης στις εισόδους (V_{in2} , V_{in3} , V_{in4}) που αντιστοιχούν στα τρανζίστορ που συνδέονται στη γείωση των πυλών. Όπως αναφέρθηκε στην Παράγραφο 5.2.4, αυτό συμβαίνει επειδή τα τρανζίστορ που συνδέονται στη γείωση πρέπει να εκφορτίσουν και τις χωρητικότητες των εσωτερικών κόμβων που βρίσκονται πάνω από αυτά. Για αργότερες μεταβάσεις εισόδου, συμβαίνει το αντίθετο λόγω κυρίως της μεγαλύτερης αγωγιμότητας που παρουσιάζουν τα τρανζίστορ που συνδέονται στη γείωση.

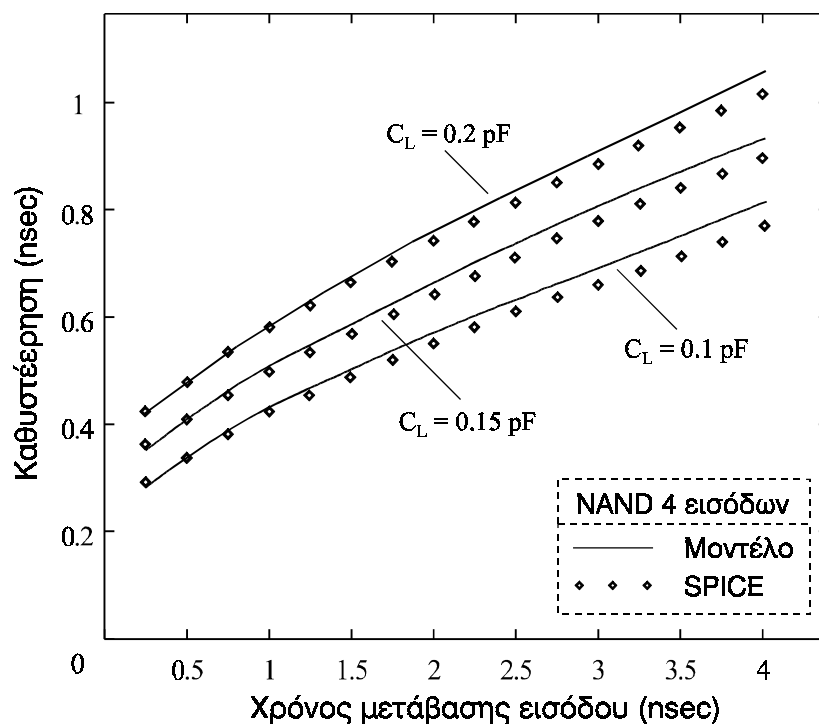
Στα Σχήματα 5.25 – 5.27, δίνονται τα διαγράμματα καθυστέρησης των πυλών NAND 2, 3 και 4 εισόδων, συναρτήσει του χρόνου μετάβασης εισόδου και για διάφο-



Σχήμα 5.25: Καθυστέρηση πύλης NAND 2 εισόδων συναρτήσει του χρόνου μετάβασης εισόδου, για χωρητικότητα εξόδου 0.1, 0.15 και 0.2 pF



Σχήμα 5.26: Καθυστέρηση πύλης NAND 3 εισόδων συναρτήσει του χρόνου μετάβασης εισόδου, για χωρητικότητα εξόδου 0.1, 0.15 και 0.2 pF



Σχήμα 5.27: Καθυστέρηση πύλης NAND 4 εισόδων συναρτήσει του χρόνου μετάβασης εισόδου, για χωρητικότητα εξόδου 0.1, 0.15 και 0.2 pF

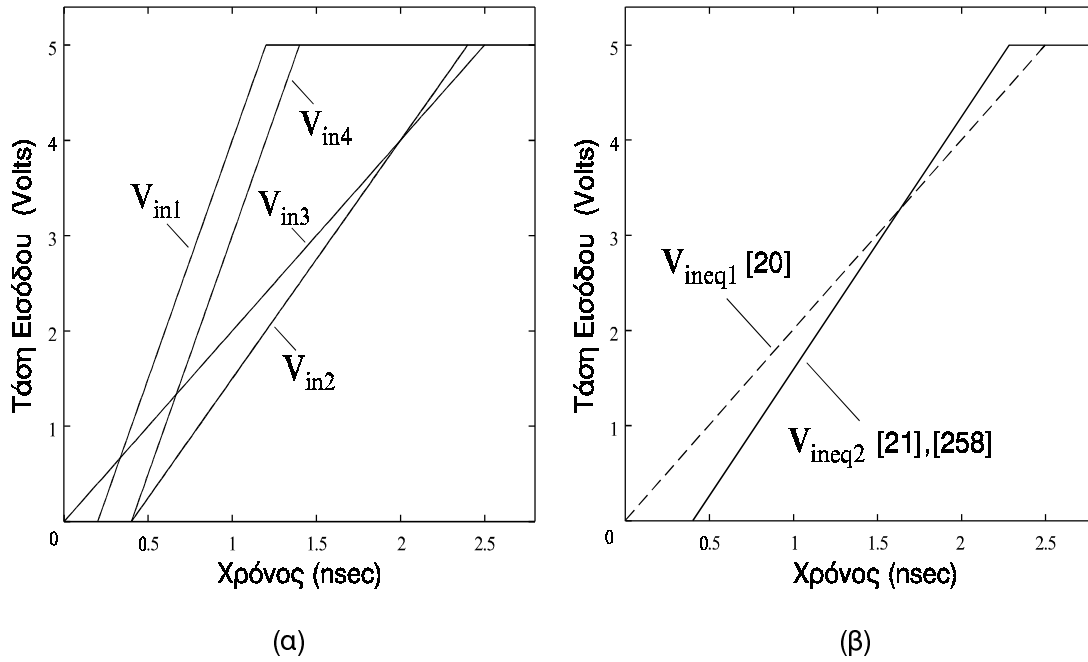
ρες τιμές της χωρητικότητας εξόδου (0.1, 0.15 και 0.2 pF). Τα διαγράμματα αυτά αναφέρονται στην περίπτωση όπου υπάρχει μετάβαση σε όλες τις εισόδους των πυλών. Η σύγκριση των τιμών καθυστέρησης που προκύπτουν από τις αναλυτικές εκφράσεις, με εκείνες που παράγονται από κυκλωματικές εξομοιώσεις, υποδεικνύει την εγκυρότητα των τεχνικών αναγωγής που αναπτύχθηκαν, για πύλες που οδηγούν διαφορετικό φορτίο.

Στη συνέχεια, παρουσιάζονται δύο παραδείγματα που αφορούν την περίπτωση όπου οι είσοδοι σε μια αλυσίδα σειριακά συνδεδεμένων τρανζίστορ όταν λειτουργεί ως κλάδος εκφόρτισης της χωρητικότητας εξόδου, δεν είναι όμοιες, αλλά οι μεταβάσεις τους παρουσιάζουν χρονική επικάλυψη μεταξύ τους (Παράγραφος 5.4). Το πρώτο παράδειγμα αφορά μια πύλη NAND 4 εισόδων με χαρακτηριστικά: $W_n = 12 \mu\text{m}$, $W_p = 3 \mu\text{m}$, $C_L = 0.2 \text{ pF}$ και κυματομορφές εισόδου (Σχήμα 5.28α) οι οποίες έχουν τα χαρακτηριστικά που δίνονται στον Πίνακα 5.9.

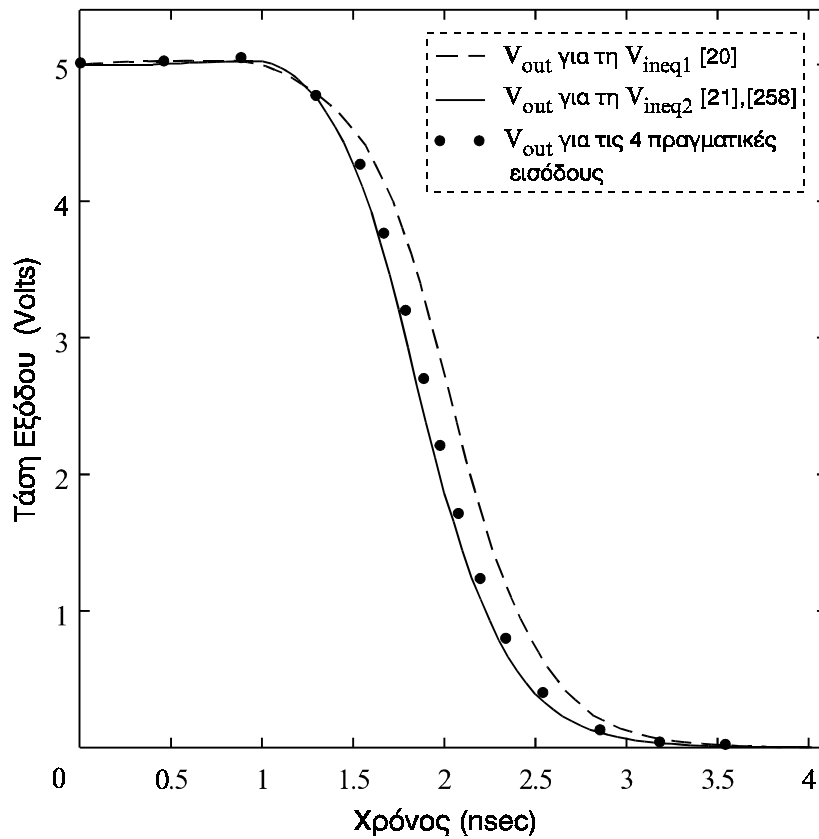
Είσοδος	Χρόνος εκκίνησης (ns)	Χρόνος μετάβασης (ns)
V_{in1}	0.2	1
V_{in2}	0.4	2
V_{in3}	0	2.5
V_{in4}	0.4	1

Πίνακας 5.9: Χαρακτηριστικά κυματομορφών εισόδου πύλης NAND 4 εισόδων

Οι ισοδύναμες κυματομορφές εισόδου που προκύπτουν από τις ευρετικές μεθόδους που έχουν προταθεί στην [20] και στις [21], [258], φαίνονται στο Σχήμα 5.28β. Ο χρόνος εκκίνησης για την πρώτη μέθοδο [20] είναι 0 ns, ενώ για τη δεύτερη μέθοδο [21], [258] 0.4 ns. Ο χρόνος μετάβασης της ισοδύναμης μεθόδου είναι 2.5 ns για την πρώτη μέθοδο και 1.88 ns για την δεύτερη μέθοδο. Στο Σχήμα 5.29, φαίνονται οι κυματομορφές της τάσης εξόδου της πύλης, που έχουν παραχθεί από το SPICE, με βάση τις ισοδύναμες εισόδους που προκύπτουν από τις δύο ευρετικές μεθόδους, αλλά και εφαρμόζοντας τις πραγματικές εισόδους. Είναι φανερό ότι, η δεύτερη μέθοδος [21], [258] οδηγεί σε ακριβέστερα αποτελέσματα για τους λόγους που περιγράφηκαν στην Παράγραφο 5.4.



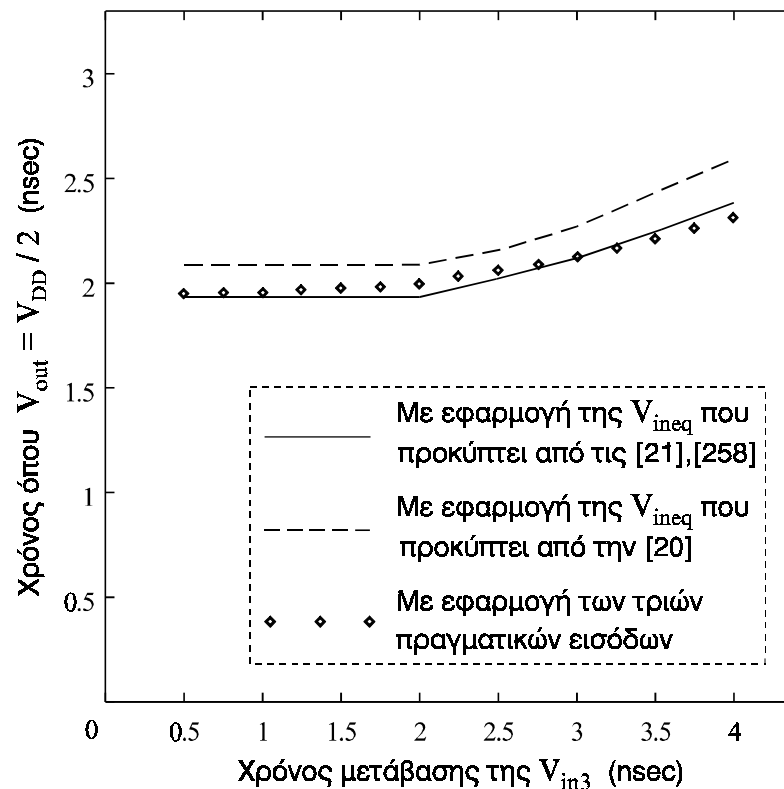
Σχήμα 5.28: Κυματομορφές τάσεων εισόδου (α) και ισοδύναμες κυματομορφές τάσης εισόδου (β), μιας πύλης NAND 4 εισόδων με κατερχόμενη έξοδο



Σχήμα 5.29: Κυματομορφές κατερχόμενης τάσης εξόδου πύλης NAND 4 εισόδων για τις ισοδύναμες και τις πραγματικές κυματομορφές τάσεων εισόδου

Είσοδος	Χρόνος εκκίνησης (ns)	Χρόνος μετάβασης (ns)
V_{in1}	0	2
V_{in2}	0.4	2.5
V_{in3}	0.2	0.5 – 4

Πίνακας 5.10: Χαρακτηριστικά κυματομορφών εισόδου πύλης NAND 3 εισόδων



Σχήμα 5.30: Απαιτούμενος χρόνος για να φτάσει η κατερχόμενη τάση εξόδου στο μισό της V_{DD} , συναρτήσει του χρόνου μετάβασης της V_{in3} (NAND 3 εισόδων)

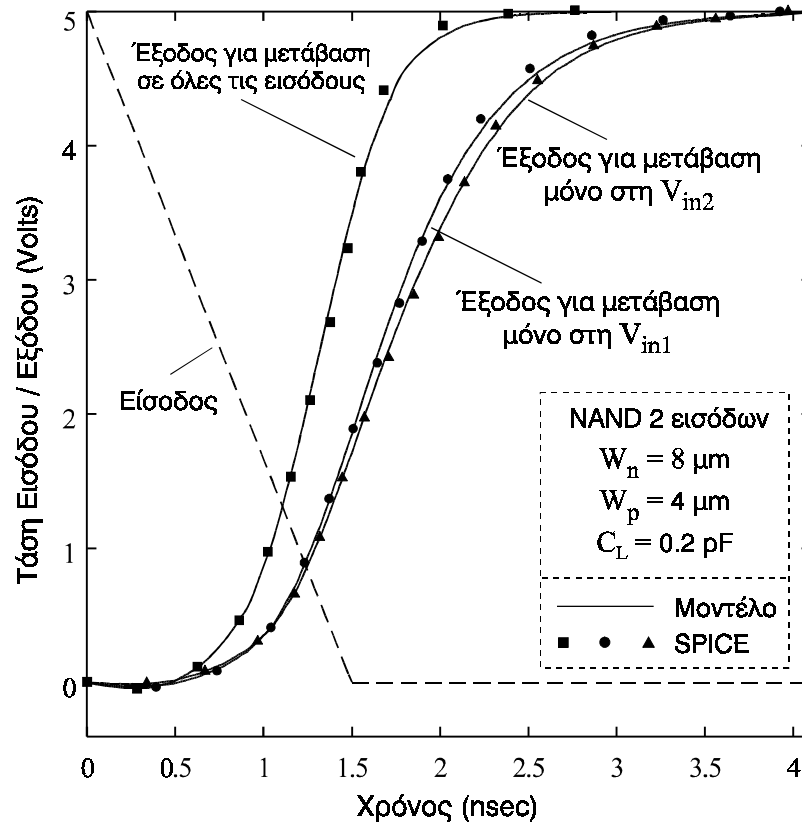
Το δεύτερο παράδειγμα αφορά μια πύλη NAND 3 εισόδων με χαρακτηριστικά: $W_n = 12 \mu\text{m}$, $W_p = 3 \mu\text{m}$, $C_L = 0.2 \text{ pF}$ και ανερχόμενες κυματομορφές εισόδου οι οποίες έχουν τα χαρακτηριστικά που δίνονται στον Πίνακα 5.10. Η κυματομορφή της τρίτης εισόδου στο δεύτερο αυτό παράδειγμα παρουσιάζει μεταβλητό χρόνο μετάβασης, από 0.5 ns έως 4 ns. Στο Σχήμα 5.30, δίνονται τα διαγράμματα του χρόνου που απαιτείται για να φτάσει η τάση εξόδου στο μισό της τάσης τροφοδοσίας συναρτήσει του χρόνου μετάβασης της V_{in3} . Τα διαγράμματα αυτά που έχουν προκύ-

ψει από το SPICE, με βάση τις ισοδύναμες εισόδους που προκύπτουν από τις δύο ευρετικές μεθόδους, αλλά και εφαρμόζοντας τις πραγματικές εισόδους. Είναι κι εδώ φανερό ότι, η δεύτερη μέθοδος [21],[258] οδηγεί σε ακριβέστερα αποτελέσματα από την πρώτη [20]. Παρατηρούμε ότι, όταν ο χρόνος μετάβασης της V_{in3} λαμβάνει τιμές μεταξύ 0.5 και 2 ns, ο απαιτούμενος χρόνος για να φτάσει η τάση εξόδου στο μισό της τάσης τροφοδοσίας που προκύπτει από τις δύο ευρετικές μεθόδους, είναι σταθερός. Αυτό συμβαίνει επειδή, ο χρόνος μετάβασης της ισοδύναμης εισόδου δεν επηρεάζεται από την V_{in3} στο διάστημα αυτό, αλλά από τις εισόδους με αργότερη μετάβαση. Το ίδιο περίπου φαινόμενο, συμβαίνει και στην περίπτωση εφαρμογής των τριών πραγματικών εισόδων.

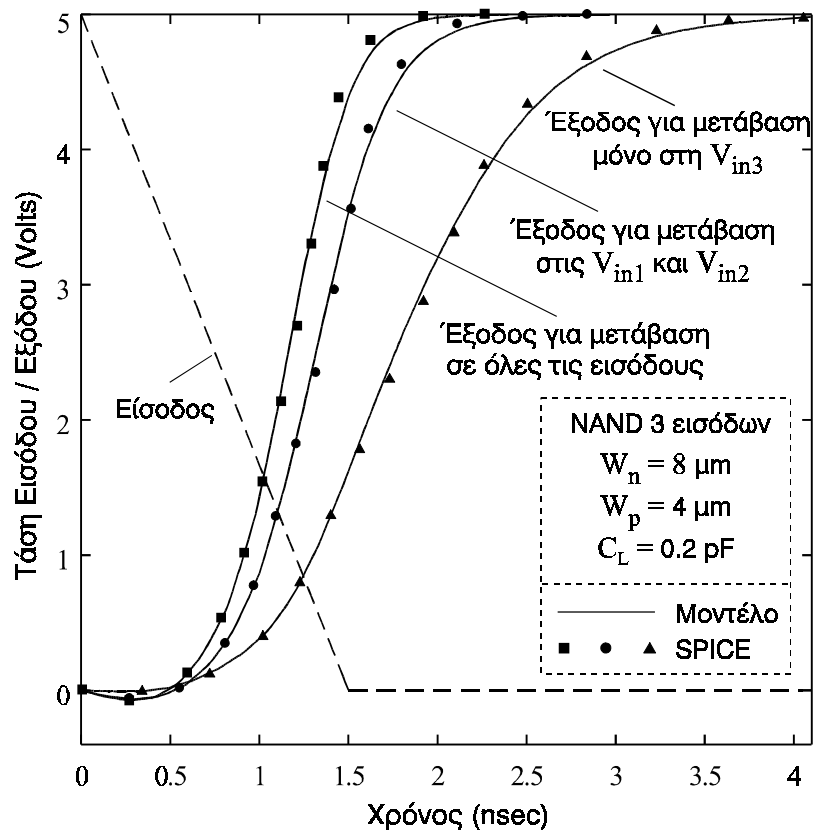
Η δεύτερη περίπτωση που πρέπει να εξεταστεί, είναι αυτή όπου τα παράλληλα συνδεδεμένα τρανζίστορ λειτουργούν ως κλάδος φόρτισης της χωρητικότητας εξόδου και τα σειριακά συνδεδεμένα τρανζίστορ ως κλάδος βραχυκυκλώματος. Για το σκοπό αυτό, επιλέγουμε ξανά πύλες NAND 2, 3 και 4 εισόδων, των οποίων όμως η έξοδος μεταβαίνει από τη χαμηλή στάθμη στην υψηλή. Στα Σχήματα 5.31 – 5.33, φαίνονται οι κυματομορφές της τάσης εξόδου των πυλών αυτών, για διάφορες περιπτώσεις μεταβάσεων εισόδων. Σε όλες τις εισόδους που βρίσκονται υπό μετάβαση, έχει τεθεί χρόνος μετάβασης (καθόδου) 1.5 nsec και χρόνος εκκίνησης της μετάβασης το χρονικό σημείο $t = 0$. Οι κυματομορφές εξόδου που προκύπτουν από κυκλωματικές εξομοιώσεις με το SPICE, έχουν προστεθεί στα τρία παραπάνω διαγράμματα. Παρατηρούμε κι εδώ ότι, οι κυματομορφές της τάσης εξόδου που προκύπτουν από τις αναλυτικές εκφράσεις της τάσης εξόδου του αντιστροφέα, χρησιμοποιώντας τις τεχνικές αναγωγής του κεφαλαίου αυτού, είναι πολύ κοντά σε εκείνες που παράγονται από κυκλωματικές εξομοιώσεις.

Στο Σχήμα 5.31, η ταχύτερη φόρτιση της χωρητικότητας εξόδου στην περίπτωση όπου υπάρχει μετάβαση και στις δύο εισόδους, οφείλεται στο ότι το ισοδύναμο πλάτος καναλιού των παράλληλα συνδεδεμένων τρανζίστορ είναι διπλάσιο, σε σχέση με τις δύο άλλες περιπτώσεις. Στην περίπτωση μετάβασης της V_{in2} , η εκφόρτιση είναι αργότερη από εκείνη της περίπτωσης μετάβασης της V_{in1} , λόγω της αυξημένης ισοδύναμης χωρητικότητας εξόδου (Παράγραφος 5.3.1).

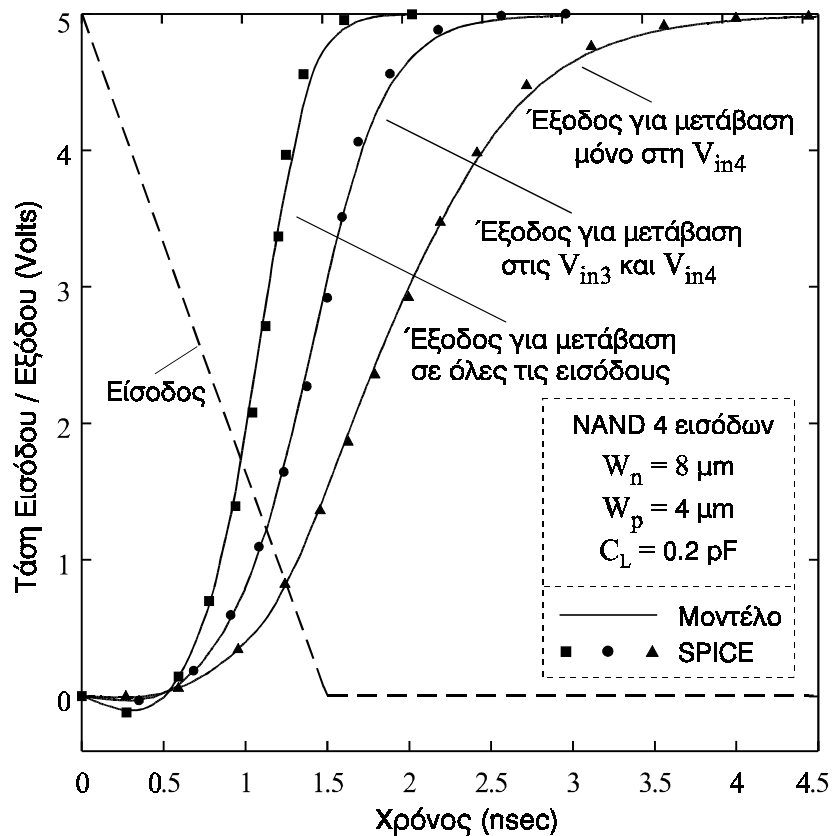
Στα Σχήματα 5.32 και 5.33, οι διαφορές στους χρόνους εκφόρτισης της χωρητικότητας εξόδου, οφείλονται κυρίως στη διαφορά του ισοδύναμου πλάτους καναλιού των παράλληλα συνδεδεμένων τρανζίστορ, που εξαρτάται από τον αριθμό των



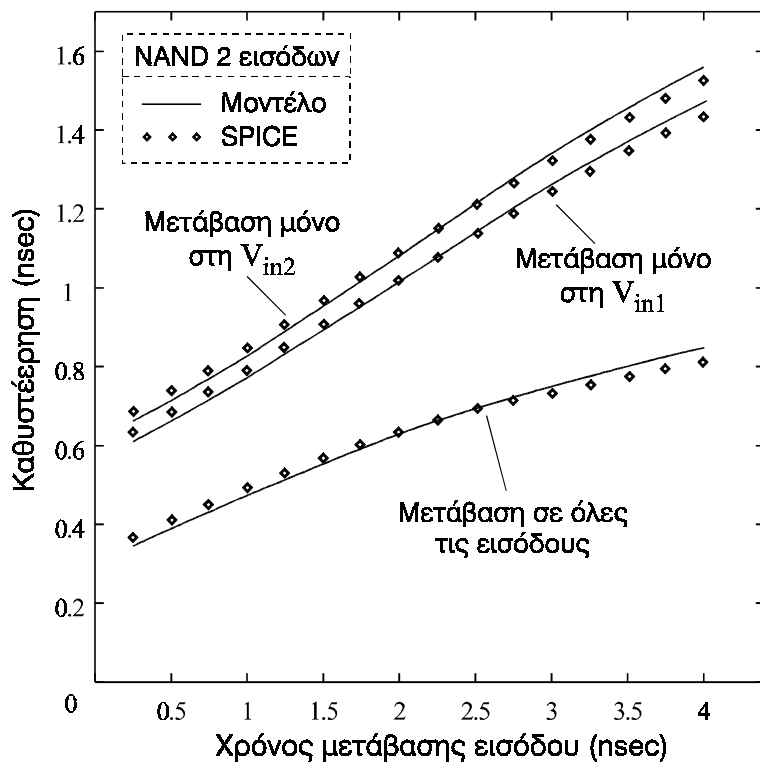
Σχήμα 5.31: Κυματομορφές ανερχόμενης τάσης εξόδου πύλης NAND 2 εισόδων



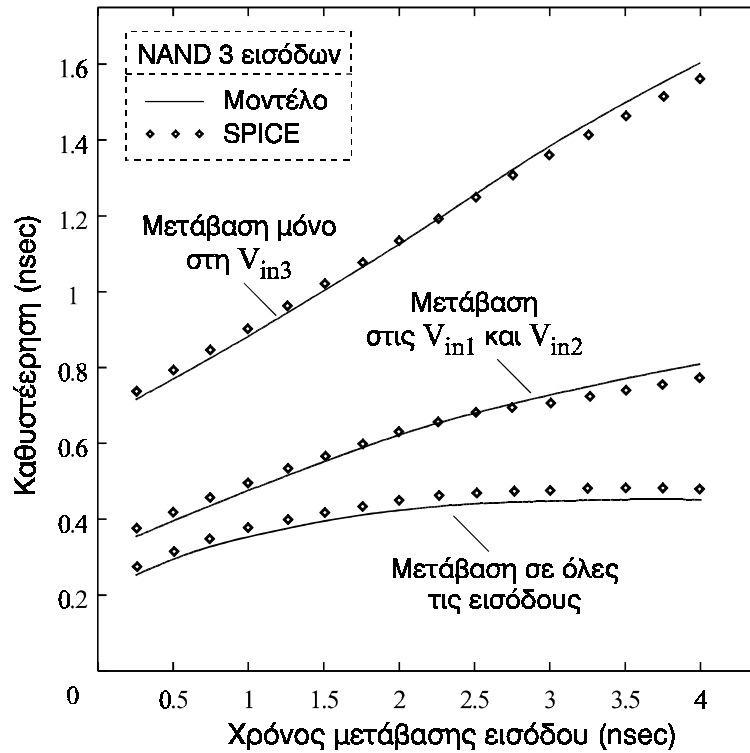
Σχήμα 5.32: Κυματομορφές ανερχόμενης τάσης εξόδου πύλης NAND 3 εισόδων



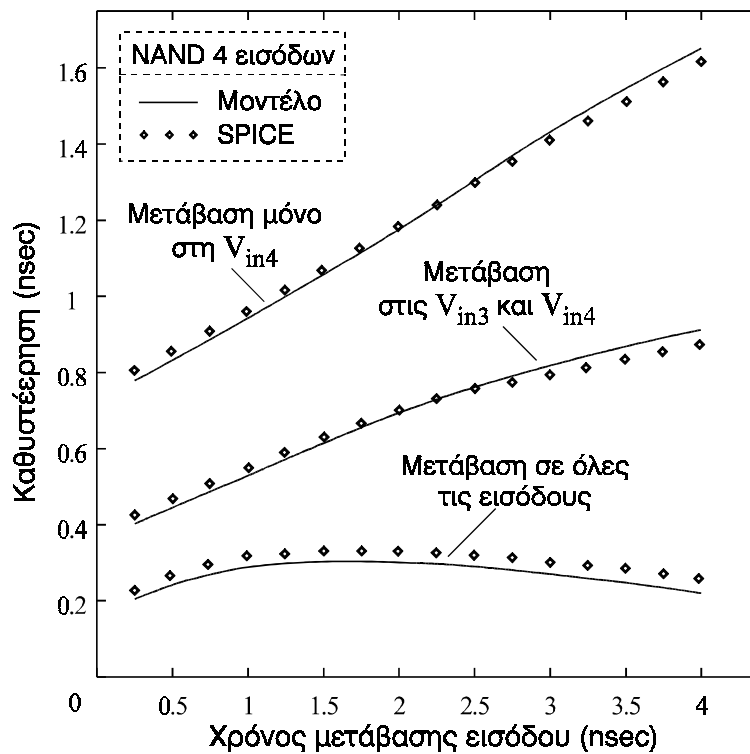
Σχήμα 5.33: Κυματομορφές ανερχόμενης τάσης εξόδου πύλης NAND 4 εισόδων



Σχήμα 5.34: Καθυστέρηση πύλης NAND 2 εισόδων συναρτήσεως του χρόνου μετάβασης κατερχόμενης εισόδου



Σχήμα 5.35: Καθυστερήση πύλης NAND 3 εισόδων συναρτήσει του χρόνου μετάβασης κατερχόμενης εισόδου

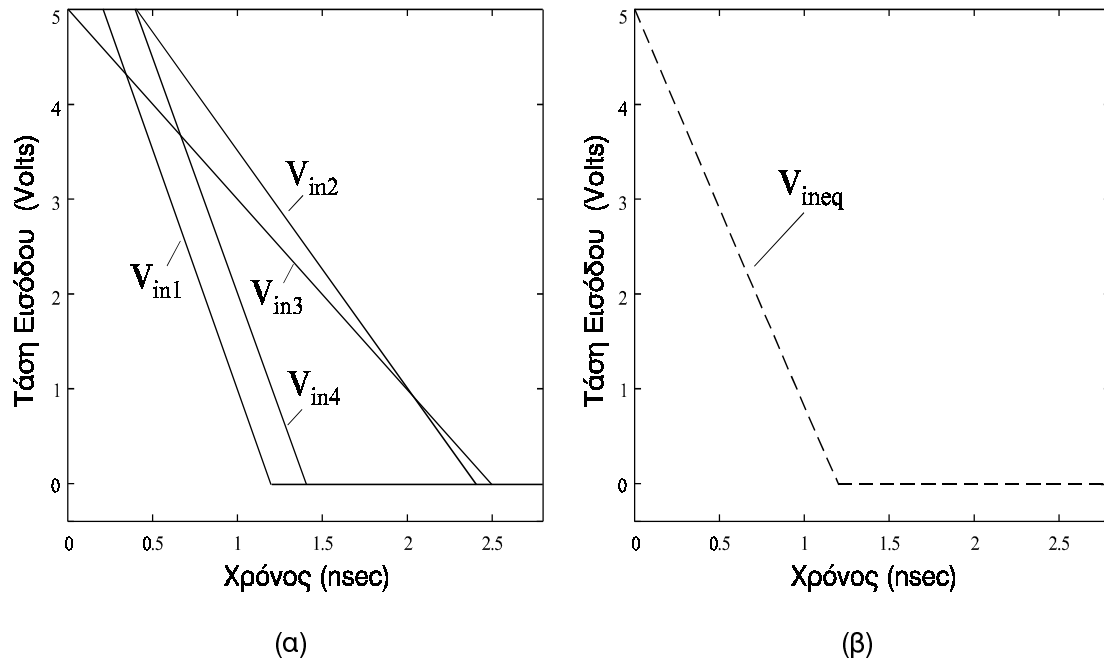


Σχήμα 5.36: Καθυστερήση πύλης NAND 4 εισόδων συναρτήσει του χρόνου μετάβασης κατερχόμενης εισόδου

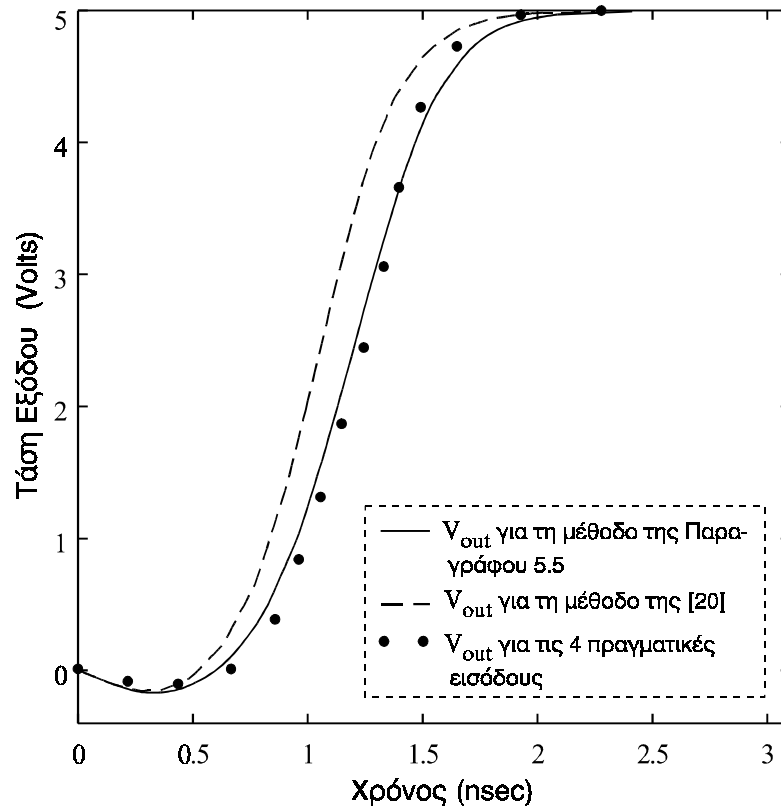
τρανζίστορ με μετάβαση στην είσοδο που τους αντιστοιχεί. Είναι επίσης φανερή η διαφορά που υπάρχει στο μέγεθος της βύθισης (σε αρνητικές τιμές) στην αρχή της μετάβασης της τάσης εξόδου. Το μέγεθος της βύθισης αυτής αυξάνεται όταν μεγαλώνει ο αριθμός των εισόδων που βρίσκονται υπό μετάβαση, επειδή τότε αυξάνεται και η ισοδύναμη χωρητικότητα σύζευξης εισόδου-εξόδου.

Στα Σχήματα 5.34 – 5.36, δίνονται τα διαγράμματα καθυστέρησης των πυλών με τα χαρακτηριστικά που σημειώνονται στα τρία προηγούμενα σχήματα, συναρτήσει του χρόνου μετάβασης εισόδου και για διάφορες περιπτώσεις μεταβάσεων εισόδων. Στα ίδια σχήματα, γίνεται και σύγκριση με τα διαγράμματα καθυστέρησης που προέκυψαν από κυκλωματικές εξομοιώσεις με το SPICE. Η μη γραμμικότητα των καμπυλών καθυστέρησης που συμβαίνει στην περίπτωση αργών εισόδων, εξαρτάται από τον αριθμό των εισόδων υπό μετάβαση. Όταν ο αριθμός των εισόδων υπό μετάβαση μειώνεται, το ισοδύναμο πλάτος καναλιού των παράλληλα συνδεδεμένων τρανζίστορ μειώνεται ενώ το αντίστοιχο των σειριακά συνδεδεμένων τρανζίστορ (που λειτουργούν ως κλάδος βραχυκυκλώματος) αυξάνεται, με αποτέλεσμα την αύξηση της καθυστέρησης φόρτισης της χωρητικότητας εξόδου. Στην περίπτωση αύξησης του αριθμού εισόδων υπό μετάβαση, συμβαίνει το αντίθετο φαινόμενο. Όταν υπάρχει μετάβαση σε όλες τις εισόδους, παρατηρούμε ότι υπάρχει το ενδεχόμενο η καθυστέρηση να αρχίσει να μειώνεται, για μεγάλους χρόνους μετάβασης (Σχήμα 5.36). Η μείωση αυτή οφείλεται στην ασυμμετρία που δημιουργείται στην πύλη, λόγω της αύξησης του ισοδύναμου πλάτους καναλιού των παράλληλα συνδεδεμένων τρανζίστορ σε σχέση με εκείνο των σειριακά συνδεδεμένων τρανζίστορ. Η ασυμμετρία αυτή έχει ως αποτέλεσμα την μείωση του λογικού κατωφλίου τάσης (V_{inv}) της πύλης, αρκετά κάτω από το μισό της τάσης τροφοδοσίας, όπου μετριέται η καθυστέρηση. Με σκοπό τον ορισμό της καθυστέρησης, έτσι ώστε να αυξάνεται μονοτονικά, όταν αυξάνεται ο χρόνος μετάβασης εισόδου, στην [245] προτείνονται κατάλληλα κατώφλια τάσης εισόδου και τάσης εξόδου, μεταξύ των οποίων μετριέται η καθυστέρηση για την φόρτιση ή την εκφόρτιση της χωρητικότητας εξόδου πυλών NAND και NOR.

Στη συνέχεια, παρουσιάζονται δύο παραδείγματα που αφορούν την περίπτωση όπου οι εισοδοί στα παράλληλα συνδεδεμένα τρανζίστορ όταν λειτουργούν ως κλάδος φόρτισης της χωρητικότητας εξόδου, δεν είναι όμοιες, αλλά οι μεταβάσεις τους παρουσιάζουν χρονική επικάλυψη μεταξύ τους (Παράγραφος 5.5). Το πρώτο παράδειγμα αφορά μια πύλη NAND 4 εισόδων με χαρακτηριστικά: $W_n = 8 \mu\text{m}$, $W_p = 4 \mu\text{m}$,



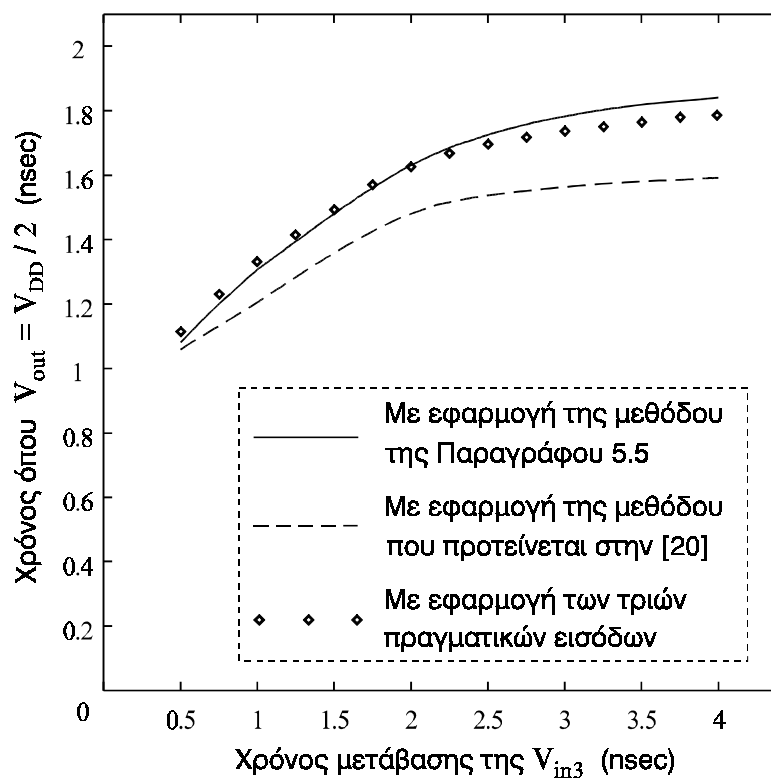
Σχήμα 5.37: Κυματομορφές τάσεων εισόδου (α) και ισοδύναμη κυματομορφή τάσης εισόδου (β), μιας πύλης NAND 4 εισόδων με ανερχόμενη έξοδο



Σχήμα 5.38: Κυματομορφές ανερχόμενης τάσης εξόδου πύλης NAND 4 εισόδων για την ισοδύναμη και τις πραγματικές κυματομορφές τάσεων εισόδου

$C_L = 0.2$ pF και κυματομορφές εισόδου (Σχήμα 5.37α), οι οποίες έχουν τα χαρακτηριστικά που δίνονται στον Πίνακα 5.9. Βέβαια, στην περίπτωση αυτή πρόκειται για κατερχόμενες εισόδους. Η ισοδύναμη κυματομορφή εισόδου που προκύπτει με βάση τις εξισώσεις (5.46) και (5.49), δίνεται στο Σχήμα 5.37β. Ο χρόνος εκκίνησης της είναι 0 ns, ενώ ο χρόνος μετάβασης 1.2 ns. Στο Σχήμα 5.29, φαίνονται οι κυματομορφές της τάσης εξόδου της πύλης, που έχουν παραχθεί με βάση τη μέθοδο υπολογισμού του ισοδύναμου πλάτους καναλιού που παρουσιάστηκε στην Παράγραφο 5.5 (εξισώσεις (5.45), (5.48)) και με βάση τη μέθοδο που προτείνεται στην [20]. Είναι φανερό ότι, η πρώτη μέθοδος οδηγεί σε ακριβέστερα αποτελέσματα για τους λόγους που περιγράφηκαν στην Παράγραφο 5.5.

Το δεύτερο παράδειγμα αφορά μια πύλη NAND 3 εισόδων με χαρακτηριστικά: $W_n = 8$ μm, $W_p = 4$ μm, $C_L = 0.2$ pF και κατερχόμενες κυματομορφές εισόδου οι οποίες έχουν τα χαρακτηριστικά που δίνονται στον Πίνακα 5.10. Η κυματομορφή της τρίτης εισόδου στο δεύτερο αυτό παράδειγμα παρουσιάζει μεταβλητό χρόνο μετάβασης, από 0.5 ns έως 4 ns. Στο Σχήμα 5.39, δίνονται τα διαγράμματα του χρόνου

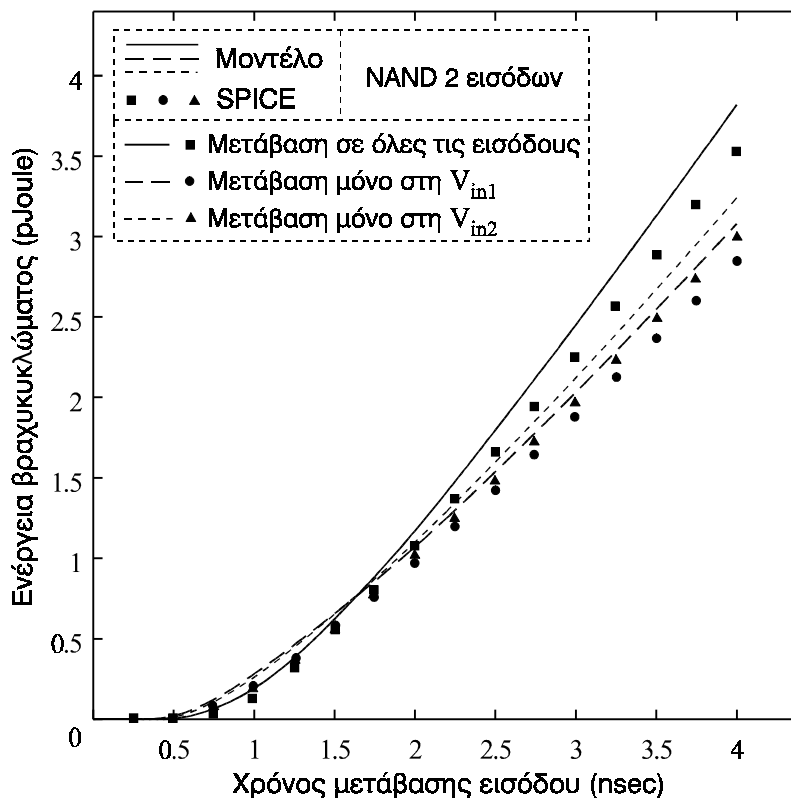


Σχήμα 5.39: Απαιτούμενος χρόνος για να φτάσει η ανερχόμενη τάση εξόδου στο μισό της V_{DD} , συναρτήσεως του χρόνου μετάβασης της V_{in3} (NAND 3 εισόδων)

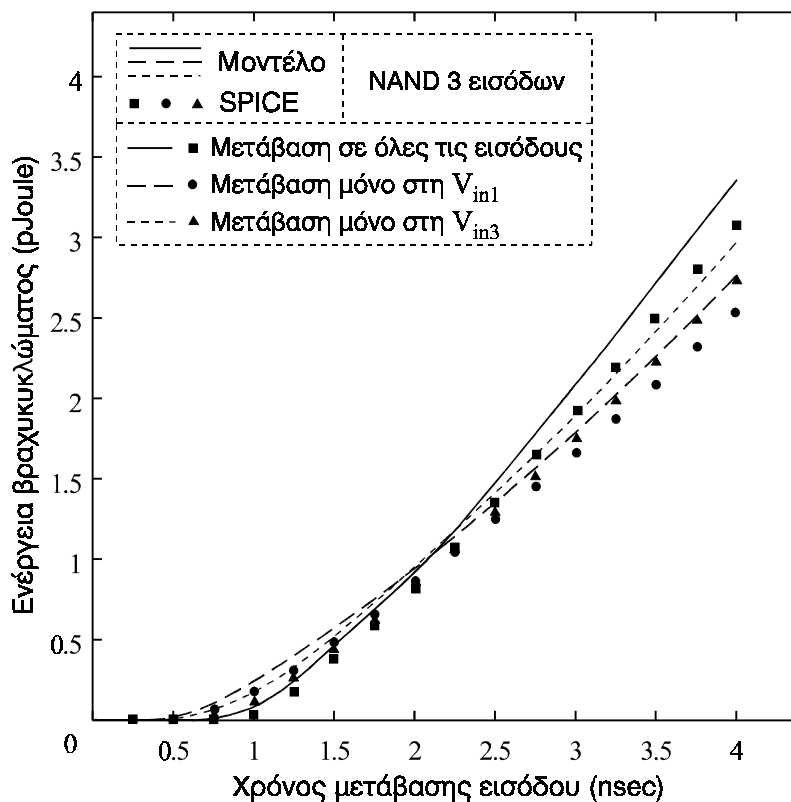
που απαιτείται για να φτάσει η τάση εξόδου στο μισό της τάσης τροφοδοσίας συναρτήσει του χρόνου μετάβασης της V_{in3} . Τα διαγράμματα αυτά που έχουν παραχθεί από το SPICE, με βάση την ισοδύναμη είσοδο που προκύπτει από τις εξισώσεις (5.46) και (5.49), αλλά και εφαρμόζοντας τις πραγματικές εισόδους. Το διάγραμμα με τη συνεχή γραμμή, έχει προκύψει με βάση τη μέθοδο υπολογισμού του ισοδύναμου πλάτους καναλιού των παράλληλα συνδεδεμένων τρανζίστορ που προτείνεται στην Παράγραφο 5.5, ενώ το διάγραμμα με τη διακεκομμένη γραμμή έχει προκύψει με βάση την μέθοδο που προτείνεται στην [20]. Είναι κι εδώ φανερό ότι, η πρώτη μέθοδος οδηγεί σε ακριβέστερα αποτελέσματα από τη δεύτερη. Αρχικά, η κυρίαρχη είσοδος (με την ταχύτερη μετάβαση) είναι η V_{in3} , ενώ στη συνέχεια (για τιμές του χρόνου μετάβασης της V_{in3} μεγαλύτερες από 1.8 ns) κυρίαρχη είσοδος γίνεται η V_{in1} . Έτσι, αρχικά ο συντελεστής βάρους του τρανζίστορ που αντιστοιχεί στη V_{in3} (S_3) ισούται με 1, ενώ στη συνέχεια αυτό συμβαίνει με το συντελεστή βάρους του τρανζίστορ που αντιστοιχεί στη V_{in1} (S_1).

Στα Σχήματα 5.40 – 5.42, δίνονται τα διαγράμματα της ενέργειας βραχυκυκλώματος που καταναλώνεται σε ένα κύκλο μεταγωγής (ανερχόμενη και κατερχόμενη μετάβαση τάσης εξόδου), για πύλες NAND 2, 3 και 4 εισόδων, συναρτήσει του χρόνου μετάβασης εισόδου και για διάφορες περιπτώσεις μεταβάσεων εισόδων. Τα χαρακτηριστικά των πυλών τεχνολογίας 0.8 μm που χρησιμοποιήθηκαν, είναι τα εξής: $W_n = 8 \mu\text{m}$, $W_p = 4 \mu\text{m}$, $C_L = 0.15 \text{ pF}$. Τα διαγράμματα με τη συνεχή και τις διακεκομμένες γραμμές, έχουν προκύψει από το αναλυτικό μοντέλο υπολογισμού της κατανάλωσης ενέργειας βραχυκυκλώματος του αντιστροφέα, που παρουσιάστηκε στην Παράγραφο 4.4, αφού πρώτα εφαρμόστηκαν οι τεχνικές αναγωγής του κεφαλαίου αυτού. Τα διαγράμματα που αποτελούνται από σύμβολα, έχουν προκύψει από κυκλωματικές εξομοιώσεις με το SPICE. Το σφάλμα των υπολογισμένων τιμών ενέργειας σε σχέση με εκείνες που παράγονται από το SPICE, είναι στις περισσότερες περιπτώσεις μικρότερο από 15 %, δηλ. στα ίδια περίπου επίπεδα που ήταν και στην περίπτωση του αντιστροφέα (Παράγραφος 4.5).

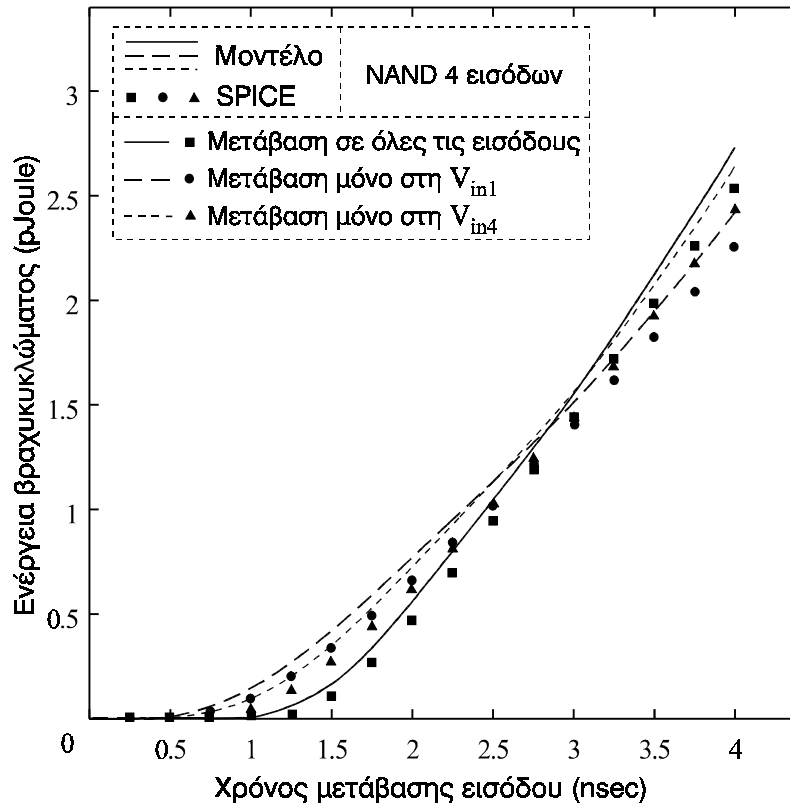
Στην περίπτωση γρήγορων μεταβάσεων εισόδων, η ενέργεια βραχυκυκλώματος είναι μικρότερη όταν υπάρχει μετάβαση σε όλες τις εισόδους από ότι στις υπόλοιπες περιπτώσεις μεταβάσεων. Αυτό συμβαίνει, κυρίως επειδή οι ισοδύναμες χωρητικότητες σύζευξης εισόδου-εξόδου και εισόδου-τροφοδοσίας (ή γείωσης), είναι μεγαλύτερες όταν υπάρχει μετάβαση σε όλες τις εισόδους, με αποτέλεσμα το ανά-



Σχήμα 5.40: Ενέργεια βραχυκυκλώματος πύλης NAND 2 εισόδων συναρτήσει του χρόνου μετάβασης εισόδου



Σχήμα 5.41: Ενέργεια βραχυκυκλώματος πύλης NAND 3 εισόδων συναρτήσει του χρόνου μετάβασης εισόδου



Σχήμα 5.42: Ενέργεια βραχυκυκλώματος πύλης NAND 4 εισόδων συναρτήσει του χρόνου μετάβασης εισόδου

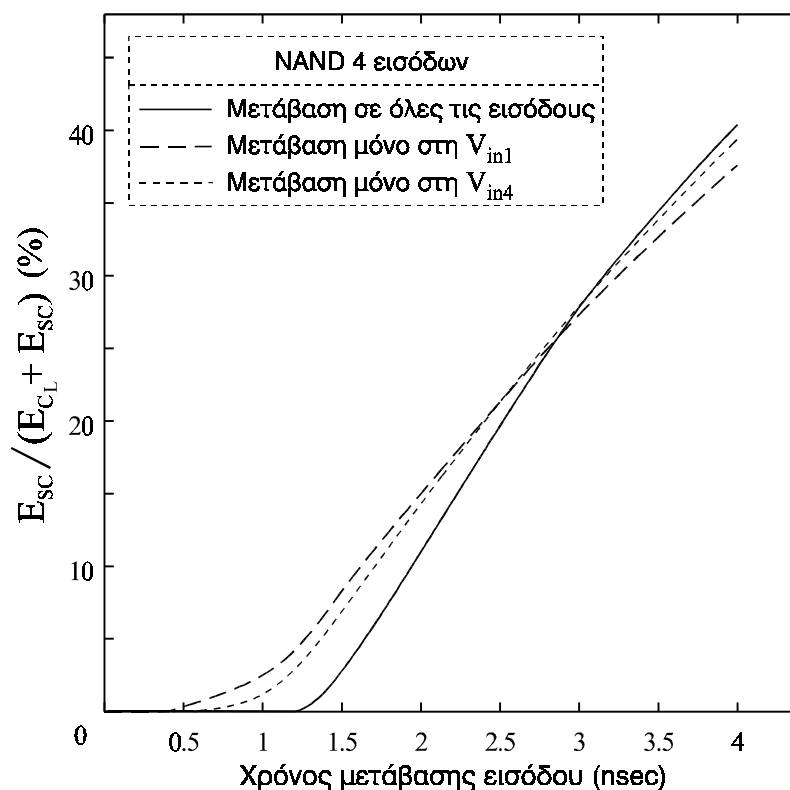
στροφο ρεύμα που οφείλεται σε αυτές να περιορίζει το ρεύμα βραχυκυκλώματος. Επίσης, ο χρόνος έναρξης αγωγής της αλυσίδας των σειριακά συνδεδεμένων τρανζίστορ είναι μεγαλύτερος. Όσον αφορά τις υπόλοιπες δύο περιπτώσεις μεταβάσεων εισόδων που παρουσιάζονται στα διαγράμματα, η περίπτωση όπου υπάρχει μετάβαση στην είσοδο που αντιστοιχεί στο τρανζίστορ που συνδέεται στη γείωση, παρουσιάζει μικρότερη κατανάλωση ενέργειας βραχυκυκλώματος. Αυτό συμβαίνει, επειδή η φόρτιση και η εκφόρτιση του κόμβου εξόδου στην περίπτωση αυτή είναι βραδύτερη. Δηλαδή, η μετάβαση εισόδου είναι ταχύτερη (σε σχέση με εκείνη της εξόδου) από την περίπτωση όπου υπάρχει μετάβαση στην είσοδο που αντιστοιχεί στο τρανζίστορ που συνδέεται στην έξοδο των πυλών. Επίσης, ο χρόνος έναρξης αγωγής της αλυσίδας των σειριακά συνδεδεμένων τρανζίστορ (για κατερχόμενη τάση εξόδου) είναι μεγαλύτερος, στην περίπτωση μετάβασης στην είσοδο που αντιστοιχεί στο τρανζίστορ που συνδέεται στη γείωση.

Στην περίπτωση αργών εισόδων, η ενέργεια βραχυκυκλώματος είναι μεγαλύτερη όταν υπάρχει μετάβαση σε όλες τις εισόδους από ότι στις υπόλοιπες περιπτώσεις μεταβάσεων. Για κατερχόμενη τάση εξόδου, το ισοδύναμο τρανζίστορ βραχυκυκλώ-

ματος (που αφορά τα παράλληλα συνδεδεμένα τρανζίστορ) στην περίπτωση αυτή, παρουσιάζει μεγαλύτερο πλάτος καναλιού από εκείνο των υπόλοιπων περιπτώσεων μεταβάσεων εισόδων. Ωστόσο, η εκφόρτιση είναι βραδύτερη και οι ισοδύναμες χωρητικότητες σύζευξης εισόδου-εξόδου και εισόδου-τροφοδοσίας είναι μεγαλύτερες, με αποτέλεσμα να μειώνεται η ενέργεια βραχυκυκλώματος. Τα δύο τελευταία φαινόμενα, όπως φαίνεται και από τα διαγράμματα, τείνουν να αντισταθμίσουν το πρώτο όσο αυξάνεται ο αριθμός εισόδων των πυλών. Για ανερχόμενη τάση εξόδου, η φόρτιση της χωρητικότητας εξόδου είναι ταχύτερη όταν υπάρχει μετάβαση σε όλες τις εισόδους, αφού πραγματοποιείται διαμέσου όλων των παράλληλα συνδεδεμένων τρανζίστορ. Ωστόσο, το πλάτος του ισοδύναμου τρανζίστορ βραχυκυκλώματος (που αφορά τα σειριακά συνδεδεμένα τρανζίστορ) είναι μικρότερο στην περίπτωση αυτή, ενώ οι ισοδύναμες χωρητικότητες σύζευξης εισόδου-εξόδου και εισόδου-γείωσης είναι μεγαλύτερες, με αποτέλεσμα να μειώνεται η ενέργεια βραχυκυκλώματος. Η επίδραση των δύο τελευταίων φαινομένων γίνεται εντονότερη με την αύξηση του αριθμού εισόδων των πυλών, όπως φαίνεται και στα διαγράμματα. Όσον αφορά τις υπόλοιπες δύο περιπτώσεις μεταβάσεων που παρουσιάζονται στα διαγράμματα, η περίπτωση όπου υπάρχει μετάβαση στην είσοδο που αντιστοιχεί στο τρανζίστορ που συνδέεται στη γείωση, παρουσιάζει για αργές μεταβάσεις εισόδου, μεγαλύτερη κατανάλωση ενέργειας βραχυκυκλώματος. Αυτό συμβαίνει, κυρίως επειδή η εκφόρτιση στην περίπτωση αυτή είναι αρκετά πιο γρήγορη από εκείνη της περίπτωσης όπου υπάρχει μετάβαση στην είσοδο που αντιστοιχεί στο τρανζίστορ που συνδέεται στην έξοδο των πυλών. Βέβαια, ο χρόνος έναρξης αγωγής της αλυσίδας των σειριακά συνδεδεμένων τρανζίστορ είναι μεγαλύτερος (για κατερχόμενη τάση εξόδου) και το ισοδύναμο φορτίο εξόδου λίγο μεγαλύτερο (για ανερχόμενη τάση εξόδου). Ωστόσο, η επίδραση των δύο τελευταίων φαινομένων δεν είναι αρκετή για να αντισταθμίσει την επίδραση του πρώτου.

Συγκρίνοντας τα διαγράμματα των Σχημάτων 5.40 – 5.42, παρατηρούμε ότι όσο αυξάνεται ο αριθμός των τρανζίστορ (δηλ. ο αριθμός των εισόδων) στις στατικές πύλες CMOS, η κατανάλωση ενέργειας βραχυκυκλώματος μειώνεται, κυρίως επειδή οι μεταβάσεις εξόδου γίνονται βραδύτερες (κατερχόμενη περίπτωση) και οι χωρητικότητες σύζευξης εισόδου-εξόδου και εισόδου-τροφοδοσίας (ή γείωσης) μεγαλύτερες, ιδιαίτερα στην περίπτωση όπου υπάρχει μετάβαση σε όλες τις εισόδους.

Τέλος, στο Σχήμα 5.43 δίνεται το διάγραμμα του ποσοστού της συνολικής κα-



Σχήμα 5.43: Συμμετοχή της ενέργειας βραχυκυκλώματος στη συνολική κατανάλωση ενέργειας μιας πύλης NAND 4 εισόδων

τανάλωσης ενέργειας (λόγω του ρεύματος φόρτισης της χωρητικότητας εξόδου και του ρεύματος βραχυκυκλώματος) που καλύπτει η ενέργεια βραχυκυκλώματος μιας πύλης NAND 4 εισόδων, συναρτήσει του χρόνου μετάβασης εισόδων και για τις τρεις περιπτώσεις μετάβασης εισόδων που αναφέρθηκαν παραπάνω. Είναι φανερό ότι, η συμμετοχή της ενέργειας βραχυκυκλώματος είναι σημαντική, ιδιαίτερα όταν πρόκειται για αργές μεταβάσεις εισόδων.

5.7 Συμπεράσματα

Στο κεφάλαιο αυτό, παρουσιάστηκε μια αναλυτική μεθοδολογία για την αναγωγή στατικών πυλών CMOS (NAND και NOR) σε ισοδύναμους αντιστροφείς. Η μεθοδολογία αυτή συνδυαζόμενη με τα αναλυτικά μοντέλα του αντιστροφέα που βασίζονται στο μοντέλο MOS δύναμης του α (Κεφάλαιο 4), οδηγεί στον αναλυτικό υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας βραχυκυκλώματος των πυλών.

Η αναγωγή μιας στατικής πύλης σε ισοδύναμο αντιστροφέα βασίστηκε στην ανάλυση της λειτουργίας των σειριακά και παράλληλα συνδεδεμένων τρανζίστορ, ό-

ταν αυτά λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης του κόμβου εξόδου και όταν λειτουργούν ως κλάδος βραχυκυκλώματος. Κατά την ανάλυση αυτή, συμπεριλήφθησαν οι επιδράσεις όλων των βασικών παραγόντων που επηρεάζουν τη λειτουργία των στατικών πυλών CMOS, όπως η κλίση των κυματομορφών εισόδου, η χωρητικότητα εξόδου, οι χωρητικότητες των εσωτερικών κόμβων, ο αριθμός και η θέση των τρανζίστορ με μετάβαση στην είσοδο που τους αντιστοιχεί και το φαινόμενο σώματος (body effect). Επίσης, κατά τη μοντελοποίηση εξετάστηκε η περίπτωση όπου οι μεταβάσεις των εισόδων μιας στατικής πύλης, είναι χρονικά επικαλυπτόμενες.

Οι τεχνικές αναγωγής που αναπτύχθηκαν στο κεφάλαιο αυτό, αξιολογήθηκαν στην Παράγραφο 5.6. Από τα διαγράμματα κυματομορφών τάσης εξόδου, καθυστέρησης και ενέργειας βραχυκυκλώματος, που δόθηκαν στην παράγραφο αυτή, συμπεραίνεται ότι για διάφορες τιμές των χαρακτηριστικών των πυλών και για διάφορους συνδυασμούς μεταβάσεων στις εισόδους των πυλών, τα αποτελέσματα που προκύπτουν είναι πολύ κοντά σε εκείνα που παράγονται από κυκλωματικές εξομοιώσεις.

Η μοντελοποίηση της χρονικής απόκρισης των στατικών πυλών NAND και NOR που παρουσιάστηκε, αποτελεί ένα καθοριστικό βήμα, για τη μοντελοποίηση πιο σύνθετων στατικών πυλών CMOS, που περιλαμβάνουν συνδυασμό από σειριακά και παράλληλα συνδεδεμένα τρανζίστορ μεταξύ της τροφοδοσίας και του κόμβου εξόδου και μεταξύ της γείωσης και του κόμβου εξόδου (π.χ. πύλες And-Or-Invert). Κάποιες μεθοδολογίες μοντελοποίησης σύνθετων πυλών CMOS [144],[147],[148] που έχουν αναπτυχθεί, ανάγουν αρχικά τις σύνθετες πύλες σε ισοδύναμες πύλες NAND και NOR. Η διαδικασία ξεκινάει με την εκτίμηση του αγώγιμου μονοπατιού μεταξύ της εξόδου και της γείωσης ή της τροφοδοσίας, για ένα δεδομένο συνδυασμό μεταβάσεων εισόδου. Στη συνέχεια καθορίζεται ένας συντελεστής διαβάθμισης (scaling factor) που ανάγει την διαγωγιμότητα (ή το ισοδύναμο πλάτος καναλιού) των κλάδων μιας σύνθετης πύλης στην αντίστοιχη της ισοδύναμης πύλης NAND ή NOR [144],[148]. Η διαδικασία περιλαμβάνει επίσης την αναγωγή των παρασιτικών χωρητικότητων των σύνθετων πυλών σε εκείνες των ισοδύναμων πυλών NAND ή NOR.

Κεφάλαιο 6

Συμπεράσματα

Στην παρούσα διατριβή αναπτύχθηκαν αναλυτικά μαθηματικά μοντέλα για τον υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας στατικών κυκλωμάτων CMOS. Τα μοντέλα αυτά παρέχουν μεγάλη ακρίβεια, ενώ η αναλυτική τους φύση εξασφαλίζει μικρούς χρόνους υπολογισμού, αφού δεν απαιτείται η χρήση χρονοβόρων αριθμητικών μεθόδων. Αρχικά, μοντελοποιήθηκε η χρονική απόκριση και η κατανάλωση ενέργειας του αντιστροφέα CMOS και στη συνέχεια αναπτύχθηκαν τεχνικές για την αναγωγή στατικών πυλών CMOS σε ισοδύναμους αντιστροφείς. Μέσα από τη μοντελοποίηση της χρονικής απόκρισης, προέκυψαν αναλυτικές εκφράσεις για τον υπολογισμό της καθυστέρησης και του χρόνου μετάβασης της τάσης εξόδου των πυλών. Όσον αφορά την κατανάλωση ενέργειας, η συνιστώσα της που οφείλεται στη φόρτιση ή την εκφόρτιση της χωρητικότητας εξόδου (δυναμική κατανάλωση ενέργειας) εξαρτάται μονάχα από τη χωρητικότητα αυτή και την τάση τροφοδοσίας, με αποτέλεσμα η μοντελοποίησή της να είναι εύκολη. Έτσι, στην παρούσα διατριβή δόθηκε έμφαση στον υπολογισμό της κατανάλωσης ενέργειας βραχυκυκλώματος, η οποία εξαρτάται από τα εσωτερικά χαρακτηριστικά της πύλης, την κλίση της κυματομορφής εισόδου το χωρητικό φορτίο και την τάση τροφοδοσίας.

Στο δεύτερο κεφάλαιο της διατριβής, έγινε μια ανασκόπηση των τεχνικών εξομοίωσης και μοντελοποίησης της χρονικής απόκρισης και της κατανάλωσης ενέργειας κυκλωμάτων VLSI. Οι τεχνικές που εφαρμόζονται σε κυκλωματικό επίπεδο παρέχουν μεγάλη ακρίβεια, αλλά το υπολογιστικό τους κόστος είναι μεγάλο, με αποτέλεσμα να μην είναι πρακτικές για μεγάλα κυκλώματα. Αντίθετα, οι λογικοί εξομοιωτές

παρουσιάζουν μεγάλη ταχύτητα υπολογισμού, αλλά μικρή ακρίβεια. Για να γεφυρωθεί το κενό μεταξύ των λογικών και των κυκλωματικών εξομοιωτών, έχουν αναπτυχθεί διάφορες τεχνικές μοντελοποίησης, μία από τις οποίες είναι αυτή που βασίζεται στην ανάλυση της χρονικής απόκρισης και της κατανάλωσης ενέργειας του αντιστροφέα CMOS.

Έτσι αρχικά, στο τρίτο κεφάλαιο της διατριβής παρουσιάστηκαν αναλυτικά μοντέλα υπολογισμού της χρονικής απόκρισης και της κατανάλωσης ενέργειας του αντιστροφέα CMOS, που είναι βασισμένα στο προσεγγιστικό μοντέλο MOS φορτίου-υποστρώματος νόμου του τετραγώνου (approximated bulk-charge square-law model) [32],[49]. Το μοντέλο αυτό αναπαριστά με ακρίβεια τη συμπεριφορά των τρανζίστορ με μεγάλο μήκος καναλιού ($> 3 \mu\text{m}$). Επειδή όμως τα μοντέλα MOS νόμου του τετραγώνου δεν παρέχουν ακρίβεια στην περίπτωση τρανζίστορ με μικρό μήκος καναλιού, στη συνέχεια αναπτύχθηκαν μαθηματικά μοντέλα για τον υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας του αντιστροφέα, τα οποία λαμβάνουν υπόψη την επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων που είναι ιδιαίτερα σημαντική στις τεχνολογίες υπομικρομέτρου [19],[32]. Ουσιαστικά, πρόκειται για μια επέκταση των μοντέλων που αναπτύχθηκαν αρχικά, η οποία είναι βασισμένη σε ένα απλό μοντέλο MOS [32],[230] για τεχνολογίες υπομικρομέτρου.

Τα μοντέλα που αναπτύχθηκαν παρουσιάζουν αυξημένη ακρίβεια, λόγω του ότι βασίζονται στην παραγωγή αναλυτικών εκφράσεων της κυματομορφής της τάσης εξόδου του αντιστροφέα, που εκτός από τις επιδράσεις της κλίσης της κυματομορφής εισόδου, του χωρητικού φορτίου και του ρεύματος φόρτισης ή εκφόρτισης, συμπεριλαμβάνουν και τις επιδράσεις του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης μεταξύ της εισόδου και της εξόδου. Η θεώρηση μηδενικού ρεύματος βραχυκυκλώματος που έχει γίνει σε προηγούμενες εργασίες, μπορεί να οδηγήσει σε σφάλμα μεγαλύτερο από 20%, ιδιαίτερα στην περίπτωση όπου η μετάβαση στην είσοδο είναι αργότερη από τη μετάβαση εξόδου. Επίσης, η αγνόηση της επίδρασης της χωρητικότητας σύζευξης στην κυματομορφή της τάσης εξόδου οδηγεί σε σημαντικό σφάλμα, ιδιαίτερα όταν η είσοδος μεταβάλλεται γρήγορα ή το χωρητικό φορτίο εξόδου είναι σχετικά μικρό. Σημαντική επίσης είναι η επίδραση των δύο παραπάνω παραγόντων στην κατανάλωση ενέργειας βραχυκυκλώματος. Η θεώρηση αμελητέας επίδρασης του ρεύματος βραχυκυκλώματος και της χωρητικότητας σύζευξης, έχει ως αποτέλεσμα την υπερεκτίμηση της κατανάλωσης ενέργειας βρα-

χυκυκλώματος.

Στο τέταρτο κεφάλαιο της διατριβής, αναπτύχθηκαν αναλυτικά μοντέλα για τη χρονική απόκριση και την κατανάλωση ενέργειας βραχυκυκλώματος του αντιστροφέα CMOS, που βασίζονται στο μοντέλο MOS δύναμης του α [19], το οποίο αναπαριστά με μεγαλύτερη ακρίβεια την επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων. Τα μοντέλα αυτά μπορούν να εφαρμοστούν σε κάθε τεχνολογία CMOS, αφού στην εξίσωση ρεύματος κόρου των τρανζίστορ συμπεριλαμβάνεται ο εκθέτης α , ο οποίος κινείται από το 2 προς το 1, όταν η επίδραση του φαινομένου κορεσμού της ταχύτητας των φορέων γίνεται ισχυρότερη (δηλ. όταν το μήκος καναλιού των τρανζίστορ μικραίνει). Τα μοντέλα που αναπτύχθηκαν παρουσιάζουν αυξημένη ακρίβεια, αφού συμπεριλαμβάνουν την επίδραση των ίδιων παραγόντων με τα μοντέλα που αναπτύχθηκαν στο τρίτο κεφάλαιο, διατηρώντας παρόμοια μαθηματική πολυπλοκότητα. Επιπλέον, στο αναλυτικό μοντέλο της κατανάλωσης ενέργειας βραχυκυκλώματος, συμπεριλαμβάνεται και η επίδραση του ρεύματος διαμέσου της χωρητικότητας μεταξύ της εισόδου και της τροφοδοσίας ή της γείωσης του αντιστροφέα.

Τα αναλυτικά μοντέλα που προτάθηκαν στα κεφάλαια 3 και 4, αξιολογήθηκαν στις Παραγράφους 3.2.5, 3.3.5 και 4.5. Από τα διαγράμματα κυματομορφής εξόδου, καθυστέρησης, χρόνου μετάβασης εξόδου και κατανάλωσης ενέργειας βραχυκυκλώματος που παρουσιάζονται στις παραγράφους αυτές, συμπεραίνεται ότι για διάφορες τιμές των παραμέτρων του κυκλώματος (κλίση εισόδου, χωρητικότητα εξόδου, τάση τροφοδοσίας, διαστάσεις των τρανζίστορ), τα αποτελέσματα που προκύπτουν από τα προτεινόμενα αναλυτικά μοντέλα παρουσιάζουν μικρότερο σφάλμα από εκείνα που προτείνονται σε άλλες εργασίες και είναι πολύ κοντά σε εκείνα που παράγονται από κυκλωματικές εξομοιώσεις.

Στο πέμπτο κεφάλαιο, αναπτύχθηκε μια μεθοδολογία για την αναγωγή στατικών πυλών CMOS (NAND και NOR) σε ισοδύναμους αντιστροφείς. Η μεθοδολογία αυτή συνδυαζόμενη με τα αναλυτικά μοντέλα του αντιστροφέα που βασίζονται στο μοντέλο MOS δύναμης του α , οδηγεί στον αναλυτικό υπολογισμό της χρονικής απόκρισης και της κατανάλωσης ενέργειας βραχυκυκλώματος των πυλών. Η αναγωγή μιας στατικής πύλης σε ισοδύναμο αντιστροφέα βασίστηκε στην ανάλυση της λειτουργίας των σειριακά και παράλληλα συνδεδεμένων τρανζίστορ, όταν αυτά λειτουργούν ως κλάδος φόρτισης ή εκφόρτισης του κόμβου εξόδου και όταν λειτουργούν ως κλάδος βραχυκυκλώματος. Κατά την ανάλυση αυτή, συμπεριλήφθησαν

οι επιδράσεις όλων των βασικών παραγόντων που επηρεάζουν τη λειτουργία των στατικών πυλών CMOS, όπως η κλίση των κυματομορφών εισόδου, η χωρητικότητα εξόδου, οι χωρητικότητες των εσωτερικών κόμβων, ο αριθμός και η θέση των τρανζίστορ με μετάβαση στην είσοδο που τους αντιστοιχεί και το φαινόμενο σώματος. Επίσης, κατά τη μοντελοποίηση εξετάστηκε η περίπτωση όπου οι μεταβάσεις των εισόδων μιας στατικής πύλης, είναι χρονικά επικαλυπτόμενες. Οι τεχνικές αναγωγής που αναπτύχθηκαν στο κεφάλαιο αυτό, αξιολογήθηκαν στην Παράγραφο 5.6. Από τα διαγράμματα κυματομορφών τάσης εξόδου, καθυστέρησης και ενέργειας βραχυκυκλώματος, που δόθηκαν στην παράγραφο αυτή, συμπεραίνεται ότι για διάφορες τιμές των χαρακτηριστικών των πυλών και για διάφορους συνδυασμούς μεταβάσεων στις εισόδους των πυλών, τα αποτελέσματα που προκύπτουν είναι πολύ κοντά σε εκείνα που παράγονται από κυκλωματικές εξομοιώσεις.

Μια από τις επεκτάσεις της ερευνητικής δραστηριότητας που παρουσιάστηκε στα προηγούμενα κεφάλαια, αποτελεί η μοντελοποίηση πιο σύνθετων στατικών πυλών CMOS, που περιλαμβάνουν συνδυασμό από σειριακά και παράλληλα συνδεδεμένα τρανζίστορ μεταξύ της τροφοδοσίας και του κόμβου εξόδου και μεταξύ της γείωσης και του κόμβου εξόδου (π.χ. πύλες And-Or-Invert). Η αμεσότητα της επέκτασης αυτής, φαίνεται και από το ότι κάποιες μεθοδολογίες μοντελοποίησης σύνθετων πυλών CMOS [144],[147],[148] που έχουν αναπτυχθεί, ανάγουν αρχικά τις σύνθετες πύλες σε ισοδύναμες πύλες NAND και NOR. Επίσης, τα μοντέλα που αναπτύχθηκαν στα προηγούμενα κεφάλαια, μπορούν να εφαρμοστούν και σε πύλες CMOS δυναμικής λογικής (π.χ. λογική διαδοχικής επίδρασης – Domino logic), αφού ο κλάδος μεταξύ του κόμβου εξόδου και της γείωσης (κλάδος εκφόρτισης στη φάση υπολογισμού των πυλών) στις πύλες αυτές, αποτελείται από σειριακά ή παράλληλα συνδεδεμένα τρανζίστορ [8],[251],[252]. Μια ακόμη μελλοντική επέκταση, αποτελεί η ανάπτυξη μοντέλων υπολογισμού της χρονικής απόκρισης στατικών πυλών που αποτελούνται από τρανζίστορ περάσματος (pass transistors) [8],[126].

Σε περιπτώσεις τεχνολογιών πολύ μικρού μήκους καναλιού, όπου το πλάτος των γραμμών σύνδεσης είναι πολύ μικρό, η επίδραση της αντίστασης που εμπεριέχουν γίνεται σημαντική και επηρεάζει τη χρονική απόκριση των κυκλωμάτων [248], [249]. Έτσι, μια ενδιαφέρουσα ερευνητική επέκταση αποτελεί η μοντελοποίηση της συμπεριφοράς των γραμμών σύνδεσης για τεχνολογίες πολύ μικρού μήκους καναλιού (deep-submicron technologies).

Βιβλιογραφία

- [1] Z. Navabi, *VHDL: Analysis and Modeling of Digital Systems*. NY: McGraw-Hill, 1993.
- [2] L.W. Nagel, "SPICE2: A computer program to simulate semiconductor circuits", *Memo. No. ERL-M520*, Electronics Research Lab., Univ. of California, Berkeley, May 1975.
- [3] M.R. Lightner, "Modeling and simulation of VLSI digital systems", *Proc. IEEE*, vol. 75, pp. 786-796, June 1987.
- [4] D. Ku, G. De Micheli, *High Level Synthesis of ASIC under Timing and Synchronization Constraints*. MA: Kluwer Academic, 1992.
- [5] A. Srinivasan, G.D. Huber, D.P. Lapotin, "Accurate area and delay estimation from RTL descriptions", *IEEE Trans. VLSI Systems*, vol. 6, pp. 168-172, March 1998.
- [6] D.J. Pilling, P.F. Ordnung, D. Heald, "Time delays in LSI circuits", *IEEE Int. Symp. Circuit Theory*, April 1972, pp. 311-315.
- [7] D.A. Hodges, H.G. Jackson, *Analysis and Design of Digital Integrated Circuits*. NY: McGraw-Hill, 1988.
- [8] N.H.E. Weste, K. Eshraghian, *Principles of CMOS VLSI Design: A Systems Perspective*. NY: McGraw-Hill, 1993.
- [9] R.E. Bryant, "A survey of switch level algorithms", *IEEE Design and Test of Computers*, vol. 4, pp. 26-40, August 1987.
- [10] R.E. Bryant, "A switch-level model and simulator for MOS digital systems", *IEEE Trans. Computers*, vol. C-33, pp. 160-177, Feb. 1984.
- [11] W.T. Weeks, A.J. Jimenez, G.W. Mahoney, D. Mehta, H. Qassemzadeh, T.R. Scott, "Algorithms for ASTAP - a network analysis program", *IEEE Trans. Circuits Theory*, vol. CT-20, pp. 628-634, Nov. 1973.
- [12] G. De Micheli, H.Y. Hsieh, I. Hajj, "Decomposition techniques for large scale circuits analysis and simulation", *Circuit Analysis, Simulation and Design 2*, A.E. Ruehli, Ed. Netherlands: North-Holland, 1987.
- [13] G.D. Hachtel, A.L. Sangiovanni-Vincentelli, "A survey of third-generation simulation techniques", *Proc. IEEE*, vol. 69, pp. 1264-1280, Oct. 1981.

- [14] J.K. White, A.L. Sangiovanni-Vincentelli, *Relaxation techniques for the simulation of VLSI circuits*. MA: Kluwer Academic, 1987.
- [15] A.R. Newton, A.L. Sangiovanni-Vincentelli, "Relaxation-based electrical simulation", *IEEE Trans. Electron Devices*, vol. ED-30, pp. 1184-1207, Sept. 1983.
- [16] D. Tsao, C.F. Chen, "A fast timing simulator for digital MOS circuits", *IEEE Trans. computer-Aided Design*, vol. CAD-5, pp. 536-540, Oct. 1986.
- [17] Y.H. Shih, Y. Leblebici, S.M. Kang, "ILLIADS: A fast timing and reliability simulator for digital MOS circuits", *IEEE Trans. Computer-Aided Design*, vol. 12, pp. 1387-1402, Sept. 1993.
- [18] N. Hedenstierna, K.O. Jeppson, "CMOS circuit speed and buffer optimization", *IEEE Trans. Computer-Aided Design*, vol. CAD-6, pp. 270-281, March 1987.
- [19] T. Sakurai, A.R. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulas", *IEEE J. Solid-State Circuits*, vol. 25, pp. 584-594, April 1990.
- [20] A. Nabavi-Lishi, N.C. Rumin, "Inverter models of CMOS gates for supply current and delay evaluation", *IEEE Trans. Computer-Aided Design*, vol. 13, pp. 1271-1279, Oct. 1994.
- [21] A. Chatzigeorgiou, S. Nikolaidis, "Collapsing the transistor chain to an effective single equivalent transistor", *IEEE Design Automation and Test in Europe Conf.*, Feb. 1998, pp. 2-6.
- [22] R.X. Gu, M.I. Elmasry, "Power dissipation analysis and optimization of deep sub-micron CMOS digital circuits", *IEEE J. Solid-State Circuits*, vol. 31, pp. 707-713, May 1996.
- [23] A.P. Chandrakasan, S. Sheng, R.W. Brodersen, "Low-power CMOS digital design", *IEEE J. Solid-State Circuits*, vol. 27, pp. 473-484, April 1992.
- [24] A.P. Chandrakasan, R.W. Brodersen, *Low Power Digital CMOS Design*. MA: Kluwer Academic, 1995.
- [25] J. Figueras, "Low power circuit and logic level design: Modeling", *Low Power Design in Deep Submicron Electronics*, W. Nebel, J. Mermert, Ed. Netherlands: Kluwer Academic, 1997.
- [26] H.J.M. Veendrick, "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits", *IEEE J. Solid-State Circuits*, vol. SC-19, pp. 468-473, August 1984.
- [27] S.M. Kang, "Accurate simulation of power dissipation in VLSI circuits", *IEEE J. Solid-State Circuits*, vol. SC-21, pp. 889-891, Oct. 1986.
- [28] G.Y. Yacoub, W.H. Ku, "An enhanced technique for simulating short-circuit power dissipation", *IEEE J. Solid-State Circuits*, vol. 24, pp. 844-847, June 1989.
- [29] L. Brocco, S.P. McCormic, J. Allen, "Macromodeling CMOS circuits for timing simulation", *IEEE Trans. Computer-Aided Design*, vol. 7, pp. 1237-1249, Dec. 1988.
- [30] H.Y. Hsieh, N.B. Rabbat, A.E. Ruehli, "Macromodeling and macrosimulation techniques", *IEEE Int. Symp. Circuits and Systems*, May 1987, pp. 336-339.
- [31] H. Shichman, D.A. Hodges, "Modeling and simulation of insulated-gate field-effect transistor switching circuits", *IEEE J. Solid-State Circuits*, vol. SC-3, pp. 285-289, Sept. 1968.

- [32] Y.P. Tsividis, *Operation and modeling of the MOS transistor*. NY: McGraw-Hill, 1988.
- [33] P. Yang, P.K. Chatterjee, "SPICE modeling for small geometry MOSFET circuits", *IEEE Trans. Computer-Aided Design*, vol. CAD-1, pp. 169-182, Oct. 1982.
- [34] D.E. Ward, R.W. Dutton, "A charge-oriented model for MOS transistor capacitances", *IEEE J. Solid-State Circuits*, vol. SC-13, pp. 703-707, Oct. 1978.
- [35] R. Gharabagi, M.A. El-Nokali, "A charge-based model for short-channel MOS transistor capacitances", *IEEE Trans. Elect. Devices*, vol.37, pp.1064-1073, April 1990.
- [36] K.O. Jeppson, "Modeling the influence of the transistor gain ratio, and the input-to-output coupling capacitance on the CMOS inverter delay", *IEEE J. Solid-State Circuits*, vol. 29, pp. 646-654, June 1994.
- [37] A.G. Patel, W. Bridgewater, R. Polaka, "NEWTON: Logic simulation with circuit simulation accuracy for ASIC design", *IEEE Custom Integrated Circuits Conf.*, May 1986, pp. 456-459.
- [38] V.B. Rao, T.N. Trick, I.N. Hajj, "A table-driven delay-operator approach to timing simulation of MOS VLSI circuits", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1983, pp. 445-448.
- [39] F.C. Chang, C.F. Chen, P. Subramaniam, "An accurate and efficient gate level delay calculator for MOS circuits", *ACM/IEEE Design Automation Conf.*, June 1988, pp. 282-287.
- [40] S.R. Nassif, S.W. Director, "WASIM: A waveform based simulator for VLSICs", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1985, pp. 29-31.
- [41] Y.H. Jun, K. Jun, S.B. Park, "An accurate and efficient delay time modeling for MOS logic circuits using polynomial approximation", *IEEE Trans. Computer-Aided Design*, vol. 8, pp. 1027-1032, Sept. 1989.
- [42] A. C. Deng, "Piecewise linear timing delay modeling for digital CMOS circuits", *IEEE Trans. Circuits and Systems*, vol. 35, pp. 1330-1334, Oct. 1988.
- [43] J. Rubinstein, P. Penfield, M.A. Horowitz, "Signal delay in RC tree networks", *IEEE Trans. Computer-Aided Design*, vol. CAD-2, pp. 202-211, July 1983.
- [44] C.J. Terman, "Timing simulation for large digital MOS circuits", *Advances in Computer-Aided Engineering Design*, A. Sangiovanni-Vincentelli, Ed. CN: Jai Press, 1985.
- [45] J.K. Ousterhout, "A switch level timing verifier for digital MOS VLSI", *IEEE Trans. Computer-Aided Design*, vol. CAD-4, pp. 336-349, July 1985.
- [46] J.T. Kong, D. Overhauser, "Methods to improve digital MOS macromodel accuracy", *IEEE Trans. Computer-Aided Design*, vol. 14, pp. 868-881, July 1995.
- [47] S. Dutta, S.S. Mahant Shetti, S.L. Lusky, "A comprehensive delay model for CMOS inverters", *IEEE J. Solid-State Circuits*, vol. 30, pp. 864-871, August 1995.
- [48] S. Chowdhury, J.S. Barkatullah, "Estimation of maximum currents in MOS IC logic circuits", *IEEE Trans. Computer-Aided Design*, vol. 9, pp.642-654, June 1990.
- [49] J.P. Uymera, *Circuit Design for CMOS VLSI*. MA: Kluwer Academic, 1992.
- [50] N.P. Joupi, "Timing analysis of nMOS VLSI", *ACM/IEEE Design Automation*

- Conf.*, June 1983, pp. 411-418.
- [51] N.P. Joupi, "Timing analysis and performance improvement of MOS VLSI design", *IEEE Trans. Computer-Aided Design*, vol. CAD-6, pp. 650-665, July 1987.
- [52] M.R. Dagenais, S. Gaiotti, N.C. Rumin, "Transistor-level estimation of worst-case delays in MOS VLSI circuits", *IEEE Trans. Computer-Aided Design*, vol. 11, pp. 384-395, March 1992.
- [53] S. Devadas, K. Keutzer, S. Malik, A. Wang, "Certified timing verification and the transition delay of a logic circuit", *IEEE Trans. VLSI Systems*, vol. 2, pp. 333-342, Sept. 1994.
- [54] A. Vladimirescu, S. Liu, "The simulation of MOS integrated circuits using SPICE2", *Memo. No. ERL-M80/7*, Electronics Research Lab., Univ. of California, Berkeley, Feb. 1980.
- [55] R.A. Saleh, A.R. Newton, *Mixed - Mode Simulation*. MA: Kluwer Academic, 1988.
- [56] S. Vakowitz, F. Szidarovszky, *An Introduction to Numerical Computations*. NY: Macmillan, 1989.
- [57] E. Profumo, "The MOS transistor", *Semiconductor Device Modeling with SPICE*, P. Antognetti, G. Massobrio, Ed. NY: McGraw-Hill, 1988.
- [58] S.L. Wong, C.A.T Salama, "Improved simulation of p- and n- channel MOSFETs using an enhanced SPICE MOS3 model", *IEEE Trans. Computer-Aided Design*, vol. CAD-6, pp. 586-591, July 1987.
- [59] B.J. Sheu, D.L. Scharfetter, P.K. Ko, M.C. Jeng, "BSIM: Berkeley short-channel IGFET model for MOS transistors", *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 558-566, August 1987.
- [60] S.M. Gowda, B.J. Sheu, J.S. Cable, "An accurate MOS transistor model for sub-micron VLSI circuits - BSIM_plus", *IEEE Custom Integrated Circuits Conf.*, May 1991, pp. 23.2.1-23.2.4.
- [61] J.H. Huang, Z.H. Liu, M.C. Jeng, P.K. Ko, C. Hu, "A robust physical and predictive model for deep-submicrometer MOS circuit simulation", *IEEE Custom Integrated Circuits Conf.*, May 1993, pp. 14.2.1-14.2.4.
- [62] P. Yang, B.D. Epler, P.K. Chatterjee, "An investigation of the charge conservation problem for MOSFET circuit simulation", *IEEE J. Solid-State Circuits*, vol. SC-18, pp. 128-136, Feb. 1983.
- [63] J.E. Meyer, "MOS models and circuit simulation", *RCA Review*, vol.32, pp. 42-43, March 1971.
- [64] B.J. Sheu, P.K. Ko, "Measurement and modeling of short-channel MOS transistor gate capacitances", *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 464-472, June 1987.
- [65] S.S.S. Chung, "A charge-based capacitance model of short-channel MOSFETs", *IEEE Trans. Computer-Aided Design*, vol. 8, pp. 1-7, Jan. 1989.
- [66] J.L. Burns, A.R. Newton, D.O. Peterson, "Active device table look-up models for circuit simulation", *IEEE Int. Symp. Circuits and Systems*, May 1983, pp. 250-253.
- [67] W.M. Coughran, E. Grosse, D.J. Rose, "CAzM: A circuit analyzer with macro-modeling", *IEEE Trans. Elect. Devices*, vol.ED-30, pp.1207-1213, Sept. 1983.

- [68] J.A. Barby, J. Vlach, K. Singhal, "Polynomial splines for MOSFET model approximation", *IEEE Trans. Computer-Aided Design*, vol.7, pp.557-566, May 1988.
- [69] Y.H. Jun, S.B. Park, "Piecewise polynomial models for MOSFET dc characteristics with continuous first order derivative", *IEEE Int. Symp. Circuits and Systems*, June 1988, pp. 2589-2592.
- [70] I.N. Hajj, "Sparsity considerations in network solution by tearing", *IEEE Trans. Circuits and Systems*, vol. CAS-27, pp. 357-366, May 1980.
- [71] A.L. Sangiovanni-Vincentelli, L.K. Chen, L.O. Chua, "An efficient heuristic cluster algorithm for tearing large-scale networks", *IEEE Trans. Circuits and Systems*, vol. CAS-24, pp. 709-717, Dec. 1977.
- [72] F.F. Wu, "Solution of large-scale networks by tearing", *IEEE Trans. Circuits and Systems*, vol. CAS-23, pp. 706-713, Dec. 1976.
- [73] P. Yang, I.N. Hajj, T.N. Trick, "SLATE: A circuit simulator program with latency exploitation and node tearing", *IEEE Int. Conf. Circuits and Computers*, Oct. 1980, pp. 353-355.
- [74] N.B.G. Rabbat, A.L. Sangiovanni-Vincentelli, H.Y. Hsieh, "A multilevel Newton algorithm with macromodeling and latency for the analysis of large-scale non-linear circuits in the time domain", *IEEE Trans. Circuits and Systems*, vol. CAS-26, pp. 733-741, Sept. 1979.
- [75] R.S. Varga, *Matrix Iterative Analysis*. NJ: Prentice-Hall, 1962.
- [76] C. Shi, K. Zhang, "Tree-relaxation: A new iterative solution method for linear equations", *IEEE Int. Symp. Circuits and Systems*, June 1988, pp. 2355-2358.
- [77] R.A. Saleh, J.E. Kleckner, A.R. Newton, "Iterated timing analysis in SPLICE1", *IEEE Int. Conf. Computer-Aided Design*, Sept. 1983, pp. 139-140.
- [78] C.F. Chen, P. Subramaniam, "The second generation MOTIS timing simulator - An efficient and accurate approach for general MOS circuits", *IEEE Int. Symp. Circuits and Systems*, May 1984, pp. 538-542.
- [79] B.R. Chawla, H.K. Gummel, P. Kozak, "MOTIS - An MOS timing simulator", *IEEE Trans. Circuits and Systems*, vol. CAS-22, pp. 901-910, Dec. 1975.
- [80] E. Lelarsmee, A.L. Sangiovanni-Vincentelli, "RELAX: A new circuit simulator for large scale MOS integrated circuits", *ACM/IEEE Design Automation Conf.*, June 1982, pp. 682-690.
- [81] D.J. Erdman, D.J. Rose, "Newton waveform relaxation techniques for tightly coupled systems", *IEEE Trans. Computer-Aided Design*, vol. 11, pp. 598-606, May 1992.
- [82] B. Hennion, P. Senn, D. Coquelle, "A new algorithm for third generation circuit simulators: The one-step relaxation method", *ACM/IEEE Design Automation Conf.*, June 1985, pp. 137-143.
- [83] J. Besnard, J. Benkoski, B. Hennion, "Eldo-XL: A software accelerator for the analysis of digital MOS circuits by an analog simulator", *European Design Automation Conf.*, Feb. 1991, pp. 136-141.
- [84] R. Raghuram, *Computer Simulation of Electronic Circuits*. NY: John Wiley & Sons, 1989.
- [85] R.M. McDermotte, "Transmission gate modeling in an existing three-value simulator", *ACM/IEEE Design Automation Conf.*, June 1982, pp.678-681.

- [86] D. Koehler, "Computer modeling of logic modules under consideration of delay and waveshaping", *Proc. IEEE*, vol. 57, pp. 1294-1296, July 1969.
- [87] H.N. Nham, A. Bose, "A multiple delay simulator for MOS LSI circuits", *ACM/IEEE Design Automation Conf.*, June 1980, pp. 610-617.
- [88] A. Koppel, S. Shah, P. Puri, "A high performance delay calculation software system for MOSFET digital logic chips", *ACM/IEEE Design Automation Conf.*, June 1978, pp. 405-417.
- [89] K. Okazaki, T. Moriya, T. Yahara, "A multiple media delay simulator for MOS LSI circuits", *ACM/IEEE Design Automation Conf.*, June 1983, pp. 279-285.
- [90] J.R. Burns, "Switching response of complementary symmetry MOS transistor logic circuits", *RCA Review*, vol. 25, pp. 627-661, Dec. 1964.
- [91] R.E. Bryant, "MOSSIM: A switch-level simulator for MOS LSI", *ACM/IEEE Design Automation Conf.*, June 1981, pp. 786-790.
- [92] J.P. Hayes, "A unified switching theory with applications to VLSI design", *Proc. IEEE*, vol. 70, pp. 1140-1151, Oct. 1982.
- [93] J.P. Hayes, "An introduction to switch-level modeling", *IEEE Design and Test of Computers*, vol. 4, pp. 18-25, Aug. 1987.
- [94] D. Dumlugol, H.J. De Man, P. Stevens, G.G. Schrooten, "Local relaxation algorithms for event-driven simulation of MOS networks including assignable delay modeling", *IEEE Trans. Computer-Aided Design*, vol. CAD-2, pp. 193-202, July 1983.
- [95] R.E. Bryant, "Boolean analysis of MOS circuits", *IEEE Trans. Computer-Aided Design*, vol. CAD-6, pp. 634-649, July 1987.
- [96] R.E. Bryant, "Algorithmic aspects of symbolic switch network analysis", *IEEE Trans. Computer-Aided Design*, vol. CAD-6, pp. 618-633, July 1987.
- [97] G. Ruan, J. Vlach, J.A. Barby, "Current-limited switch-level timing simulator for MOS logic networks", *IEEE Trans. Computer-Aided Design*, vol. 7, pp. 659-667, June 1988.
- [98] G. Ruan, J. Vlach, J.A. Barby, "Logic simulation with current-limited switches", *IEEE Trans. Computer-Aided Design*, vol. 9, pp. 133-141, Feb. 1990.
- [99] V.B. Rao, T.N. Trick, "Switch-level timing simulation of MOS VLSI circuits", *IEEE Int. Symp. Circuits and Systems*, June 1985, pp. 229-232.
- [100] F. Lai, V.B. Rao, T.N. Trick, "JADE: A hierarchical switch level timing simulator", *IEEE Int. Symp. Circuits and Systems*, May 1987, pp. 592-595.
- [101] M.D. Matson, L.A. Glasser, "Macromodeling and optimization of digital MOS VLSI circuits", *IEEE Trans. Computer-Aided Design*, vol. CAD-5, pp. 659-678, Oct. 1986.
- [102] W.H. Kao, N. Fathi, C.H. Lee, "Algorithms for automatic transistor sizing in CMOS digital circuits", *ACM/IEEE Design Automation Conf.*, June 1985, pp. 781-784.
- [103] W.C. Elmore, "The transient response of damped linear networks with particular regard to wideband amplifiers", *J. Applied Physics*, vol. 19, pp. 55-63, Jan. 1948.
- [104] R. Gupta, B. Tutuianu, L.T. Pillage, "The Elmore delay as a bound for RC trees with generalized input signals", *IEEE Trans. Computer-Aided Design*, vol. 16, pp. 95-104, Jan. 1997.

- [105] J.L. Wyatt, "Signal delay in RC mesh networks", *IEEE Trans. Circuits and Systems*, vol. CAS-32, pp. 507-510, May 1985.
- [106] C.A. Zukowski, "Relaxing bounds for linear RC mesh circuits", *IEEE Trans. Computer-Aided Design*, vol. CAD-5, pp. 305-312, April 1986.
- [107] T.M. Lin, C.A. Mead, "Signal delay in general RC networks", *IEEE Trans. Computer-Aided Design*, vol. CAD-3, pp. 331-349, Oct. 1984.
- [108] K. Khordoc, M. Perckel, N. Rumin, E. Cerny, "An accurate event-driven switch-level logic simulator for NMOS and PMOS circuits", *IEEE Int. Symp. Circuits and Systems*, May 1986, pp. 1142-1145.
- [109] P.K. Chan, M.D.F. Schlag, "Bounds on signal delay in RC mesh networks", *IEEE Trans. Computer-Aided Design*, vol. 8, pp. 581-589, June 1989.
- [110] R. Putatunda, "AUTO-DELAY: A second-generation automatic delay calculation program for LSI/VLSI chips", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1984, pp. 188-191.
- [111] M.A. Cirit, "Transistor sizing in CMOS circuits", *ACM/IEEE Design Automation Conf.*, June 1987, pp. 121-124.
- [112] K.S. Hedlund, "Aesop: A tool for automated transistor sizing", *ACM/IEEE Design Automation Conf.*, June 1987, pp. 114-120.
- [113] H.Y. Chen, S. Dutta, "A timing model for static CMOS gates", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1989, pp. 72-75.
- [114] M. Horowitz, "Timing models for MOS pass networks", *IEEE Int. Symp. Circuits and Systems*, May 1983, pp. 198-201.
- [115] C.J. Terman, "RSIM - A logic-level timing simulator", *IEEE Int. Conf. Computer Design*, Nov. 1983, pp. 437-440.
- [116] R. Kao, M. Horowitz, "Timing analysis for piecewise linear Rsim", *IEEE Trans. Computer-Aided Design*, vol. 13, pp. 1498-1512, Dec. 1994.
- [117] J.K. Ousterhout, "Switch-level delay models for digital MOS VLSI", *ACM/IEEE Design Automation Conf.*, June 1984, pp. 542-548.
- [118] A.C. Deng, Y.C. Shiaw, "Generic linear RC delay modeling for digital CMOS circuits", *IEEE Trans. Computer-Aided Design*, vol. 9, pp. 367-376, April 1990.
- [119] Z.L. Mo, M.R. Lightner, "A two parameter delay model for switch level simulation", *IEEE Int. Conf. Computer Design*, Oct. 1984, pp. 481-486.
- [120] J.P. Caisso, E. Cerny, N.C. Rumin, "A recursive technique for computing delays in series-parallel MOS transistor circuits", *IEEE Trans. Computer-Aided Design*, vol. 10, pp. 589-595, May 1991.
- [121] D. Martin, N.C. Rumin, "Delay prediction from resistance-capacitance models of general MOS circuits", *IEEE Trans. Computer-Aided Design*, vol. 12, pp. 997-1003, July 1993.
- [122] J.J. Wang, M. Chang, W.S. Feng, "Binary-tree timing simulation with consideration of internal charges", *IEEE Proceedings - E*, vol. 140, pp. 211-219, July 1993.
- [123] L.T. Pillage, R.A. Rohrer, "Asymptotic waveform evaluation for timing analysis", *IEEE Trans. Computer-Aided Design*, vol. 9, pp. 352-366, April 1990.
- [124] T. Tokuda, K. Okazaki, K. Sakashita, I. Ohkura, T. Enomoto, "Delay-time modeling for ED MOS logic LSI", *IEEE Trans. Computer-Aided Design*, vol. CAD-2, pp. 129-134, July 1983.

- [125] D. Auvergne, G. Cambon, D. Deschacht, M. Robert, G. Sagnes, V. Tempier, "Delay-time evaluation in ED MOS logic LSI", *IEEE J. Solid-State Circuits*, vol. SC-21, pp. 337-342, April 1986.
- [126] D. Deschacht, M. Robert, D. Auvergne, "Explicit formulation of delays in CMOS data paths", *IEEE J. Solid-State Circuits*, vol. 23, pp. 1257-1264, Oct. 1988.
- [127] D. Auvergne, N. Azemard, D. Deschacht, M. Robert, "Input waveform slope effects in CMOS delays", *IEEE J. Solid-State Circuits*, vol. 25, pp. 1588-1590, Dec. 1990.
- [128] A.I. Kayssi, K.A. Sakallah, T.M. Burks, "Analytical transient response of CMOS inverters", *IEEE Trans. Circuits and Systems-Part I*, vol. 39, pp. 42-45, Jan. 1992.
- [129] S.R. Vemuru, A.R. Thorbjornsen, "A model for delay evaluation of a CMOS inverter", *IEEE Int. Symp. Circuits and Systems*, May 1990, pp. 89-92.
- [130] A. Nabavi-Lishi, N.C. Rumin, "Simultaneous delay and maximum current calculation in CMOS gates", *IEE Electronics Letters*, vol. 8, pp. 682-684, March 1992.
- [131] A. Nabavi-Lishi, N.C. Rumin, "Delay and bus current evaluation in CMOS logic circuits", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1992, pp. 198-203.
- [132] A. Nabavi-Lishi, "Delay and current evaluation in CMOS circuits", *Ph.D. Dissertation*, Dept. of Electrical Engineering, McGill Univ., Montreal, June 1993.
- [133] D. Overhauser, I. Hajj, V. Rao, "Switch-level timing analysis of VLSI MOS circuits", *IEEE Int. Symp. Circuits and Systems*, June 1986, pp. 761-764.
- [134] T. Sakurai, A.R. Newton, "A simple MOSFET model for circuit analysis", *IEEE Trans. Electron Devices*, vol. 38, pp. 887-894, April 1991.
- [135] B.T. Murphy, "Unified field-effect transistor theory including velocity saturation", *IEEE J. Solid-State Circuits*, vol. SC-15, pp. 325-328, June 1980.
- [136] K.Y. Toh, P.K. Ko, R.G. Meyer, "An engineering model for short-channel MOS devices", *IEEE J. Solid-State Circuits*, vol. 23, pp. 950-958, August 1988.
- [137] H. Masuda, J.I. Mano, R. Ikematsu, H. Sugihara, Y. Aoki, "A submicrometer MOS transistor I-V model for circuit simulation", *IEEE Trans. Computer-Aided Design*, vol. 10, pp. 161-170, Feb. 1991.
- [138] A.H.M. Shousha, M. Aboulwafa, "A generalized tanh law MOSFET model and its application to CMOS inverters", *IEEE J. Solid-State Circuits*, vol. 28, pp. 176-179, Feb. 1993.
- [139] T. Sakurai, "CMOS inverter delay and other formulas using α -power law MOS model", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1988, pp. 74-77.
- [140] S.H.K. Embabi, R. Damodaran, "Delay models for CMOS, BiCMOS, BiNMOS circuits and their applications for timing simulations", *IEEE Trans. Computer-Aided Design*, vol. 13, pp. 1132-1142, Sept. 1994.
- [141] A. Hirata, H. Onodera, K. Tamaru, "Estimation of short-circuit power dissipation and its influence on propagation delay for static CMOS gates", *IEEE Int. Symp. Circuits and Systems*, May 1996, pp. 4.751-4.754.
- [142] J.M. Daga, S. Turgis, D. Auvergne, "Inverter delay modeling for submicrometre CMOS process", *IEE Electronics Letters*, vol.32, pp. 2070-2071, Oct. 1996.
- [143] P. Cocchini, G. Piccinini, M. Zamboni, "A comprehensive submicrometer MOST delay model and its application to CMOS buffers", *IEEE J. Solid-State Circuits*, vol. 32, pp. 1254-1262, August 1997.

- [144] J.T. Kong, D. Overhauser, *Digital timing macromodeling for VLSI design verification*. MA: Kluwer Academic, 1995.
- [145] H.J. Park, M. Soma, "Analytical model for switching transitions of submicron CMOS logics", *IEEE J. Solid-State Circuits*, vol. 32, pp. 880-889, June 1997.
- [146] A. Chatzigeorgiou, S. Nikolaidis, "Analysis of the transistor chain operation in CMOS gates for short-channel devices", *IEEE Int. Symp. Circuits and Systems*, June 1998, pp. VI.363-VI.367.
- [147] D. Deschacht, M. Robert, D. Auvergne, "Synchronous-mode evaluation of delays in CMOS structures", *IEEE J. Solid-State Circuits*, vol. 26, pp. 789-795, May 1991.
- [148] J.T. Kong, S.Z. Hussain, D. Overhauser, "Performance estimation of complex MOS gates", *IEEE Trans. Circuits and Systems - Part I*, vol. 44, pp. 785-795, Sept. 1997.
- [149] T. Sakurai, A.R. Newton, "Delay analysis of series-connected MOSFET circuits", *IEEE J. Solid-State Circuits*, vol. 26, pp. 122-131, Feb. 1991.
- [150] A. Nabavi-Lishi, N.C. Rumin, "Inverter-based models for current analysis of CMOS logic circuits", *IEEE Int. Symp. Circuits and Systems*, May 1994, pp. 13-16.
- [151] A. Dharchoudhury, "Advanced techniques for fast timing simulation of MOS VLSI circuits", *Ph.D. Dissertation*, Dept. of Electrical and Computer Engineering, Univ. of Illinois, Illinois, March 1995.
- [152] C. Visweswariah, R.A. Rohrer, "Piecewise approximate circuit simulation", *IEEE Trans. Computer-Aided Design*, vol. 10, pp. 861-870, July 1990.
- [153] Y.H. Kim, J.E. Kleckner, R.A. Saleh, A.R. Newton, "Electrical-logic simulation", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1984, pp. 7-9.
- [154] Y.H. Kim, S.H. Hwang, A.R. Newton, "Electrical-logic simulation and its applications", *IEEE Trans. Computer-Aided Design*, vol. 8, pp. 8-22, Jan. 1989.
- [155] P. Subramaniam, "Table models for timing simulation", *IEEE Custom Integrated Circuits Conf.*, May 1984, pp. 310-314.
- [156] P. Subramaniam, "Modeling MOS VLSI circuits for transient analysis", *IEEE J. Solid-State Circuits*, vol. SC-21, pp. 276-285, April 1986.
- [157] B.D. Ackland, R.A. Clark, "Event-EMU: An event driven timing simulator for MOS VLSI circuits", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1989, pp. 80-83.
- [158] P. Odryna, S. Nassif, "The ADEPT timing simulation algorithm", *VLSI Systems Design*, pp. 24-34, March 1986.
- [159] P. Odryna, K. Nazareth, C. Christensen, "A workstation-based mixed mode circuit simulator", *ACM/IEEE Design Automation Conf.*, June 1986, pp. 186-192.
- [160] V.B. Rao, D.V. Overhauser, T.N. Trick, I.N. Hajj, *Switch-Level Timing Simulation of MOS VLSI Circuits*. MA: Kluwer Academic, 1989.
- [161] D. Overhauser, I.N. Hajj, "A tabular macromodeling approach to fast timing simulation including parasitics", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1988, pp. 70-73.
- [162] Y.H. Shih, S.M. Kang, "Analytic transient solution of general MOS circuit primitives", *IEEE Trans. Computer-Aided Design*, vol. 11, pp. 719-731, June 1992.

- [163] H.T. Davis, *Introduction to Nonlinear Differential and Integral Equations*. NY: Dover, 1962.
- [164] A. Dharchoudhury, S.M. Kang, K.H. Kim, S.H. Lee, "Fast and accurate timing simulation with regionwise quadratic models of MOS I-V characteristics", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1994, pp. 190-194.
- [165] P. Landman, "High-level power estimation", *IEEE Int. Symp. Low Power Electronics and Design*, August 1996, pp. 29-35.
- [166] S. Gupta, F.N. Najm, "Power macromodeling for high level power estimation", *ACM/IEEE Design Automation Conf.*, June 1997, pp. 365-370.
- [167] M. Pedram, "Power minimization in IC design: Principles and applications", *ACM Trans. Design Automation of Electronic Systems*, vol. 1, pp. 3-56, Jan. 1996.
- [168] D. Singh, J.M. Rabaey, M. Pedram, F. Catthoor, S. Rajgopal, N. Sehgal, T.J. Mozden, "Power conscious CAD tools and methodologies: A perspective", *Proc. IEEE*, vol. 83, pp. 570-594, April 1995.
- [169] W. Fornaciari, P. Gubian, D. Sciuto, C. Silvano, "Power estimation of embedded systems: a hardware/software codesign approach", *IEEE Trans. VLSI Systems*, vol. 6, pp. 266-275, June 1998.
- [170] D. Marculescu, R. Marculescu, M Pedram, "Information theoretic measures for energy consumption at register transfer level", *IEEE Int. Symp. Low Power Design*, April 1995, pp. 81-86.
- [171] D. Liu, C. Svensson, "Power consumption estimation in CMOS VLSI chips", *IEEE J. Solid-State Circuits*, vol. 29, pp. 663-670, June 1994.
- [172] C.X. Huang, B. Zhang, A.C. Deng, B. Swirski, "The design and implementation of PowerMill", *IEEE Int. Symp. Low Power Design*, April 1995, pp. 105-110.
- [173] L. Maliniak, "IC analysis tools help manage power", *Electronic Design*, vol. 44, pp. 71-80, January 1996.
- [174] P. Buch, S. Lin, V. Nagasamy, E.S. Kuh, "Techniques for fast circuit simulation applied to power estimation of CMOS circuits", *IEEE Int. Symp. Low Power Design*, April 1995, pp. 135-138.
- [175] S. Lin, E.S. Kuh, M. Marek-Sadowska, "Stepwise equivalent conductance circuit simulation technique", *IEEE Trans. Computer-Aided Design*, vol. 12, pp. 672-683, May 1993.
- [176] O. Coubert, R. Haddad, K. Keutzer, "What is the state of the art in commercial EDA tools for low power", *IEEE Int. Symp. Low Power Electronics and Design*, August 1996, pp. 181-187.
- [177] A. Salz, M. Horowitz, "IRSIM: An incremental MOS switch-level simulator", *ACM/IEEE Design Automation Conf.*, June 1987, pp. 173-178.
- [178] N. Kimura, J. Tsujimoto, "Calculation of total dynamic current of VLSI using a switch level timing simulator (RSIM-FX)", *IEEE Custom Integrated Circuits Conf.*, May 1991, pp. 8.3.1-8.3.4.
- [179] P.E. Landman, "Low-power architectural design methodologies", *Memo. No. UCB/ ERL M94/62*, Electronics Research Lab., Univ. of California, Berkeley, August 1994.
- [180] R. Tjarnstrom, "Power dissipation estimate by switch level simulation", *IEEE Int. Symp. Circuits and Systems*, May 1989, pp. 881-884.

- [181] S. Gavrilov, A. Glebov, S. Rusakov, "Fast power loss calculation for digital static CMOS circuits", *European Design and Test Conf.*, March 1997, pp. 411-415.
- [182] A.C. Deng, Y.C. Shiau, K.H. Loh, "Time domain current waveform simulation of CMOS circuits", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1988, pp. 208-211.
- [183] M.A. Cirit, "Estimating dynamic power consumption of CMOS circuits", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1987, pp. 534-537.
- [184] C. Huizer, "Power dissipation analysis of CMOS VLSI circuits by means of switch-level simulation", *European Solid-State Circuits Conf.*, Sept. 1990, pp. 61-64.
- [185] A. Tyagi, "Hercules: A power analyzer of MOS VLSI circuits", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1987, pp. 530-533.
- [186] U. Jagau, "SIMCURRENT – An efficient program for the estimation of the current flow of complex CMOS circuits", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1990, pp. 396-399.
- [187] A. Bogliolo, L. Beneni, G. De-Micheli, B. Ricco, "Gate-level current waveform simulation of CMOS integrated circuits", *IEEE Int. Symp. Low Power Electronics and Design*, August 1996, pp. 109-112
- [188] A. Bogliolo, L. Beneni, G. De-Micheli, B. Ricco, "Gate-level power and current simulation of CMOS integrated circuits", *IEEE Trans. VLSI Systems*, vol. 5, pp. 473-488, Dec. 1997.
- [189] R.E. Bryant, "Graph-based algorithms for boolean function manipulation", *IEEE Trans. Computers*, vol. C-35, pp. 677-691, Aug. 1986.
- [190] D. Rabe, W. Nebel, M. Riege, "Accurate model for current consumption in CMOS combinational logic networks", *Int. Workshop Power and Timing Modeling, Optimization and Simulation*, Sept. 1993, pp. 152-163.
- [191] D. Rabe, B. Timmermann, W. Nebel, "CMOS library characterization for power consumption", *Int. Workshop Power and Timing Modeling, Optimization and Simulation*, Sept. 1994, pp. 94-105.
- [192] D. Rabe, G. Jochens, L. Kruse, W. Nebel, "Power simulation of cell based ASICs: Accuracy and performance trade-offs", *Design Automation and Test in Europe Conf.*, Feb. 1998, pp. 356-361.
- [193] D. Rabe, W. Nebel, "Short-circuit power consumption of glitches", *IEEE Int. Symp. Low Power Electronics and Design*, August 1996, pp. 125-128.
- [194] F.N. Najm, "A survey of power estimation techniques in VLSI circuits", *IEEE Trans. VLSI Systems*, vol. 2, pp. 446-455, Dec. 1994.
- [195] A.M. Martinez, "Quick estimation of transient currents in CMOS integrated circuits", *IEEE J. Solid-State Circuits*, vol. 24, pp. 520-531, April 1989.
- [196] F. N. Najm, R. Burch, P. Yang, I.N. Hajj, "Probabilistic simulation for reliability analysis of CMOS VLSI circuits", *IEEE Trans. Computer-Aided Design*, vol. 4, pp. 439-450, April 1990.
- [197] F. N. Najm, I.N. Hajj, P. Yang, "An extension of probabilistic simulation for reliability analysis of CMOS VLSI circuits", *IEEE Trans. Computer-Aided Design*, vol. 10, pp. 1372-1381, Nov. 1991.
- [198] H. Kriplani, F.N. Najm, I.N. Hajj, "Pattern independent maximum current estima-

- in power and ground buses of CMOS VLSI circuits: Algorithms, signal correlations and their resolution”, *IEEE Trans. Computer-Aided Design*, vol. 14, pp. 998-1012, Aug. 1995.
- [199] H. Kriplani, F.N. Najm, I.N. Hajj, “Improved delay and current models for estimating maximum currents in CMOS VLSI circuits”, *IEEE Int. Symp. Circuits and Systems*, May 1994, pp. 1.435-1.438.
- [200] K.P. Parker, J. McCluskey, “Probabilistic treatment of general combinational networks”, *IEEE Trans. Computers*, vol. 24, pp. 668-670, June 1975.
- [201] B. Krishnamurthy, I.G. Tollis, “Improved techniques for estimating signal probabilities”, *IEEE Trans. Computers*, vol. 38, pp. 1245-1251, July 1989.
- [202] I.R. Miller, J.E. Freund, R. Johnson, *Probability and Statistics for Engineers*. NJ: Prentice-Hall, 1990.
- [203] P.H. Schneider, “Fast power estimation of large circuits”, *IEEE Design and Test of Computers*, vol. 13, pp. 70-78, Spring 1996.
- [204] R. Marculescu, D. Marculescu, M Pedram, “Probabilistic modeling of dependencies during switching activity analysis”, *IEEE Trans. Computer-Aided Design*, vol. 17, pp. 73-83, Feb. 1998.
- [205] A. Papoulis, *Probability, Random Variables, and Stochastic Processes*. NY: McGraw-Hill, 1991.
- [206] A. Ghosh, S. Devadas, K. Keutzer, J. White, “Estimation of average switching activity in combinational and sequential circuits”, *ACM/IEEE Design Automation Conf.*, June 1992, pp. 253-259.
- [207] J. Monteiro, S. Devadas, A. Ghosh, K. Keutzer, “Estimation of average switching activity in combinational logic circuits using symbolic simulation”, *IEEE Trans. Computer-Aided Design*, vol. 16, pp. 121-127, Jan. 1997.
- [208] C.Y. Tsui, M. Pedram, A.M. Despain, “Efficient estimation of dynamic power consumption under a real delay model”, *IEEE Int. Conf. Computer-Aided Design*, Nov. 1993, pp. 224-228.
- [209] F.N. Najm, “Transition density: A new measure of activity in digital circuits”, *IEEE Trans. Computer-Aided Design*, vol. 12, pp. 310-323, Feb. 1993.
- [210] T.L. Chou, K. Roy, S. Prasad, “Estimation of circuit activity considering signal correlation and simultaneous switching”, *IEEE Int. Conf. Computer-Aided Design*, Nov. 1994, pp. 300-303.
- [211] H. Mehta, M. Borah, R. Owens, M.J. Irwin, “Accurate estimation of combinational circuit activity”, *ACM/IEEE Design Automation Conf.*, June 1995, pp. 618-622.
- [212] A.M. Hill, S.M. Kang, “Statistical estimation of short-circuit power in VLSI circuits”, *IEEE Int. Symp. Circuits and Systems*, May 1996, pp. 4.105-4.108.
- [213] C.Y. Tsui, J. Monteiro, M. Pedram, S. Devadas, A.M. Despain, B. Lin, “Power estimation methods for sequential logic circuits”, *IEEE Trans. VLSI Systems*, vol. 3, pp. 404-415, Sept. 1995.
- [214] R. Burch, F.N. Najm, P. Yang, T.N. Trick, “A Monte Carlo approach for power estimation”, *IEEE Trans. VLSI Systems*, vol. 1, pp. 63-71, March 1993.
- [215] R. Burch, F.N. Najm, P. Yang, T.N. Trick, “McPOWER: A Monte Carlo approach for power estimation”, *IEEE Int. Conf. Computer-Aided Design*, Nov. 1992, pp. 90-97.

- [216] J.H. Wang, J.T. Fan, W.S. Feng, "A novel current model for CMOS gates", *IEEE Int. Symp. Circuits and Systems*, May 1992, pp. 2132-2135.
- [217] F. Rouatbi, B. Haroun, A.J. Al-Khalili, "Power estimation tool for submicron CMOS VLSI circuits", *IEEE Int. Conf. Computer-Aided Design*, Nov. 1992, pp. 204-209.
- [218] B.S. Cherkauer, E.G. Friedman, "A unified design methodology for CMOS tapered buffer", *IEEE Trans. VLSI Systems*, vol. 3, pp. 99-111, March 1995.
- [219] N. Hedenstierna, K.O. Jeppson, "Comments on 'A module generator for optimized CMOS buffers'", *IEEE Trans. Computer-Aided Design*, vol. 12, pp. 180-181, Jan. 1993.
- [220] A.J. Al-Khalili, Y. Zhu, D. Al-Khalili, "A module generator for optimized CMOS buffers", *IEEE Trans. Computer-Aided Design*, vol. 9, pp. 1028-1046, Oct. 1990.
- [221] S.R. Vemuru, N. Scheinberg, "Short-circuit power dissipation estimation for CMOS logic gates", *IEEE Trans. Circuits and Systems-Part I*, vol. 41, pp. 762-765, Nov. 1994.
- [222] S. Turgis, N. Azemard, D. Auvergne, "Explicit evaluation of short-circuit power dissipation for CMOS logic structures", *IEEE Int. Symp. Low Power Design*, April 1995, pp. 129-134.
- [223] A. Hirata, H. Onodera, K. Tamaru, "Estimation of short-circuit power dissipation for static CMOS gates", *IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences*, vol. E79-A, pp. 304-311, March 1996.
- [224] M.A. Ortega, J. Figueras, "Short-circuit power modeling in sub-micron CMOS", *Int. Workshop Power and Timing Modeling, Optimization and Simulation*, Sept. 1996, pp. 147-155.
- [225] S. Turgis, J.M. Daga, D. Auvergne, "Analytical internal power macro-modeling for sub-micronic CMOS structures", *Int. Workshop Power and Timing Modeling, Optimization and Simulation*, Sept. 1996, pp. 233-242.
- [226] S. Turgis, J.M. Daga, J.M. Portal, D. Auvergne, "Internal power modeling and minimization in CMOS inverters", *European Design and Test Conf.*, pp. 603-608, March 1997.
- [227] V. Adler, E.G. Friedman, "Delay and power expressions for a CMOS inverter driving a resistive-capacitive load", *IEEE Int. Symp. Circuits and Systems*, May 1996, pp. 4.101-4.104.
- [228] S. Nikolaidis, A. Chatzigeorgiou, E.D. Kyriakis-Bitzaros, "Delay and power estimation for a CMOS inverter driving RC interconnect load", *IEEE Int. Symp. Circuits and Systems*, June 1998, pp. VI.368-VI.371.
- [229] A. Hirata, H. Onodera, K. Tamaru, "Estimation of short-circuit power dissipation for static CMOS gates driving a CRC π load", *Int. Workshop Power and Timing Modeling, Optimization and Simulation*, Sept. 1997, pp. 279-289.
- [230] M. Shoji, *CMOS Digital Circuit Technology*. NJ: Prentice-Hall, 1988.
- [231] D.C. Mayer, W.E. Perkins, "Analysis of the switching speed of a submicrometer-gate CMOS/SOS inverter", *IEEE Trans. Electron Devices*, vol. ED-28, pp. 886-888, July 1981.
- [232] A. Hajjar, R. Marbot, A. Greiner, P. Kiani, "TAS: An accurate timing analyser for CMOS VLSI", *European Design Automation Conf*, Feb. 1991, pp. 261-265.

- [233] S.M. Kang, Y. Leblebici, *CMOS Digital Integrated Circuits: Analysis and Design*. NY: McGraw-Hill, 1996.
- [234] J.M. Rabaey, *Digital Integrated Circuits: A Design Perspective*. NJ: Prentice-Hall, 1996.
- [235] G. Merckel, J. Borel, N.Z. Cupcea, "An accurate large-signal MOS transistor model for use in computer-aided design", *IEEE Trans. Electron Devices*, vol. ED-19, pp. 681-690, May 1972.
- [236] E.D. Rainville, P.E. Bedient, *Elementary Differential Equations*. NY: MacMillan, 1969.
- [237] M.R. Spiegel, *Mathematical Handbook of Formulas and Tables*. NY: McGraw-Hill, 1968.
- [238] A. Ferre, J. Figueras, "Estimation of maximum static power consumption of CMOS circuits", *Int. Workshop Power and Timing Modeling, Optimization and Simulation*, Sept. 1996, pp. 295-304.
- [239] A. Ferre, J. Figueras, "On estimating leakage power consumption for submicron CMOS digital circuits", *Int. Workshop Power and Timing Modeling, Optimization and Simulation*, Sept. 1997, pp. 269-278.
- [240] H.B. Bakoglou, *Circuits, Interconnections, and Packaging for VLSI*. MA: Addison-Wesley, 1990
- [241] H.C. Chow, W.S. Feng, "An analytical CMOS inverter delay model including channel-length modulations", *IEEE J. Solid-State Circuits*, vol. 27, pp. 1303-1306, Sept. 1992.
- [242] K. Takeuchi, M. Fukuma, "Effects of the velocity saturated region on MOSFET characteristics", *IEEE Trans. Electron Devices*, vol. 41, pp. 1623-1627, Sept. 1994.
- [243] A. Chatterjee, C.F. Machala, P. Yang, "A submicron DC MOSFET model for simulation of analog circuits", *IEEE Trans. Computer-Aided Design*, vol. 14, pp. 1193-1207, Oct. 1995.
- [244] A.I. Kayssi, K.A. Sakallah, T.N. Mudge, "The impact of signal transition time on path delay computation", *IEEE Trans. Circuits and Systems - Part II*, vol. 40, pp. 302-309, May 1993.
- [245] V. Chandramouli, K.A. Sakallah, "Modeling the effects of temporal proximity of input transitions on gate propagation delay and transition time", *ACM/IEEE Design Automation Conf.*, June 1996, pp. 617-622.
- [246] J.M. Daga, D. Auvergne, "Signal transition modeling in submicronic CMOS structures", *Int. Workshop Power and Timing Modeling, Optimization and Simulation*, Sept. 1997, pp. 259-268.
- [247] F. Dartu, N. Menezes, J. Qian, L. Pillage, "A gate-delay model for high-speed CMOS circuits", *ACM/IEEE Design Automation Conf.*, June 1994, pp. 576-580.
- [248] J. Qian, S. Pullela, L. Pillage, "Modeling the 'effective capacitance' for the RC interconnect of CMOS gates", *IEEE Trans. Computer-Aided Design*, vol. 13, pp. 1526-1535, Dec. 1994.
- [249] F. Dartu, N. Menezes, L. Pillage, "Performance computation for precharacterized CMOS gates with RC loads", *IEEE Trans. Computer-Aided Design*, vol. 15, pp. 544-553, May 1996.

- [250] B. Hoppe, G. Neuendorf, D. Schmitt-Landsiedel, W. Specks, "Optimization of high-speed CMOS logic circuits with analytical models for signal delay, chip area and dynamic power dissipation", *IEEE Trans. Computer-Aided Design*, vol. 9, pp. 236-247, March 1990.
- [251] S.M. Kang, H.Y. Chen, "A global delay model for domino CMOS circuits with application to transistor sizing", *Int. J. Circuit Theory and Applications*, vol. 18, pp. 289-306, May 1990.
- [252] J.A. Pretorius, A.S. Shubat, C.A.T. Salama, "Analysis and design optimization of domino CMOS logic with application to standard cells", *IEEE J. Solid-State Circuits*, vol. SC-20, pp. 523-530, April 1985.
- [253] T. Sakurai, A.R. Newton, "A simple short-channel MOSFET model and its application to delay analysis of inverters and series-connected MOSFETs", *IEEE Int. Symp. Circuits and Systems*, May 1990, pp.105-108.
- [254] J.M. Daga, S. Turgis, D. Auvergne, "Design oriented standard cell delay modeling", *Int. Workshop Power and Timing Modeling, Optimization and Simulation*, Sept. 1996, pp. 265-274.
- [255] B.S. Cherkauer, E.G. Friedman, "Channel width tapering of serially connected MOSFETs with emphasis on power dissipation", *IEEE Trans. VLSI Systems*, vol. 2, pp. 100-114, March 1994.
- [256] M. Shoji, "FET scaling in Domino CMOS gates", *IEEE J. Solid-State Circuits*, vol. SC-20, pp. 1067-1071, Oct. 1985.
- [257] M. Borah, R.M. Owens, M.J. Irwin, "Transistor sizing for low power CMOS circuits", *IEEE Trans. Computer-Aided Design*, vol. 15, pp. 665-679, June 1996.
- [258] A. Chatzigeorgiou, S. Nikolaidis, "Input mapping algorithm for modeling of CMOS circuits", *IEE Electronics Letters*, vol. 32, pp. 1177-1179, June 1998.
- [259] N. Abdallah, P.B. Sabet, J. Dunoyer, "SWISSE: A fast switch-level timing simulator with slope effects for large digital MOS circuits", *IEEE Int. Conf. Electronics, Circuits and Systems*, Dec. 1997, pp. 875-879.

Δημοσιεύσεις

A. Περιοδικά

1. **L. Bisdounis**, S. Nikolaidis, O. Koufopavlou, “Analytical Transient Response and Propagation Delay Evaluation of the CMOS Inverter for Short-channel Devices”, *IEEE J. Solid-State Circuits*, vol. 33, no. 2, pp. 302-306, February 1998.
2. **L. Bisdounis**, S. Nikolaidis, O. Koufopavlou, “Propagation Delay and Short-Circuit Power Dissipation Modeling of the CMOS Inverter”, *IEEE Trans. Circuits and Systems – Part I: Fundamental Theory and Applications*, vol. 45, no. 3, pp. 259-270, March 1998.
3. **L. Bisdounis**, S. Nikolaidis, O. Koufopavlou, “Analytical Model for the CMOS Short-Circuit Power Dissipation”, *Integrated Computer-Aided Engineering Journal*, IOS Press, (former Wiley-Interscience), vol. 5, no. 2 (special issue on low-power electronic systems), pp. 129-140, April 1998.
4. **L. Bisdounis**, O. Koufopavlou, S. Nikolaidis, “Modeling Output Waveform and Propagation Delay of a CMOS Inverter in the Submicron Range”, *IEE Proc. Circuits, Devices and Systems*, vol. 145, no. 6, pp. 402-408, December 1998.
5. **L. Bisdounis**, D. Gouvetas, O. Koufopavlou, “A Comparative Study of CMOS Circuit Design Styles for Low-Power High-Speed VLSI Circuits”, *Int. J. Electronics*, Taylor & Francis, vol. 84, no. 6, pp. 599-613, June 1998.
6. **L. Bisdounis**, G. Panagiotaras, O. Koufopavlou, C.E. Goutis, “CMOS Multi-input Gate Implementations for Low-Power Digital Design”, *Int. J. Electronics*, Taylor & Francis, vol. 79, no. 5, pp. 641-653, November 1995.
7. **L. Bisdounis**, D.E. Metafas, A.M. Maras, C. Mavridis, “VLSI Implementation of Digit-Serial Arithmetic Modules”, *Microprocessing and Microprogramming Journal*, North-Holland, vol. 39, no. 2-5, pp. 251-254, December 1993.

B. Συνέδρια

1. **L. Bisdounis**, S. Nikolaidis, O. Koufopavlou, C. Goutis, "Modeling the CMOS Short-Circuit Power Dissipation", *IEEE Int. Symp. Circuits and Systems*, (Atlanta, USA), May 1996, pp. IV.469-IV.472.
2. **L. Bisdounis**, O. Koufopavlou, S. Nikolaidis, "Accurate Evaluation of the CMOS Short-Circuit Power Dissipation for Short-Channel Devices", *IEEE Int. Symp. Low-Power Electronics and Design* (Monterey, USA), August 1996, pp. 189-192.
3. **L. Bisdounis**, S. Nikolaidis, O. Koufopavlou, "CMOS Short-Circuit Power Dissipation Including Velocity Saturation and Gate-to-Drain Capacitive Coupling", *Inter. Workshop Power and Timing Modeling, Optimization and Simulation* (Bologna, Italy), September 1996, pp. 157-166.
4. **L. Bisdounis**, S. Nikolaidis, O. Koufopavlou, C. Goutis, "Accurate Timing Model for the CMOS Inverter", *IEEE Int. Conf. Electronics, Circuits and Systems* (Rodos, Greece), October 1996, pp. 89-92.
5. **L. Bisdounis**, S. Nikolaidis, O. Koufopavlou, "Delay Evaluation of Static CMOS Gates for Short-Channel Devices", *IEEE Int. Conf. Electronics, Circuits and Systems* (Cairo, Egypt), December 1997, pp. 532-536.
6. A. Rjoub, **L. Bisdounis**, O. Koufopavlou, "Influence of the nMOS and pMOS Transistor Threshold Voltages on CMOS Circuits Power Dissipation", *IEEE Int. Conf. Electronics, Circuits and Systems* (Cairo, Egypt), December 1997, pp. 545-549.
7. **L. Bisdounis**, S. Nikolaidis, O. Koufopavlou, C.E. Goutis, "Switching Response Modeling of the CMOS Inverter for Sub-micron Devices", *IEEE Design, Automation and Test in Europe Conf.* (Paris, France), February 1998, pp. 729-735.
8. **L. Bisdounis**, O. Koufopavlou, "Modeling the Dynamic Behavior of Series-Connected MOSFETs for Delay Analysis of Multiple-Input CMOS Gates", *IEEE Int. Symp. Circuits and Systems* (Monterey, USA), June 1998, pp. VI.342-VI.345.

